

μPD70236, 70236(A)

V53™
16ビット・マイクロプロセッサ

μPD70236, 70236(A) (別名称V53) は, μPD70136 (別名称V33™) に対して, ソフトウェア・コンパチブルな CMOS16ビット・マイクロプロセッサです。μPD70236, 70236(A)は, μPD70136相当のCPUを中心に, 数種類の周辺LSI機能を内蔵しており, システムの高性能化をはじめ, コンパクト化, 低消費電力化および高信頼性化を実現します。

特 徴

- 高性能16ビットCPU (V33ソフトウェア・コンパチブル)
 - ・16 M バイトのメモリ空間, 64 K バイトの I/O 空間
 - ・V20™, V30™, V40™, V50™ のネイティブ・モードとソフトウェア上位コンパチブル
 - ・ダイナミック・バス・サイジング機能
 - ・未定義命令トラップ機能
- 標準周辺 LSI 機能を内蔵
 - ・クロック・ジェネレータ
 - ・プログラマブル・ウェイト・コントロール・ユニット
 - ・DRAM リフレッシュ機能
 - ・タイマ/カウンタ・ユニット…………… μPD71054 相当 (最大10 MHz)
 - ・シリアル・コントロール・ユニット…… μPD71051 (調歩同期) 相当
 - ・割り込みコントロール・ユニット…………… μPD71059 相当 (ベクタ・モードのみ)
 - ・DMA コントロール・ユニット…………… μPD71071, 71037 相当 (どちらかの機能を選択可能)
 - ・バス・アービトレーション・ユニット… V50 BAU 相当
- 浮動小数点演算用コプロセッサ接続機能
 - μPD72291 接続可能
- スタンバイ機能
 - ・HALT モード (CPU クロックのみ停止)
 - ・STOP モード (すべてのクロックを停止)
 - ・インストラクション・サイクル時間可変機能
- 動作周波数
 - ・μPD70236 : 10, 12.5, 16 MHz (外部供給20, 25, 32 MHz時)
 - ・μPD70236(A) : 10, 12.5 MHz (外部供給20, 25 MHz時)
- μPD70236(A)はμPD70236にくらべて動作温度範囲が広い
- μPD70236(A)はμPD70236にくらべて高信頼性

本文中では, μPD70236を代表品種として説明しています。μPD70236(A)のデータ・シートとしてお使いの場合は, 製品名を読み替えてご使用ください。

本資料の内容は, 後日変更する場合があります。

用途

- OA 関連機器 (パーソナル・コンピュータ, ワード・プロセッサなど)
- 各種制御装置 (ロボット制御, 通信制御など)

オーダー情報と品質水準

(1) オーダー情報

オーダー名称	パッケージ	最大動作周波数 (MHz)
μPD70236GD-10-5BB	120ピン・プラスチックQFP (□28 mm)	10
μPD70236GD-12-5BB	〃	12.5
μPD70236GD-16-5BB	〃	16
μPD70236R-10	132ピン・セラミックPGA	10
μPD70236R-12	〃	12.5
μPD70236R-16	〃	16
μPD70236GD(A)-10-5BB	120ピン・プラスチックQFP (□28 mm)	10
μPD70236GD(A)-12-5BB	〃	12.5

(2) 品質水準

オーダー名称	パッケージ	品質水準
μPD70236GD-10-5BB	120ピン・プラスチックQFP (□28 mm)	標準 (一般電子機器用)
μPD70236GD-12-5BB	〃	〃
μPD70236GD-16-5BB	〃	〃
μPD70236R-10	132ピン・セラミックPGA	〃
μPD70236R-12	〃	〃
μPD70236R-16	〃	〃
μPD70236GD(A)-10-5BB	120ピン・プラスチックQFP (□28 mm)	特別 (高信頼度電子機器用)
μPD70236GD(A)-12-5BB	〃	〃

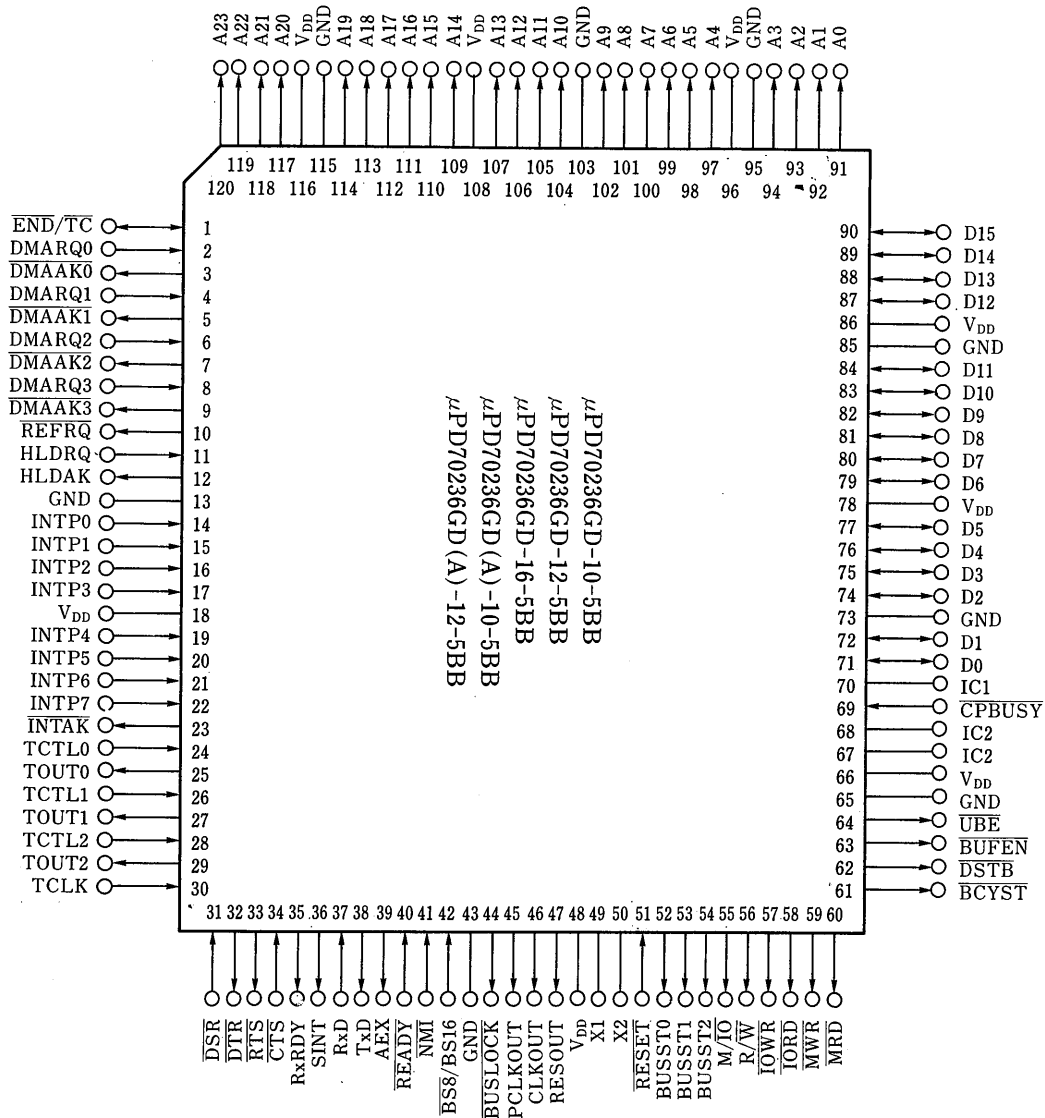
品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620)をご覧ください。

μPD70236 と μPD70236(A)のの違い

項目	品名	μPD70236	μPD70236(A)
品質水準		標準 (一般電子機器用)	特別 (高信頼度電子機器用)
動作周囲温度 (T _A)		-10~+70 °C	-40~+85 °C
動作周波数 (f)		2~10/12.5/16 MHz	2.5~10/12.5 MHz
電源電圧 (V _{DD})		5 V ± 10 %	4.5~5.25 V
DC特性		低レベル入力電圧, リーク電流が異なります。	
AC特性		規定値が異なります。	

端子接続図

120ピン・プラスチックQFP (Top View)

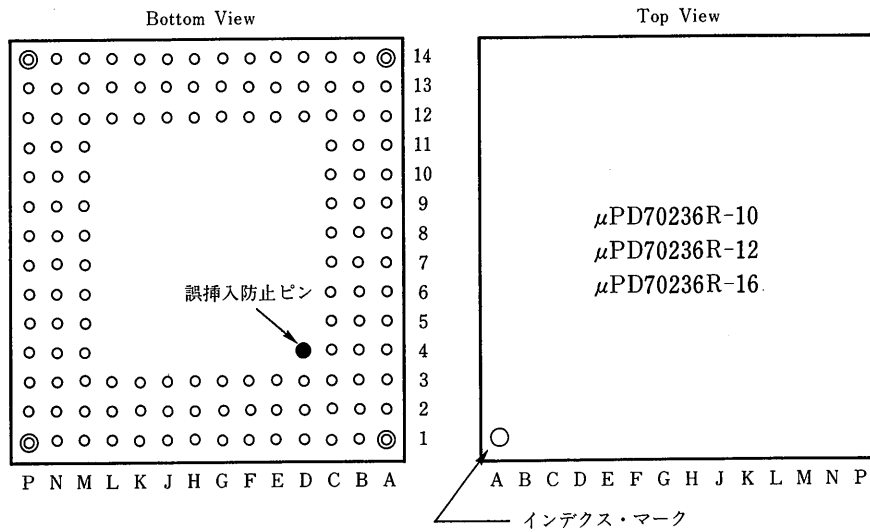


IC : Internally Connected

注意1. IC1 : オープンにしてください。

2. IC2 : グランドに接続してください。

132ピン・セラミックPGA



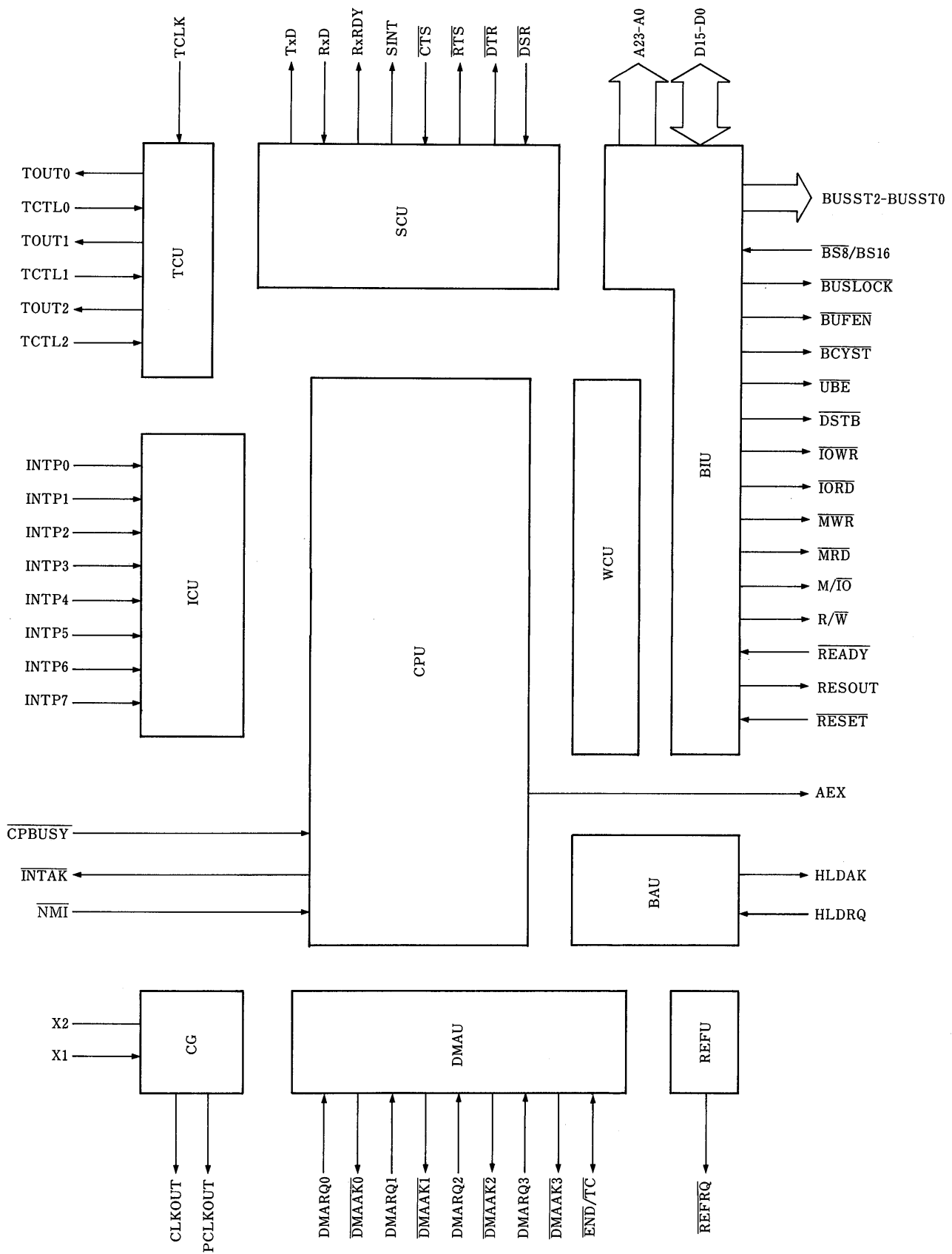
備考 誤挿入防止ピンは、ピン数に含みません。

番号	名称	番号	名称	番号	名称	番号	名称	番号	名称	番号	名称
A 1	A22	B 9	A9	D 3	DMARQ0	H 1	INTP2	L13	GND	N 7	BUSLOCK
A 2	A20	B10	A5	D12	D14	H 2	INTP3	L14	IC2	N 8	RESOUT
A 3	GND	B11	GND	D13	IC1	H 3	V _{DD}	M 1	TOUT0	N 9	X2
A 4	A19	B12	A2	D14	D11	H12	GND	M 2	TCTL2	N10	BUSST0
A 5	A16	B13	IC1	E 1	HLDRQ	H13	D2	M 3	TCLK	N11	R/W
A 6	A14	B14	D12	E 2	DMAAK3	H14	D3	M 4	DTR	N12	IORD
A 7	A12	C 1	DMAAK2	E 3	DMARQ2	J 1	INTP4	M 5	RxDY	N13	BCYST
A 8	A11	C 2	DMAAK0	E12	V _{DD}	J 2	INTP5	M 6	AEX	N14	UBE
A 9	NC	C 3	IC1	E13	D10	J 3	INTP7	M 7	GND	P 1	DSR
A10	A8	C 4	A23	E14	D8	J12	IC1	M 8	V _{DD}	P 2	CTS
A11	A6	C 5	IC1	F 1	NC	J13	D1	M 9	BUSST1	P 3	SINT
A12	A4	C 6	A18	F 2	HLDAK	J14	NC	M10	IC1	P 4	TxD
A13	A3	C 7	V _{DD}	F 3	REFRQ	K 1	INTP6	M11	MRD	P 5	READY
A14	A0	C 8	GND	F12	D9	K 2	INTAK	M12	IC1	P 6	BS8/BS16
B 1	DMARQ1	C 9	A7	F13	D7	K 3	TCTL1	M13	BUFEN	P 7	PCLKOUT
B 2	END/TC	C10	V _{DD}	F14	D6	K12	V _{DD}	M14	IC2	P 8	CLKOUT
B 3	A21	C11	A1	G 1	INTP1	K13	CPBUSY	N 1	TOUT1	P 9	X1
B 4	V _{DD}	C12	D15	G 2	INTP0	K14	D0	N 2	IC1	P10	RESET
B 5	A17	C13	D13	G 3	GND	L 1	TCTL0	N 3	RTS	P11	BUSST2
B 6	A15	C14	GND	G12	V _{DD}	L 2	IC1	N 4	IC1	P12	M/I0
B 7	A13	D 1	DMARQ3	G13	D5	L 3	TOUT2	N 5	RxD	P13	IOWR
B 8	A10	D 2	DMAAK1	G14	D4	L12	DSTB	N 6	NMI	P14	MWR

注意1. IC1 : オープンにしてください。

2. IC2 : グランドに接続してください。

内部ブロック図



目 次

- 1. 端子機能一覧 … 9
 - 1.1 機能一覧 … 9
 - 1.2 特定状態での端子状態 … 11
 - ★ 1.3 バス・サイクルの種類 … 14

- 2. ブロック構成 … 15
 - 2.1 CPU … 15
 - 2.2 CG (クロック・ジェネレータ) … 15
 - 2.3 BIU (バス・インタフェース・ユニット) … 15
 - 2.4 BAU (バス・アービトレーション・ユニット) … 15
 - 2.5 WCU (ウエイト・コントロール・ユニット) … 15
 - 2.6 REFU (リフレッシュ・コントロール・ユニット) … 15
 - 2.7 TCU (タイマ/カウンタ・ユニット) … 16
 - 2.8 SCU (シリアル・コントロール・ユニット) … 16
 - 2.9 ICU (割り込みコントロール・ユニット) … 16
 - 2.10 DMAU (DMA コントロール・ユニット) … 16

- 3. CPU … 17
 - 3.1 レジスタ構成 … 18
 - 3.2 メモリ空間と I/O 空間 … 22
 - 3.3 アドレス空間拡張機能 … 24
 - 3.4 ダイナミック・バス・サイジング機能 … 29
 - 3.5 割り込み動作 … 31

- 4. システム制御 I/O … 34
 - 4.1 システム I/O 領域 … 34
 - 4.2 SCTL (システム・コントロール・レジスタ) … 37
 - 4.3 OPSEL (内蔵ペリフェラル選択レジスタ) … 39
 - 4.4 内蔵ペリフェラル・リロケーション・レジスタ (OPHA, DULA, IULA, TULA, SULA) … 40
 - 4.5 TCKS (タイマ・クロック選択レジスタ) … 41
 - 4.6 BRC (ポーレート・カウンタ) … 42

- 5. WCU (ウエイト・コントロール・ユニット) … 43
 - 5.1 特 徴 … 43
 - 5.2 WCUと $\overline{\text{READY}}$ 端子 … 44
 - 5.3 バス・サイクル … 45
 - 5.4 メモリ/外部 I/O サイクル … 46
 - 5.5 DMA/リフレッシュ・サイクル … 51

- 6. REFU (リフレッシュ・コントロール・ユニット) … 52

- 6.1 特 徴 … 52
- 6.2 リフレッシュ・アドレス … 52
- 6.3 RFC (リフレッシュ・コントロール・レジスタ) … 52

- 7. TCU (タイマ/カウンタ・ユニット) … 54
 - 7.1 特 徴 … 54
 - 7.2 TCU 内部ブロック図 … 55
 - 7.3 TCU の操作手順 … 56
 - 7.4 TCU のレジスタ, コマンド … 57
 - 7.5 カウント・モード … 60

- 8. SCU (シリアル・コントロール・ユニット) … 61
 - 8.1 特 徴 … 61
 - 8.2 SCU 内部ブロック図 … 62
 - 8.3 シリアル・データ・フォーマット … 63
 - 8.4 SCU の操作手順 … 63
 - 8.5 SCU のレジスタ, コマンド … 64

- 9. ICU (割り込みコントロール・ユニット) … 69
 - 9.1 特 徴 … 69
 - 9.2 ICU 内部ブロック図 … 69
 - 9.3 ICU による割り込み … 70
 - 9.4 ICU のレジスタ … 71

- 10. DMAU (DMAコントロール・ユニット) … 75
 - 10.1 特 徴 … 75
 - 10.2 DMAU 内部ブロック図 … 76
 - 10.3 μ PD71071 モードと μ PD71071 の相違点 … 77
 - 10.4 μ PD71037 モードと μ PD71037 の相違点 … 77
 - 10.5 μ PD71037 モードと μ PD71071 モードの相違点 … 78
 - 10.6 μ PD71071モード … 79
 - 10.7 μ PD71037モード … 84

- 11. 浮動小数点演算用コプロセッサ μ PD72291インタフェース … 90
 - 11.1 システム構成例 … 90
 - 11.2 バス・サイクル … 92

- 12. リセット機能 … 94
 - 12.1 CPU のリセット動作 … 94
 - 12.2 内蔵 I/O のリセット動作 … 95

- 13. スタンバイ機能 … 98
 - 13.1 特 徴 … 98
 - 13.2 SBCR (スタンバイ・コントロール・レジスタ) … 99

- 14. インストラクション・セット … 100

- 15. 電気的特性 … 126

- 16. 外形図 … 169

- 17. 半田付け推奨条件 … 171

- ★ 付録 命令実行動作の相違点 … 172

1. 端子機能一覧

1.1 機能一覧



端子名	入出力	機能	未使用時の推奨接続方法
A23-A0	3ステート出力	アドレス・バス	オープン
D15-D0	3ステート入出力	データ・バス	
\overline{UBE}	3ステート出力	データ・バス上位バイト・イネーブル	
R/\overline{W}	3ステート出力	リード/ライト選択	
M/\overline{IO}	3ステート出力	メモリ/ (I/O) 選択	
BUSST2-BUSST0	3ステート出力	バス・ステータス	
\overline{BCYST}	3ステート出力	バス・サイクル・スタート	
\overline{DSTB}	3ステート出力	データ・ストローブ	
\overline{MRD}	3ステート出力	メモリ・リード	
\overline{MWR}	3ステート出力	メモリ・ライト	
\overline{IORD}	3ステート出力	I/O リード	
\overline{IOWR}	3ステート出力	I/O ライト	
\overline{BUFEN}	3ステート出力	バッファ・イネーブル	
$\overline{BUSLOCK}$	出力	バス・ロック表示	
\overline{READY}	入力	バス・サイクル終了	抵抗を介してGNDに接続
$\overline{BS8}/BS16$	入力	データ・バス幅指定	抵抗を介してV _{DD} またはGNDに接続
AEX	出力	アドレス拡張モード表示	オープン
\overline{REFRQ}	出力	リフレッシュ要求	
\overline{HLDRQ}	入力	バス・ホールド要求	抵抗を介してGNDに接続
\overline{HLDAK}	出力	バス・ホールド許可	オープン
\overline{NMI}	入力	ノンマスカブル割り込み要求	抵抗を介してV _{DD} に接続
\overline{CPBUSY}	入力	コプロセッサ・ビジィ	抵抗を介してGNDに接続
\overline{RESET}	入力	リセット	—
RESOUT	出力	システム・リセット出力	オープン
X2, X1	入力	クリスタル/外部クロック	—
CLKOUT	出力	システム・クロック出力	オープン
PCLKOUT	出力	外部 I/O 用クロック出力	
TCLK	入力	タイマ・クロック	抵抗を介してV _{DD} またはGNDに接続
TCTL0-TCTL2	入力	タイマ・コントロール	
TOUT0-TOUT2	出力	タイマ出力	オープン
INTP0-INTP7	入力	マスカブル割り込み要求	抵抗を介してGNDに接続
\overline{INTAK}	出力	割り込みアクノリッジ	オープン
TxD	出力	シリアル送信データ	
RxD	入力	シリアル受信データ	抵抗を介してGNDに接続
RxRDY	出力	シリアル受信可	オープン
SINT	出力	シリアル割り込み要求	
\overline{RTS}	出力	リクエスト・トゥ・センド	

端子名	入出力	機能	未使用時の推奨接続方法
\overline{CTS}	入力	クリア・トゥ・センド	抵抗を介してV _{DD} またはGNDに接続
\overline{DTR}	出力	データ・ターミナル・レディ	オープン
\overline{DSR}	入力	データ・セット・レディ	抵抗を介してV _{DD} またはGNDに接続
DMARQ0-DMARQ3	入力	DMA要求	抵抗を介してGNDに接続
$\overline{DMAAK0}$ - $\overline{DMAAK3}$	出力	DMAアクノリッジ	オープン
$\overline{END/TC}$	入出力	DMAサービス強制終了入力/ DMAサービス完了出力	個別に抵抗を介してV _{DD} に接続
V _{DD}	—	正電源	—
GND	—	グラウンド電位	—
IC1	—	内部接続端子	オープン
IC2	—	内部接続端子	GNDに接続

1.2 特定状態での端子状態



特定状態（バス・ホールド時，スタンバイ・モード時，リセット時，DMAカスケード時）での各端子の状態を次に示します。

端子名	入出力	バス・ラッチ ^{注1}	特定状態				CLKOUT に対する非 同期入力
			バス・ホールド時	スタンバイ・モード時	リセット時	DMAカスケード時	
A23-A0	3ステート出力	○	Hi-Z	L	Hi-Z	Hi-Z	
D15-D0	3ステート入出力	○	Hi-Z	注2	Hi-Z	Hi-Z	
\overline{UBE}	3ステート出力	○	Hi-Z	H	Hi-Z	Hi-Z	
R/ \overline{W}	3ステート出力	○	Hi-Z	L	Hi-Z	H	
M/ \overline{IO}	3ステート出力	○	Hi-Z	L	Hi-Z	H	
BUSST2-BUSST0	3ステート出力	○	Hi-Z	注8	Hi-Z	H	
\overline{BCYST}	3ステート出力	○	Hi-Z	注3	Hi-Z	Hi-Z	
\overline{DSTB}	3ステート出力	○	Hi-Z	H	Hi-Z	Hi-Z	
\overline{MRD}	3ステート出力	○	Hi-Z	H	Hi-Z	Hi-Z	
\overline{MWR}	3ステート出力	○	Hi-Z	H	Hi-Z	Hi-Z	
\overline{IORD}	3ステート出力	○	Hi-Z	H	Hi-Z	Hi-Z	
\overline{IOWR}	3ステート出力	○	Hi-Z	H	Hi-Z	Hi-Z	
\overline{BUFEN}	3ステート出力	○	Hi-Z	H	Hi-Z	Hi-Z	
$\overline{BUSLOCK}$	出力	×	注4	注4	H	H	
\overline{READY}	入力	×	—	—	—	—	不可
$\overline{BS8/BS16}$	入力	×	—	—	—	—	不可
AEX	出力	×	注5	注5	H/L	注5	
\overline{REFRQ}	出力	×	H	注6	H	H	
HLDRQ	入力	×	—	—	—	—	可
HLDK	出力	×	H	H/L	L	L	
\overline{NMI}	入力	×	—	—	—	—	可
\overline{CPBUSY}	入力	×	—	—	—	—	可
\overline{RESET}	入力	×	—	—	—	—	可
RESOUT	出力	×	L	L	H	L	
X2, X1	入力	×	—	—	—	—	—
CLKOUT	出力	×	非固定	注7	非固定	非固定	
PCLKOUT	出力	×	非固定	注7	非固定	非固定	
TCLK	入力	×	—	—	—	—	可
TCTL0-TCTL2	入力	×	—	—	—	—	可
TOUT0-TOUT2	出力	×	非固定	非固定	非固定	非固定	
INTP0-INTP7	入力	×	—	—	—	—	可
\overline{INTAK}	出力	×	H	H	H	H	
TxD	出力	×	非固定	非固定	H	非固定	
RxD	入力	×	—	—	—	—	可
RxRDY	出力	×	非固定	非固定	H	非固定	
SINT	出力	×	非固定	非固定	L	非固定	
\overline{RTS}	出力	×	非固定	非固定	H	非固定	

端子名	入出力	バス・ラッチ ^{注1}	特定状態				CLKOUT に対する非 同期入力
			バス・ホールド時	スタンバイ・モード時	リセット時	DMAカスケード時	
CTS	入力	×	—	—	—	—	可
DTR	出力	×	非固定	非固定	H	非固定	
DSR	入力	×	—	—	—	—	可
DMARQ0-DMARQ3	入力	×	—	—	—	—	可
DMAAK0-DMAAK3	出力	×	H	非固定	H	非固定	
END/TC	入出力	×	Hi-Z	非固定	Hi-Z	非固定	不可
V _{DD}	—	×	—	—	—	—	
GND	—	×	—	—	—	—	
IC1, IC2	—	×	—	—	—	—	

注1. ○：ラッチを内蔵しています。

×：ラッチを内蔵していません。

図1-1 ラッチ構成図を参照してください。

ラッチを内蔵している端子は、Hi-Z時、外部からドライブされるまで、Hi-Zとなる以前の状態を保持しています。したがって、これらの端子をプルアップまたはプルダウンする必要はありません。

また、Hi-Z状態で外部から端子レベルを反転させるには、ラッチ反転電流 (I_{ILH}, I_{ILL}) 以上のドライブ能力が必要です。

なお、電源投入直後、ラッチ・レベルは不定となります。したがって、ラッチを内蔵している端子に電源投入直後からあるレベルを期待する場合は、必要に応じてプルアップまたはプルダウンしてください。

2. ホールド・アクノリッジ・サイクルの最初の2クロック間は不定、以後はHi-Z。
3. ホールド・アクノリッジ・サイクルの最初の1クロック間はL、以後はH。
4. 次のいずれかの場合はL、それ以外はH。
 - ・ホールド時にBUSLOCKプリフィクス付きの命令を実行。
 - ・BUSLOCKプリフィクス付きのHALT命令を実行。
5. アドレス拡張モード時はH、非拡張モード時はL。
6. HALTモード時は非固定、STOPモード時はH。
7. HALTモード時は非固定、STOPモード時はL。
8. BUSST2→ロウ・レベルを出力。BUSST1, BUSST0→ハイ・レベルを出力。

備考1. H：ハイ・レベル

L：ロウ・レベル

H/L：ハイまたはロウ・レベル

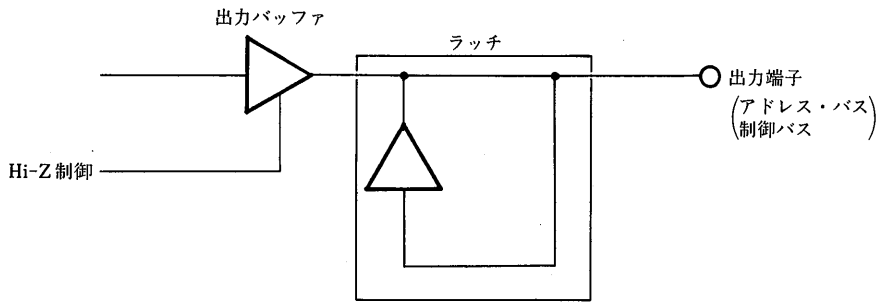
Hi-Z：ハイ・インピーダンス

非固定：有効値を出力

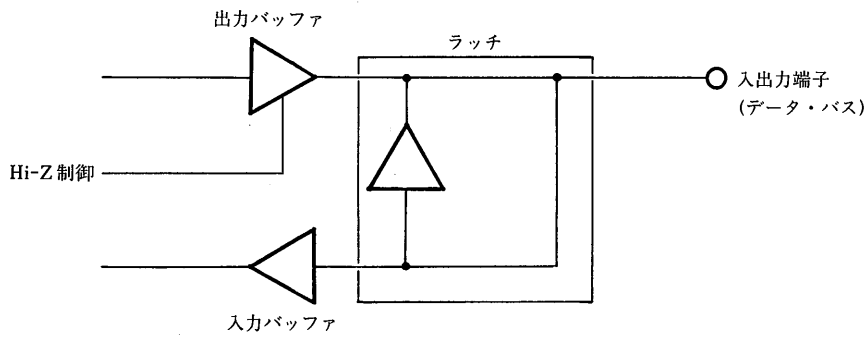
2. スタンバイ・モード時とは、HALTモード時/STOPモード時の両方を指します(13. スタンバイ機能参照)。

図 1-1 ラッチ構成図

出力端子



入出力端子



★ 1.3 バス・サイクルの種類

μPD70236が外部バスに対して起動するバス・サイクルは、次の信号の組み合わせによる18種類です。

M/ \overline{IO}	R/ \overline{W}	BUSST2	BUSST1	BUSST0	バス・サイクル
0	1	0	0	0	割り込みアクノリッジ・サイクル (スレーブ)
0	1	1	0	0	割り込みアクノリッジ・サイクル (ICU)
0	1	0	0	1	外部I/Oリード・サイクル
0	1	1	0	1	内部I/Oリード・サイクル
0	0	0	0	1	外部I/Oライト・サイクル
0	0	1	0	1	内部I/Oライト・サイクル
0	1	0	1	0	コプロセッサ・リード・サイクル
0	0	0	1	0	コプロセッサ・ライト・サイクル
0	0	0	1	1	ホールド・アクノリッジ・サイクル
1	1	0	0	0	命令フェッチ・サイクル
1	1	1	0	0	リフレッシュ・サイクル
1	1	0	0	1	CPUメモリ・リード・サイクル
1	1	1	0	1	DMAリード転送サイクル
1	0	0	0	1	CPUメモリ・ライト・サイクル
1	0	1	0	1	DMAライト転送サイクル
1	1	0	1	0	コプロセッサ用メモリ・リード・サイクル
1	0	0	1	0	コプロセッサ用メモリ・ライト・サイクル
1	1	1	1	1	カスケードDMAサイクル

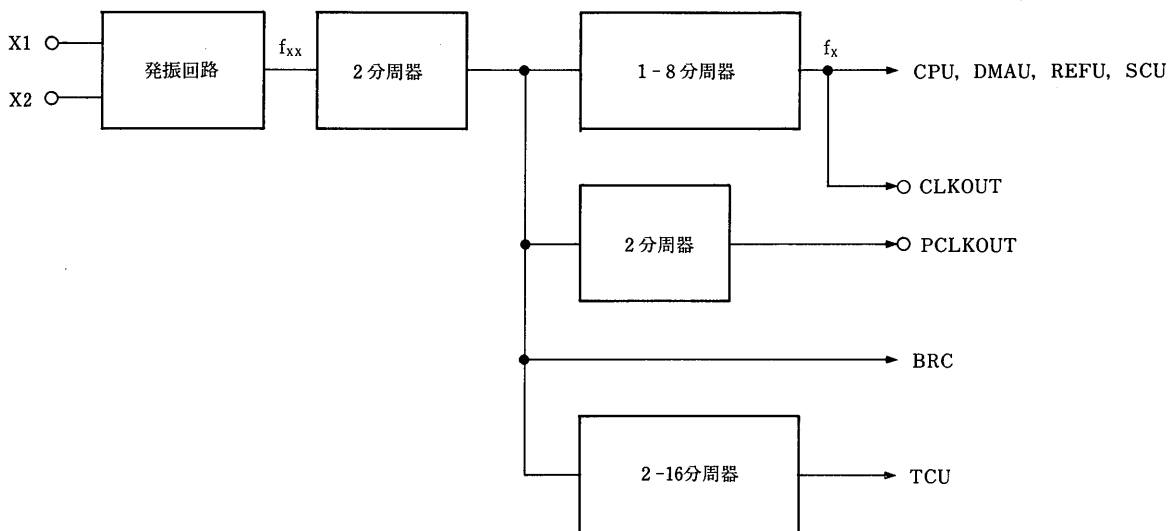
2. ブロック構成

2.1 CPU

μPD70136 (V33) と同等の機能を有し、V20, V30, V40, V50のネイティブ・モードと上位コンパチブルな命令セットを有しています。また、アドレス空間を16Mバイトに拡張できます。

2.2 CG (クロック・ジェネレータ)

X1, X2端子に接続されたクリスタルおよび発振器の1/2, 1/4, 1/8, 1/16の周波数のクロックを発生し、CPU動作クロックとして供給するとともに、CLKOUT 端子として外部へ出力します。また、発振周波数の1/4固定周波数のクロックをPCLKOUT端子に出力します。



2.3 BIU (バス・インタフェース・ユニット)

アドレス・バス、データ・バス、制御バスの端子を制御します。これらのバスはCPU, DMAU, REFUの3つによって使用されます。

2.4 BAU (バス・アービトレーション・ユニット)

μPD70236 内部のバス使用権の調停を行います。バス使用権の優先順位は次のとおりです。

BUSLOCK 付き CPU > 最高優先の REFU > DMAU > HLDRQ > 通常の CPU > 最低優先の REFU

2.5 WCU (ウェイト・コントロール・ユニット)

メモリ・サイクル、I/O サイクル、DMA サイクル、リフレッシュ・サイクルに対し、0-7のウェイトの自動挿入機能を有します。メモリ空間は、1Mバイト空間の3分割、および16Mバイト空間の3分割が可能です。

2.6 REFU (リフレッシュ・コントロール・ユニット)

16ビットのリフレッシュ・アドレスと、リフレッシュ・サイクルであることを示すリフレッシュ信号 ($\overline{\text{REFRQ}}$) を発生し、DRAMのリフレッシュ動作をサポートします。

2.7 TCU (タイマ/カウンタ・ユニット)

μPD71054 と同等の機能を有し、3チャンネルの16ビット・タイマ/カウンタを内蔵しています。

2.8 SCU (シリアル・コントロール・ユニット)

μPD71051 から同期モードを除いたものとほぼ同等の機能を有するシリアル・コントローラを内蔵し、RS-232-C プロトコルをサポートします。さらに専用のボー・レート・ジェネレータを内蔵しています。

2.9 ICU (割り込みコントロール・ユニット)

μPD71059 から CALL モード (8085モード) を除いたものと同等の機能を有しています。8レベルの外部割り込み入力端子を有し、カスケード接続によりさらに外部割り込み入力を拡張可能です。

2.10 DMAU (DMAコントロール・ユニット)

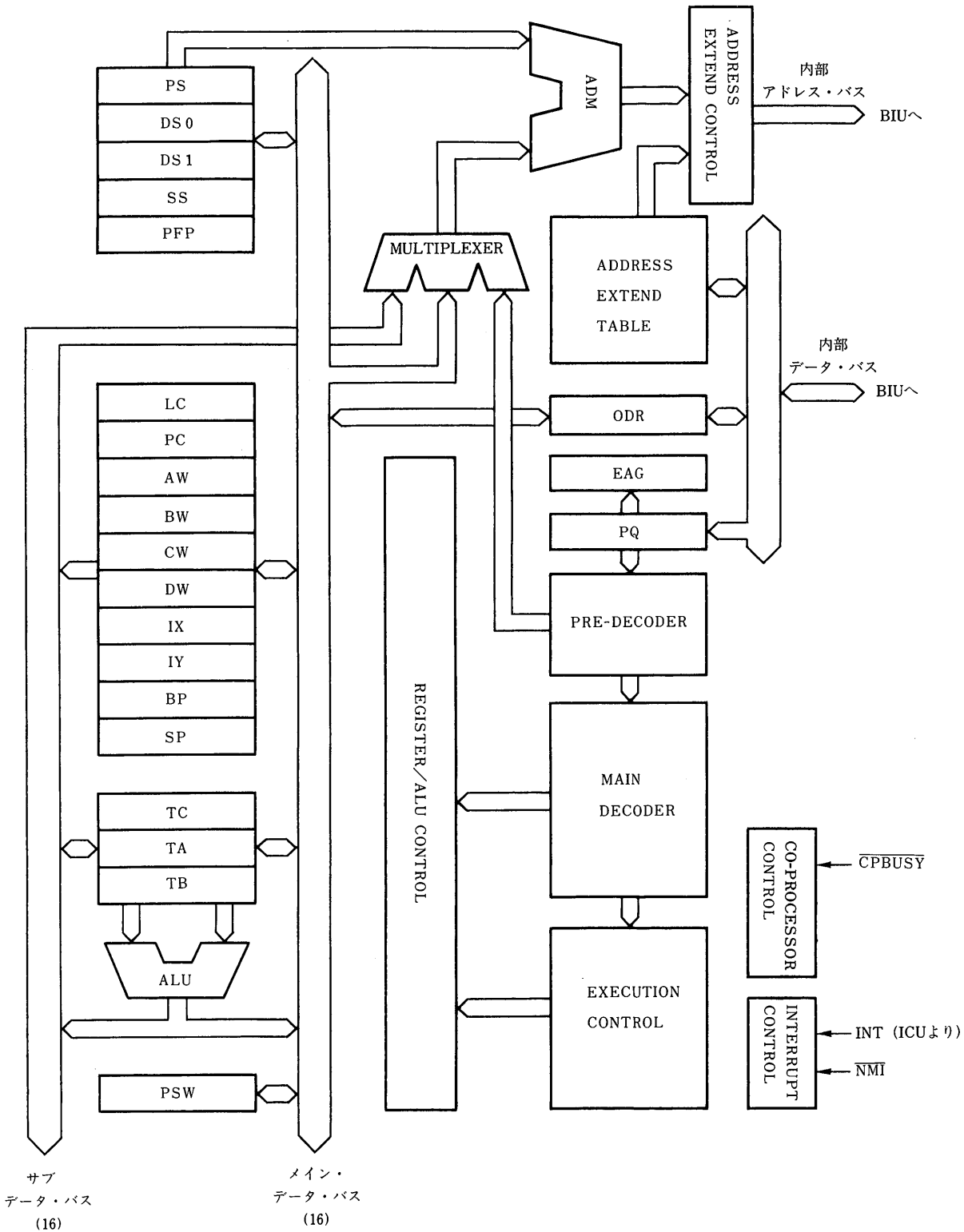
μPD71071およびμPD71037と同等の機能を有しています。システム I/O 領域で設定することにより、いずれかの動作モードを選択します。

3. CPU

CPUはμPD70136と同等の機能を持っています。ハードウェア的には、内蔵ペリフェラルとのバス使用の関係上一部変更されているところもありますが、ソフトウェア的にはフル・コンパチブルとなっています。

図3-1にCPUの内部ブロック図を示します。

図3-1 CPUの内部ブロック図



3.1 レジスタ構成

3.1.1 PFP (Prefetch Pointer)

プリフェッチ・ポインタは、プログラム・メモリ・アドレスのオフセット情報を保持する16ビット・バイナリ・カウンタです。

PFPは、プログラム・メモリから命令バイトをプリフェッチするごとにインクリメントされます。また、ブランチ、コール、リターン、ブレイク命令実行時には新たなロケーションがロードされ、このときPFPの内容はPC (Program Counter) と同じになります。

PFPは、常にPS (Program Segment) レジスタとともに使用されます。

3.1.2 PQ (Prefetch Queue)

μPD70236は8バイト命令キュー (FIFO) を持っており、プリフェッチする命令コードを最大8バイト分までストアすることができます。

ブランチ、コール、リターン、ブレイク命令実行時や外部割り込み処理時には、キューの内容はクリアされ、新たなロケーションの命令がプリフェッチされます。

通常、μPD70236はキューに1ワード(2バイト)以上の空きがあるとプリフェッチを行います。

いくつかの連続して実行される命令の平均実行時間が、1つ1つの命令の命令コードのプリフェッチに必要なクロック数がある程度越えていれば、1つの命令を実行終了したときに、続いてEXUが実行できる命令コードがキューに用意されているようになり、外部メモリからのフェッチ時間を命令実行時間から除けるようになります。この結果、1命令ごとにフェッチ、実行を行うCPUに比べて処理速度が向上できます。

キューの効果は、上述のブランチ命令実行時のようにキューがクリアされる命令が多いほど、また実行時間の短い命令が続いたときなどに減少します。

3.1.3 ODR (Operand Data Register)

ODRは、バイト・アクセスのために、上位バイト、下位バイトを独立にリード/ライト可能となっています。ODRにデータ転送を行うことでライト動作を終了し、外部データ・バスからODRにデータが転送されるのを確認してリード動作を終了します。

3.1.4 セグメント・レジスタ (PS, SS, DS0, DS1)

μPD70236は、64Kバイト単位の論理セグメントにメモリ・アドレスを分割し、各セグメントの開始アドレスをセグメント・レジスタが指定し、開始アドレスからのオフセット分は、別のレジスタまたは実効アドレスが指定するようになっています。

セグメント・レジスタには次に示す4種があります。

セグメント・レジスタ	デフォルト・オフセット
PS (Program Segment)	PFP
SS (Stack Segment)	SP, 実効アドレス
DS0 (Data Segment 0)	IX, 実効アドレス
DS1 (Data Segment 1)	IY

PSとPFP (Prefetch Pointer) のペアおよびDS1とIYのペアは固定されています。

SSは、通常のスタック操作ではSPとペアになりますが、ベース・レジスタとしてBPレジスタが選択されたときは、実効アドレスをオフセットとします。

DS0はブロック転送処理においてはIXとともに用いられますが、そのほかの一般処理においては実効アドレスをオフセットとします。

なお、BPレジスタをベース・レジスタとして使用している場合でSSをセグメント・レジスタとするアドレッシングにおいては、セグメント・オーバーライド・プリフィクス命令 (PS:, DS0:, DS1:) を使用することにより、ほかの3種のセグメント・レジスタをセグメント選択に使用することが可能です。

3.1.5 ADM (Address Modifier)

ADM (アドレス修飾回路) は、物理アドレスの生成 (セグメント・レジスタとPFPまたはDPとの加算) およびPFP (Prefetch Pointer) のインクリメントを行います。

3.1.6 汎用レジスタ (AW, BW, CW, DW)

汎用レジスタには4個の16ビット・レジスタがあり、16ビット・レジスタとしてはもちろん、各レジスタを上位下位の8ビットに分けて、8ビット・レジスタ (AH, AL, BH, BL, CH, CL, DH, DL) としてもアクセス可能です。

したがって、これらのレジスタは転送命令、算術演算命令、論理演算命令など広範の命令に対して8または16ビット・レジスタとして利用されます。

また、次に示すように各レジスタは、特定の命令処理にデフォルト・レジスタとして使用されます。

AW: ワード乗/除算, ワード入/出力, 翻訳, BCDローテート, データ変換

AL: バイト乗/除算, バイト入/出力, BCDローテート, データ変換

AH: バイト乗/除算

BW: 翻訳

CW: ループ制御ブランチ, リピート・プリフィクス

CL: シフト命令, ローテート命令, BCD演算

DW: ワード乗/除算, 間接アドレッシング入/出力

3.1.7 ポインタ (SP, BP) とインデクス・レジスタ (IX, IY)

ベースト・アドレッシング, インデクスト・アドレッシング, ベースト・インデクスト・アドレッシングなどによるメモリ・アクセス時に、ベース・ポインタまたはインデクス・レジスタとして使用します。

また、汎用レジスタと同様、転送, 算術演算, 論理演算などの命令に対して利用されますが、この場合8ビット・レジスタとしては使用できません。

さらに次に示すように、各レジスタは特定の処理にデフォルト・レジスタとして使用されます。

SP: スタック操作

IX: ブロック転送 (ソース側), BCDストリング演算

IY: ブロック転送 (デスティネーション側), BCDストリング演算

3.1.8 TA/TB (Temporary Register/Shifter A/B)

TA/TBは、乗除算およびシフト/ローテート (BCDローテート含む) 命令に用いられる16ビット・テンポラリ・レジスタ/シフタです。

乗除算命令実行時には、TA+TBの32ビット・テンポラリ・レジスタ/シフタとして働き、シフト/ローテート命令実行時には、TBのみが16ビット・テンポラリ・レジスタ/シフタとして働きます。

TA, TBともに、内部バスとの間で上位バイト、下位バイト独立にもリード/ライト可能です。

TA/TBはALUの入力となります。

3.1.9 TC (Temporary Register C)

TCは、乗除算その他の内部処理に用いられる16ビット・テンポラリ・レジスタです。

TCはALUの入力となります。

3.1.10 ALU (Arithmetic Logic Unit)

ALU(算術論理演算回路)は、フル・アダーと論理演算回路で構成されており、算術演算(加減乗除、インクリメント、デクリメント、補数演算)と論理演算(テスト、AND, OR, XOR, およびビット単位のテスト、セット、クリア、反転)を行います。

3.1.11 PSW (Program Status Word)

プログラム・ステータス・ワードは、6種のステータス・フラグと3種のコントロール・フラグで構成されます。

ステータス・フラグ

- V (Overflow)
- S (Sign)
- Z (Zero)
- AC (Auxiliary Carry)
- P (Parity)
- CY (Carry)

コントロール・フラグ

- DIR (Direction)
- IE (Interrupt Enable)
- BRK (Break)

これらのフラグがスタック処理されるときは、次に示すようなワード・イメージで操作されます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	1	1	1	1	V	D I R	I E	B R K	S	Z	0	A C	0	P	1	C Y	PSW

ステータス・フラグは、各種命令実行の結果(データ値)に従って自動的にセット、リセットされます。

CYフラグは、命令によって直接にセット、リセット、反転が可能です。

コントロール・フラグは、命令によってセット、リセットされ、CPUの動作を制御します。

3.1.12 LC (Loop Counter)

LC (ループ・カウンタ) は、リピート・プリフィクス命令 (REP, REPC, etc.) によって制御されるフリミティブ・ブロック転送/入出力命令 (MOV BK, OUTM, etc.) のループ回数や、多ビット・シフト/ローテート命令のシフト数をカウントする16ビット・レジスタです。

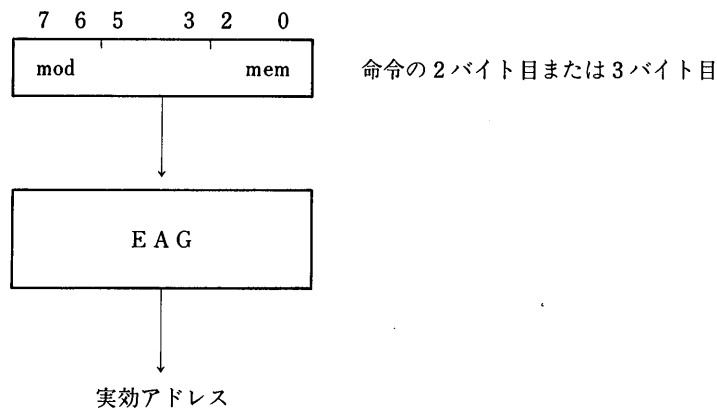
3.1.13 PC (Program Counter)

プログラム・カウンタは、現在実行しようとしているプログラム・メモリ・アドレスのオフセット情報を保持する16ビット・バイナリ・カウンタです。

PC は、デコーダが命令キューから命令バイトをフェッチすることにインクリメントされます。またブランチ、コール、リターン、ブレーク命令実行時には新たなロケーションがロードされ、このときPCの内容はPFP (Pre-fetch Pointer) と同じになります。

3.1.14 EAG (Effective Address Generator)

EAG (実効アドレス発生回路) は、メモリ・アクセス時に必要な実効アドレス計算を高速で行う回路です。すべてのアドレッシング・モードに対して、2クロックで計算を終了します。



命令のオペランドの指定されているバイト (2バイト目または3バイト目) を取り込み、メモリ・アクセスが必要な場合、該当するレジスタ操作に関する制御信号を発生し、実効アドレスを計算します。

さらに、必要に応じて、バス・サイクル (メモリ・リードなど) を起動します。

3.2 メモリ空間と I/O 空間

μPD70236 は最大 16 M バイトのメモリ空間と、64 Kバイトの I/O 空間を提供します。

3.2.1 メモリ空間

μPD70236はアドレス端子として、A23-A0の24ビットを有しており、後述のアドレス空間拡張機能により、16 M バイトのメモリ空間を使用することが可能です。

アドレス空間拡張機能を使用しない場合は、A19-A0により、1 Mバイトのメモリ空間を使用できます。このとき、上位4ビット (A23-A20) は常にロウ・レベルを出力します。

DMAサイクルでは、アドレス空間拡張機能は無効ですが、DMAU 内には24ビット長のアドレス・レジスタがあり、16 M バイトのメモリ空間を使用できます。

リフレッシュ・サイクルでは、A15-A0を用いてリフレッシュ・アドレスを出力します。このときA23-A16はロウ・レベルを出力します。

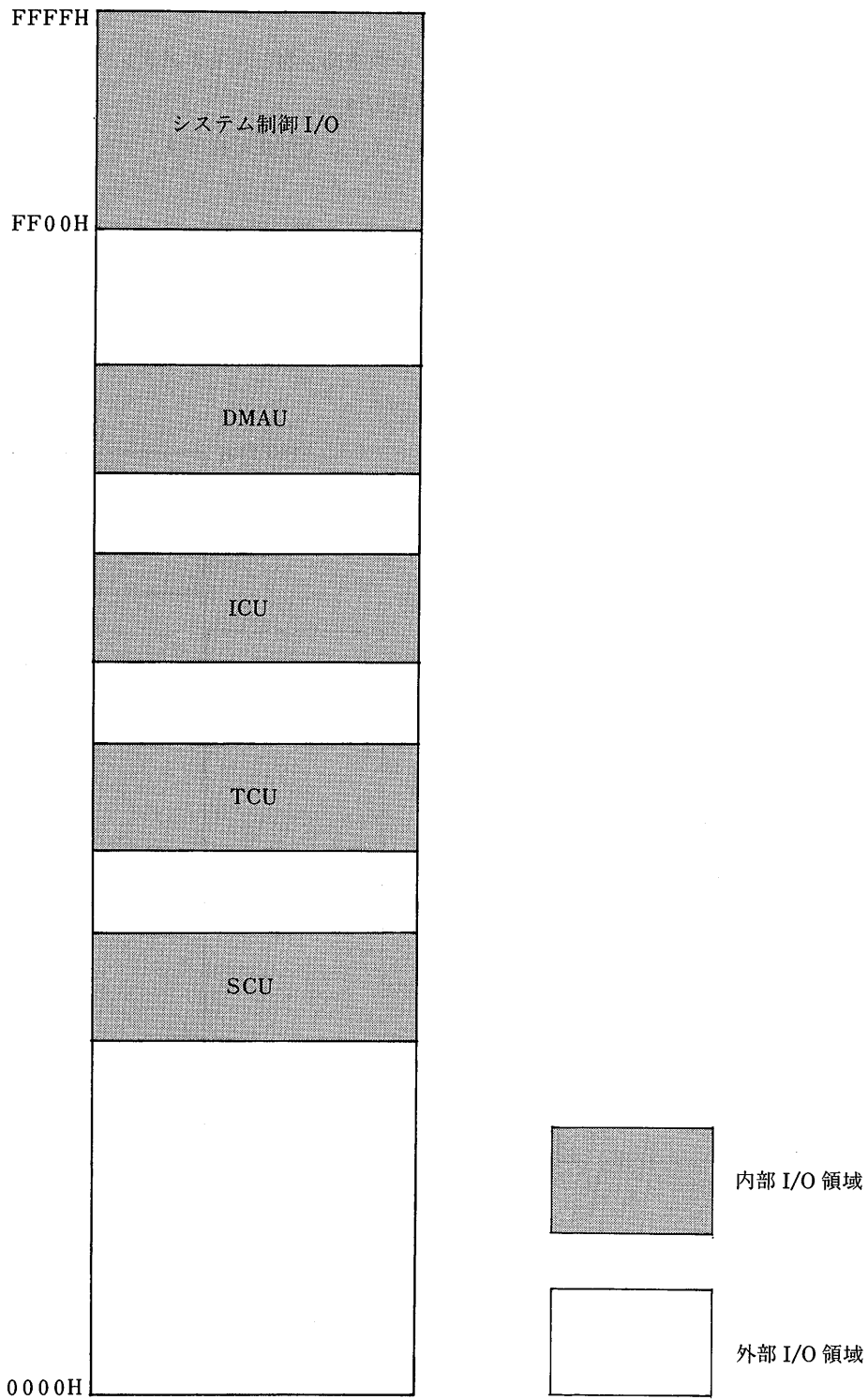
3.2.2 I/O 空間

μPD70236 は64Kバイトの I/O 空間をサポートします。このうち、システムI/O領域 (上位256バイトのI/O空間) は内部 I/O 領域として使用するため、外部 I/O をマッピングすることはできません。

内部 I/O アクセス、外部 I/O アクセスにおいて、アドレスの上位8ビット (A23-A16) は常にロウ・レベルを出力します。

なお、外部 I/O 領域と内部 I/O 領域にまたがったワード・タイプの I/O アクセスは禁止です。

図 3-2 μPD70236のI/O領域



3.3 アドレス空間拡張機能

3.3.1 概 略

EA (Effective Address) 生成による20ビットのアドレス空間を24ビットのアドレス空間に拡張します。

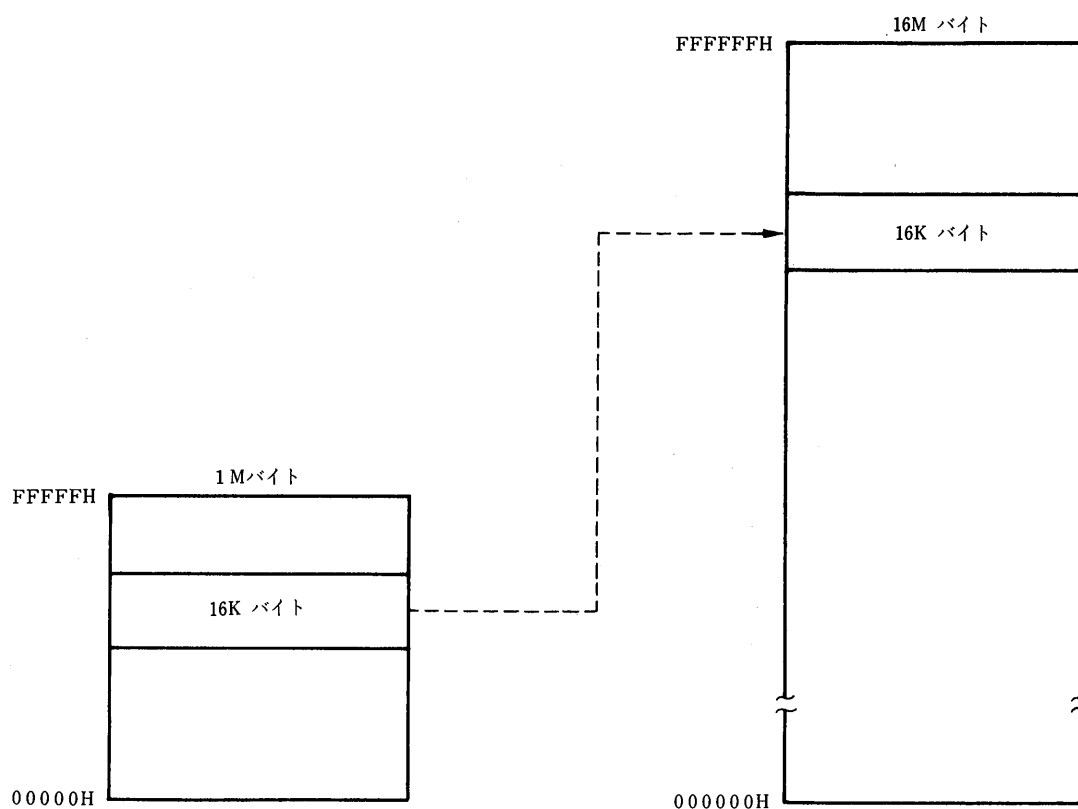
拡張方式としては、アドレス・リロケーション方式を採用します。

リロケーション単位は1ページ16 Kバイトで、16 Mバイトまで拡張可能です。

拡張の指定は、ソフトウェアで行います。

拡張アドレス・モードを設定をした場合は、変換テーブルを参照して20ビット・アドレスの上位6ビットを上位10ビットに拡張し、24ビットの拡張アドレスを生成します。

拡張アドレス・モードを設定をしない場合は、20ビットの物理アドレスをそのまま出力し、上位4ビット (A23-A20) はロウ・レベルを出力します。



3.3.2 拡張アドレス・モードの設定／解除

拡張アドレス・モード (XAモード) の設定／解除は、以下に示す命令で行います。

BRKXA 命令

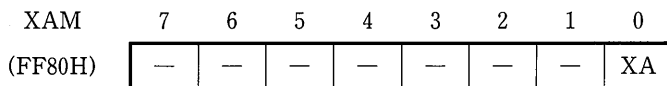
RETXA 命令

XAフラグの動作を次表に示します。

命 令	動 作	XAモード
BRKXA	ベクタ n をリードし、分岐。XAフラグ=1 にセット	設 定
RETXA	ベクタ n をリードし、分岐。XAフラグ=0 にリセット	解 除

備考 拡張アドレス・モード／通常アドレス・モードは、BRKXA、RETXAの実行による分岐先アドレスのフェッチ・サイクルから有効となります。

拡張アドレス・モードに設定されているかどうかはXAMレジスタ (FF80H) のビット 0 (XAフラグ) により知ることが可能です。

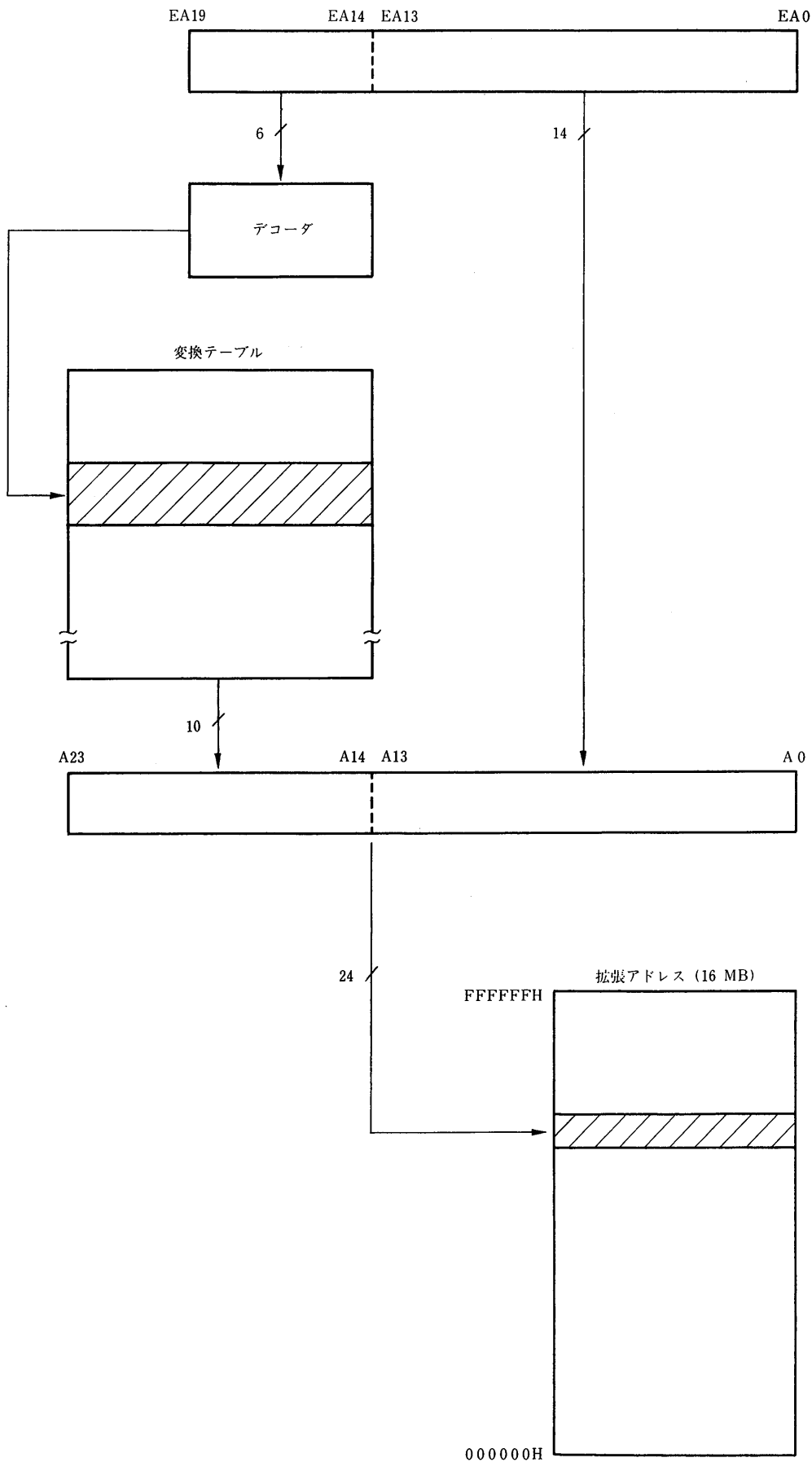


XA	動 作
0	通常アドレス・モード (NAモード)
1	拡張アドレス・モード (XAモード)

備考 —：不定

XAフラグは、バイトIN命令による読み出しのみ可能です。また、リセット入力により、0になります。拡張アドレス・モード時は、ページ・レジスタにアクセスしないでください。

3.3.3 アドレス変換方式



3.3.4 アドレス変換テーブル

実効アドレス生成回路により生成した20ビット・アドレスの上位6ビットを入力し、64のページ・レジスタ(PGR)より1つを選択し、その内容の下位10ビットを拡張アドレスの上位10ビットとします。

ページ・レジスタ(PGR)は、I/O空間のFF00H - FF7EHに割り付けられ、ワードIN/OUT命令によりリード/ライト可能です。

(1) アドレス変換

A19 A18 A17 A16 A15 A14	選択される ページ・レジスタ	A19 A18 A17 A16 A15 A14	選択される ページ・レジスタ
0 0 0 0 0 0	PGR 1	1 0 0 0 0 0	PGR33
0 0 0 0 0 1	PGR 2	1 0 0 0 0 1	PGR34
0 0 0 0 1 0	PGR 3	1 0 0 0 1 0	PGR35
0 0 0 0 1 1	PGR 4	1 0 0 0 1 1	PGR36
0 0 0 1 0 0	PGR 5	1 0 0 1 0 0	PGR37
0 0 0 1 0 1	PGR 6	1 0 0 1 0 1	PGR38
0 0 0 1 1 0	PGR 7	1 0 0 1 1 0	PGR39
0 0 0 1 1 1	PGR 8	1 0 0 1 1 1	PGR40
0 0 1 0 0 0	PGR 9	1 0 1 0 0 0	PGR41
0 0 1 0 0 1	PGR10	1 0 1 0 0 1	PGR42
0 0 1 0 1 0	PGR11	1 0 1 0 1 0	PGR43
0 0 1 0 1 1	PGR12	1 0 1 0 1 1	PGR44
0 0 1 1 0 0	PGR13	1 0 1 1 0 0	PGR45
0 0 1 1 0 1	PGR14	1 0 1 1 0 1	PGR46
0 0 1 1 1 0	PGR15	1 0 1 1 1 0	PGR47
0 0 1 1 1 1	PGR16	1 0 1 1 1 1	PGR48
0 1 0 0 0 0	PGR17	1 1 0 0 0 0	PGR49
0 1 0 0 0 1	PGR18	1 1 0 0 0 1	PGR50
0 1 0 0 1 0	PGR19	1 1 0 0 1 0	PGR51
0 1 0 0 1 1	PGR20	1 1 0 0 1 1	PGR52
0 1 0 1 0 0	PGR21	1 1 0 1 0 0	PGR53
0 1 0 1 0 1	PGR22	1 1 0 1 0 1	PGR54
0 1 0 1 1 0	PGR23	1 1 0 1 1 0	PGR55
0 1 0 1 1 1	PGR24	1 1 0 1 1 1	PGR56
0 1 1 0 0 0	PGR25	1 1 1 0 0 0	PGR57
0 1 1 0 0 1	PGR26	1 1 1 0 0 1	PGR58
0 1 1 0 1 0	PGR27	1 1 1 0 1 0	PGR59
0 1 1 0 1 1	PGR28	1 1 1 0 1 1	PGR60
0 1 1 1 0 0	PGR29	1 1 1 1 0 0	PGR61
0 1 1 1 0 1	PGR30	1 1 1 1 0 1	PGR62
0 1 1 1 1 0	PGR31	1 1 1 1 1 0	PGR63
0 1 1 1 1 1	PGR32	1 1 1 1 1 1	PGR64

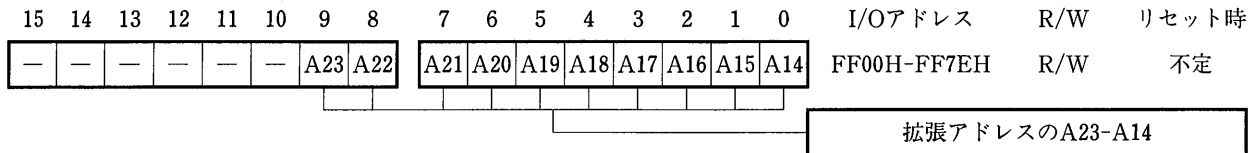
(2) ページ・レジスタ (PGR1-PGR64)

ページ・レジスタに対するアクセスはワードIN/ワードOUT 命令で行います。

ページ・レジスタの有効ビットは、いずれも下位10ビット(D9-D0)です。有効ビット以外の上位ビット(D15-D10)は、リード時は0が読み出され、ライト時は無視されます。リセット入力の影響は受けません。

拡張アドレス・モード (XA=1) 時は、ページ・レジスタをアクセスしないでください。

ページ・レジスタ (PGR1-PGR64)



I/Oアドレス	ページ・レジスタ	I/Oアドレス	ページ・レジスタ	I/Oアドレス	ページ・レジスタ
FF00	PGR1	FF2C	PGR23	FF58	PGR45
FF02	PGR2	FF2E	PGR24	FF5A	PGR46
FF04	PGR3	FF30	PGR25	FF5C	PGR47
FF06	PGR4	FF32	PGR26	FF5E	PGR48
FF08	PGR5	FF34	PGR27	FF60	PGR49
FF0A	PGR6	FF36	PGR28	FF62	PGR50
FF0C	PGR7	FF38	PGR29	FF64	PGR51
FF0E	PGR8	FF3A	PGR30	FF66	PGR52
FF10	PGR9	FF3C	PGR31	FF68	PGR53
FF12	PGR10	FF3E	PGR32	FF6A	PGR54
FF14	PGR11	FF40	PGR33	FF6C	PGR55
FF16	PGR12	FF42	PGR34	FF6E	PGR56
FF18	PGR13	FF44	PGR35	FF70	PGR57
FF1A	PGR14	FF46	PGR36	FF72	PGR58
FF1C	PGR15	FF48	PGR37	FF74	PGR59
FF1E	PGR16	FF4A	PGR38	FF76	PGR60
FF20	PGR17	FF4C	PGR39	FF78	PGR61
FF22	PGR18	FF4E	PGR40	FF7A	PGR62
FF24	PGR19	FF50	PGR41	FF7C	PGR63
FF26	PGR20	FF52	PGR42	FF7E	PGR64
FF28	PGR21	FF54	PGR43		
FF2A	PGR22	FF56	PGR44		

注意 ページ・レジスタ (PGR1-PGR64) へは、常に偶数番地に対するワード・アクセスを行ってください。

3.4 ダイナミック・バス・サイジング機能

μPD70236のデータ・バスは16ビットですが、8ビット・データ・バス・システムに対しても接続可能となるように、ダイナミック・バス・サイジング機能を有します。

バス・サイジング機能は、メモリ・アクセス、I/Oアクセス（外部I/Oのみ）ともに有効であり、 $\overline{BS8}/BS16$ がロウ・レベルになると、データ・バスの下位8ビットのみが有効となります。

偶数番地へのワード・アクセスの際は、通常の第1バス・サイクルに引き続き、第2バス・サイクルを起動して、上位8ビット・データのリード/ライトをD7-D0を用いて行います。

表 3-1 データのアクセス

★

\overline{UBE}	A0	動作
0	0	16ビット・アクセス
0	1	上位8ビット・アクセス
1	0	下位8ビット・アクセス
1	1	バス・サイジング時の第2サイクル

表 3-2 ライト動作

バイト/ワード	アドレス	A0	\overline{UBE}	サイクル	非サイジング (BS 8/BS16= 1)		サイジング (BS 8/BS16= 0)	
					D15-D8	D7-D0	D15-D8	D7-D0
バイト	偶数	0	1	第1	不定	下位バイト	不定	下位バイト
	奇数	1	0	第1	下位バイト	下位バイト	下位バイト	下位バイト
ワード	偶数	0	0	第1	上位バイト	下位バイト	上位バイト	下位バイト
		1	1	第2	サイクルなし	サイクルなし	上位バイト	上位バイト
	奇数	1	0	第1	下位バイト	下位バイト	下位バイト	下位バイト
		0	1	第2	下位バイト	上位バイト	下位バイト	上位バイト

表 3-3 リード動作

バイト/ワード	アドレス	A0	\overline{UBE}	サイクル	非サイジング (BS 8/BS16= 1)		サイジング (BS 8/BS16= 0)	
					D15-D8	D7-D0	D15-D8	D7-D0
バイト	偶数	0	1	第1	—	下位バイト	—	下位バイト
	奇数	1	0	第1	下位バイト	—	—	下位バイト
ワード	偶数	0	0	第1	上位バイト	下位バイト	—	下位バイト
		1	1	第2	サイクルなし	サイクルなし	—	上位バイト
	奇数	1	0	第1	下位バイト	—	—	下位バイト
		0	1	第2	—	上位バイト	—	上位バイト

表 3-4 バス・サイクルごとのバス・サイジングとサンプリングの有無

バス・サイクル	D0-D15端子 有効なバス・サイズ	BS8/BS16端子 サンプリング
割り込みアクノリッジ・サイクル (スレーブ)	8ビット	—
割り込みアクノリッジ・サイクル (ICU)	8ビット	—
外部I/Oリード・サイクル	8/16ビット	○
内部I/Oリード・サイクル	8/16ビット	—
外部I/Oライト・サイクル	8/16ビット	○
内部I/Oライト・サイクル	8/16ビット	—
コプロセッサ・リード・サイクル	16ビット	—
コプロセッサ・ライト・サイクル	16ビット	—
ホールド・アクノリッジ・サイクル	Hi-Z (意味なし)	—
命令フェッチ・サイクル	8/16ビット	○
リフレッシュ・サイクル	Hi-Z (意味なし)	—
CPUメモリ・リード・サイクル	8/16ビット	○
DMAリード転送サイクル	Hi-Z (転送するI/Oに依存)	—
CPUメモリ・ライト・サイクル	8/16ビット	○
DMAライト転送サイクル	Hi-Z (転送するI/Oに依存)	—
コプロセッサ用メモリ・リード・サイクル	16ビット	○注
コプロセッサ用メモリ・ライト・サイクル	16ビット	○注
カスケードDMAサイクル	Hi-Z (意味なし)	—

注 8ビット・バス・サイズに指定した場合は、正常に動作しません。

3.5 割り込み動作

μPD70236には、大きく分けて外部割り込み要求によるものとソフトウェア処理によるものの2種の割り込みがあります。

これらの細区分は次のようになっています。

(1) 外部割り込み

- (a) $\overline{\text{NMI}}$ 入力 (ノンマスクابل)
- (b) ICU 入力 (マスクابل)

(2) ソフトウェア命令

(a) 命令の処理結果

- DIVまたはDIVU命令によるディバイド・エラー
- CHKIND命令によるメモリ境界オーバ検出
- 未定義命令の検出
- コプロセッサ・エラー
- コプロセッサ不在

(b) 条件付きブレーク命令

- BRKV命令でV=1のとき

(c) 無条件ブレーク命令

- 1バイト・ブレーク命令 BRK 3
- 2バイト・ブレーク命令 BRK imm 8

(d) フラグ処理 (シングルステップ)

- BRKフラグをスタック操作を利用してセット。

いずれの割り込みもあらかじめ用意しておいた割り込みベクタ・テーブルのうち1箇所を自動的に、またはそのつど指定することによって選択し、割り込みルーチン開始アドレスを決定します。

割り込みベクタ・テーブルを図3-3に示します。このテーブルはメモリの000H-3FFHの1024バイトに割り当てられており、256ベクタ (1ベクタ当たり4バイトを使用) 分を保有できます。

図3-3 割り込みベクタ・テーブル

ベクタ 255	3FCH	注	
130	208H	コプロセッサ不在	
129	204H	予約済み	
128	200H	コプロセッサ・エラー	
		注	
122	1E8H	未定義命令トラップ	
		注	
32	080H	予約済み	
31	07CH		
6	018H	専用	
5	014H		CHKIND 命令
4	010H		BRKV 命令
3	00CH		BRK 3 命令
2	008H		NMI 入力
1	004H		ブレーク・フラグ
0	000H		ディバイド・エラー

注 BRKimm8 命令, BRKXA 命令, RETXA 命令と INTP0-7 入力で使用可能。

ベクタ 0-5 は使用要因が指定されており、またベクタ 6-31 は予約済みとなっていて一般用途には使用できません。

ベクタ 32-255 は一般用途として、次の 3 種が使用可能です。

- 2 バイト・ブレイク命令 …BRK imm8
- 拡張アドレス・モード専用命令…BRKXA, RETXA
- ICU 入力 …INTP0-7

ただし、ベクタ 122, 128-130 は使用要因が指定されており、一般用途には使用できません。

1 つの割り込みベクタは 4 バイトからなり、下位アドレスの 2 バイトがオフセットとして PC にロードされ、上位アドレスの 2 バイトがベースとして PS にロードされます。

例 ベクタ 0

003H	002H
001H	000H

PS ← (003H, 002H)

PC ← (001H, 000H)

この形式に基づいてプログラマは使用する各ベクタの内容を、プログラムの最初でイニシャライズします。割り込み処理ルーチンに分岐するときの基本ステップは次のとおりです。

TA ← ベクタ下位 (オフセット)
 TC ← ベクタ上位 (セグメント・ベース)
 SP ← SP-2, (SP+1, SP) ← PSW
 IE ← 0, BRK ← 0
 SP ← SP-2, (SP+1, SP) ← PS
 PS ← TC
 SP ← SP-2, (SP+1, SP) ← PC
 PC ← TA

注意 1. ソフトウェア割り込みのうち、次の要因で発生するものは、割り込みのかかった命令の先頭番地を示す PC, PS の値を、スタックに退避します。

- ディバイド・エラー割り込み
- CHKIND 境界エラー割り込み
- 未定義命令コード・トラップ
- コプロセッサ不在割り込み
- μPD72291 エラー割り込み

上記以外の要因で発生する割り込みでは、割り込みのかかった命令の次の命令の先頭番地を示す PC, PS の値を、スタックに退避します。

2. NMI 処理ルーチン中は、RETI 命令を実行するまで、ほかの NMI 割り込みを受け付けません。ただし、NMI 処理ルーチンにおいて、HALT 命令を実行し、スタンバイ・モードとなっている状態では、NMI 割り込みを受け付けます。この場合、スタンバイ・モードを解除し、NMI 割り込み (ベクタ 2) を発生します。

4. システム制御 I/O

μPD70236 全体を制御するシステム制御 I/O について説明します。

μPD70236 は内部 I/O 領域として FF00H-FFFFH 番地を予約しており、システム制御用の I/O がマッピングされています。μPD70236 を使用するにあたって、まずこれらの I/O を正しくイニシャライズする必要があります。

4.1 システム I/O 領域

システム I/O 領域とは 64 K バイト (0000H-FFFFH) の I/O 空間のうち最上位の 256 バイト (FF00H-FFFFH) を占める領域を指します。このシステム I/O 領域には μPD70236 の初期化に必要な各種レジスタや REFU, WCU 内のシステム制御 I/O がマッピングされています。

以下にシステム I/O 領域にマッピングされているレジスタと、その主な機能概要を示します。

(1) SCTL (システム・コントロール・レジスタ)

- ・内蔵ペリフェラル・リロケーション・アドレスの 8 ビット・バウンダリ/16 ビット・バウンダリ切り替え機能
- ・内蔵 DMAU を μPD71071 モード/μPD71037 モードとするかの切り替え機能
- ・μPD71037 モード時に A15 から A16 へのキャリー伝搬制御機能
- ・μPD71037 モード時に A19 から A20 へのキャリー伝搬制御機能
- ・SCU クロックのポー・レート・ジェネレータ/TOUT 切り替え機能

(2) OPSEL (内蔵ペリフェラル選択レジスタ)

- ・内蔵 I/O の使用可/不可設定機能

(3) 内蔵ペリフェラル・リロケーション・レジスタ (OPHA, DULA, IULA, TULA, SULA)

- ・内蔵 I/O のリロケーション・アドレス設定機能

(4) WMB0 (プログラマブル・ウェイト・メモリ領域設定レジスタ 0)

- ・自動ウェイト挿入を行う 16 M バイト・メモリ空間の 3 分割機能

(5) WMB1 (プログラマブル・ウェイト・メモリ領域設定レジスタ 1)

- ・自動ウェイト挿入を行う 1 M バイト・メモリ空間 3 分割機能

(6) WCY0 (プログラマブル・ウェイト・サイクル数設定レジスタ 0)

- ・16 M バイトの上位メモリ空間アクセスに対する自動挿入ウェイト数設定機能

(7) WCY1 (プログラマブル・ウェイト・サイクル数設定レジスタ 1)

- ・16 M バイトの中位, 下位メモリ空間アクセスに対する自動挿入ウェイト数設定機能

(8) WCY2 (プログラマブル・ウェイト・サイクル数設定レジスタ 2)

- ・1 M バイトの中位, 下位メモリ空間アクセスに対する自動挿入ウェイト数設定機能

- (9) WCY3 (プログラマブル・ウェイト・サイクル数設定レジスタ3)
- ・外部 I/O サイクルに対する自動挿入ウェイト数設定機能
 - ・1 Mバイトの上位メモリ空間アクセスに対する自動挿入ウェイト数設定機能
- (10) WCY4 (プログラマブル・ウェイト・サイクル数設定レジスタ4)
- ・DMA サイクルに対する自動挿入ウェイト数設定機能
 - ・リフレッシュ・サイクルに対する自動挿入ウェイト数設定機能
- (11) WAC (プログラマブル・ウェイト・メモリ・アドレス・コントロール・レジスタ)
- ・自動ウェイト挿入を行う 1 M バイト・メモリ空間の A23-A20 設定機能

WMB0, WMB1, WCY0-WCY4, WACの詳細については、5. WCU (ウェイト・コントロール・ユニット) を参照してください。

- (12) RFC (リフレッシュ・コントロール・レジスタ)
- ・リフレッシュ・サイクルの使用可/不可設定機能
 - ・リフレッシュ・バス幅の設定機能
 - ・リフレッシュ間隔設定機能
- RFCの詳細については、6. REFU (リフレッシュ・コントロール・ユニット) を参照してください。

- (13) SBCR (スタンバイ・コントロール・レジスタ)
- ・HALT 命令実行による HALT モード/STOP モード選択機能
 - ・STOP モード解除時の発振安定時間設定機能
 - ・内部クロック分周数設定機能
- SBCRの詳細については、13. スタンバイ機能を参照してください。

- (14) TCKS (タイマ・クロック選択レジスタ)
- ・TCU クロックの内部クロック/TCLK 選択機能
 - ・TCU クロックの内部クロック分周数設定機能

- (15) BADR (バンク・アドレス・レジスタ)
- ・バンク・レジスタの下位アドレス A7-A2, または A7-A3, A0 を設定

- (16) BSEL (バンク選択レジスタ)
- ・バンク・レジスタの選択チャンネルを設定

BADR, BSELの詳細については、10. DMAU (DMA コントロール・ユニット) を参照してください。

- (17) BRC (ポー・レート・カウンタ)
- ・SCU のポー・レート・カウンタ

- (18) PGR1-PGR64 (ページ・レジスタ1-64)
 - ・アドレス拡張用64エントリ・テーブル
- (19) XAM (アドレス拡張モード・レジスタ)
 - ・アドレス拡張フラグ

PGR1-PGR64, XAMの詳細については、3. CPUを参照してください。

表4-1 システムI/O領域一覧

I/Oアドレス	レジスタ名	操 作
FFFFH	予 約	—
FFFEH	SCTL	リード/ライト
FFFDH	OPSEL	リード/ライト
FFFCH	OPHA	リード/ライト
FFFBH	DULA	リード/ライト
FFFAH	IULA	リード/ライト
FFF9H	TULA	リード/ライト
FFF8H	SULA	リード/ライト
FFF7H	予 約	—
FFF6H	WCY4	リード/ライト
FFF5H	WCY3	リード/ライト
FFF4H	WCY2	リード/ライト
FFF3H	WMB1	リード/ライト
FFF2H	REFC	リード/ライト
FFF1H	SBCR	リード/ライト
FFF0H	TCKS	リード/ライト
FFEFH-FFEEH	予 約	—
FFEDH	WAC	リード/ライト
FFECH	WCY0	リード/ライト
FFEBH	WCY1	リード/ライト
FFEAH	WMB0	リード/ライト
FFE9H	BRC	リード/ライト
FFE8H	予 約	—
FFE7H-FFE2H	予 約	—
FFE1H	BADR	リード/ライト
FFE0H	BSEL	リード/ライト
FFDFH-FF81H	予 約	—
FF80H	XAM	リード
FF7FH-FF00H	PGR64-PGR1	リード/ライト

注意 このシステムI/O領域へのアクセスをはじめμPD70236の内蔵I/Oへのアクセスは、基本的にバイト・タイプのIN/OUT命令で行ってください。ワード・アクセスが可能なのはμPD71071モード時のDMAU内のレジスタに対してのみです。

4.2 SCTL (システム・コントロール・レジスタ)

SCTL は、以下の機能を有し内蔵ペリフェラルを制御するレジスタです。

(1) 内蔵ペリフェラル・リロケーション・アドレスの8ビット・バウンダリ/16ビット・バウンダリ切り替え機能
…IOAG

μPD70236 は内蔵ペリフェラルとして DMAU, ICU, TCU, SCU の4種類の I/O を有しており、その I/O アドレスはリロケーション・レジスタによって設定されます。その際に最下位ビット A0 を固定として、16ビット・バウンダリに配置するか、あるいは、最下位ビットを固定せずに、8ビット・バウンダリに配置するかを決定します。

(2) 内蔵DMAU を μPD71071 モード/μPD71037 モードとするかの切り替え機能…DMAM

DMAU には μPD71071 モードと μPD71037 モードとがあり、どちらのモードで使用するかを決定します。DMAU を使用する前には必ずこのビットを設定する必要があります。

(3) μPD71037 モード時に A15 から A16 へのキャリー伝搬制御機能…CE 0

DMAU を μPD71037 モードで使用する場合に、DMA アドレスの A15 から A16 へキャリーを伝搬するか、しないかを決定します。

(4) μPD71037 モード時に A19 から A20 へのキャリー伝搬制御機能…CE 1

DMAU を μPD71037 モードで使用する場合に、DMA アドレスの A19 から A20 へキャリーを伝搬するか、しないかを決定します。

(5) SCU クロックのポー・レート・ジェネレータ/TOUT 1 切り替え機能…SC

SCU の送受信クロックとして、専用のポー・レート・ジェネレータを使用するか、TCU の TOUT1 出力を使用するかを決定します。

図4-1 SCTL (システム・コントロール・レジスタ)

I/Oアドレス		7	6	5	4	3	2	1	0
FFFEH	SCTL	-	-	-	SC	CE1	CE0	DMAM	IOAG

IOAG	機 能
0	内蔵 I/O アドレスを奇数/偶数に固定する (16ビット・バウンダリ)
1	内蔵 I/O アドレスを連続にする (8ビット・バウンダリ)

DMAM	機 能
0	DMAU を μPD71071 モードにする
1	DMAU を μPD71037 モードにする

CE0	機 能
0	μPD71037 モード時にキャリーを A16 に伝搬しない
1	μPD71037 モード時にキャリーを A16 に伝搬する

CE1	機 能
0	μPD71037 モード時にキャリーを A20 に伝搬しない
1	μPD71037 モード時にキャリーを A20 に伝搬する

SC	SCU の入力クロック指定
0	SCU の入力クロックに TOUT1 を使用
1	SCU の入力クロックにポー・レート・ジェネレータを使用

4.3 OPSEL (内蔵ペリフェラル選択レジスタ)

OPSEL は、以下の機能を有するレジスタです。

- ・内蔵 DMAU の使用可/不可設定機能
- ・内蔵 ICU の使用可/不可設定機能
- ・内蔵 TCU の使用可/不可設定機能
- ・内蔵 SCU の使用可/不可設定機能

使用不可の状態とはその I/O 領域に対するプログラミング不可を意味します。すなわち、各周辺に対するプログラミングを行う前にこのレジスタによって使用可の状態にしておく必要があります。

図 4-2 OPSEL (内蔵ペリフェラル選択レジスタ)

I/Oアドレス		7	6	5	4	3	2	1	0
FFFDH	OPSEL	-	-	-	-	SS	TS	IS	DS

DS	内蔵 DMAU 使用指定
0	内蔵 DMAU 使用不可
1	内蔵 DMAU 使用可

IS	内蔵 ICU 使用指定
0	内蔵 ICU 使用不可
1	内蔵 ICU 使用可

TS	内蔵 TCU 使用指定
0	内蔵 TCU 使用不可
1	内蔵 TCU 使用可

SS	内蔵 SCU 使用指定
0	内蔵 SCU 使用不可
1	内蔵 SCU 使用可

注意 OPSEL を設定する前または読み出す前に内蔵ペリフェラル・リロケーション・レジスタ (OPHA, DULA, IULA, TULA, SULA) を設定してください。

4.4 内蔵ペリフェラル・リロケーション・レジスタ (OPHA, DULA, IULA, TULA, SULA)

内蔵ペリフェラル・リロケーション・レジスタはOPHA, DULA, IULA, TULA, SULA の5つのレジスタから構成され、DMAU, ICU, TCU, SCU の各内蔵ペリフェラルに対する I/O アドレスを決定します。

OPHA はこれら4つの周辺に共通なレジスタで各 I/O アドレスの上位8ビットを設定します。すなわち、これら4つの周辺は OPHA レジスタで設定された256バイト内の I/O 空間に配置されます。次にこの256バイト内のどこに各周辺を配置するかを DULA, IULA, TULA, SULA の下位アドレス・レジスタが設定します。下位アドレスは、前述の SCTL 内の IOAG ビットの値によって設定可能なビットが変わります。

図4-3 に内蔵ペリフェラル・リロケーション・レジスタの詳細を示します。

- 注意1. I/O領域はDMAUが16バイト、ICU, TCU, SCUが4バイトを占めますので、それぞれが重ならないようにしてください。
2. 前述したようにDMAU以外へのアクセスはバイト・タイプのIN/OUT命令で行ってください。
 3. 内蔵ペリフェラルI/O領域、およびシステムI/O領域以外のI/O空間は、外部I/O領域として使用することができます。
 4. OPHAにはFFHを設定しないでください。

図4-3 内蔵ペリフェラル・リロケーション・レジスタ

I/Oアドレス		7	6	5	4	3	2	1	0		
FFFCH	OPHA	A15	A14	A13	A12	A11	A10	A9	A8		
FFFBH	DULA	7	6	5	4	3	2	1	0	μPD71071モード (IOAG : don't care)	
		A7	A6	A5	A4	-	-	-	-		
		A7	A6	A5	A4	-	-	-	-		μPD71037モード (IOAG=1のとき)
FFFAH	IULA	7	6	5	4	3	2	1	0	μPD71037モード (IOAG=0のとき)	
		A7	A6	A5	A4	A3	A2	-	-		IOAG = 1 のとき
		A7	A6	A5	A4	A3	-	-	A0		IOAG = 0 のとき
FFF9H	TULA	7	6	5	4	3	2	1	0	IOAG = 1 のとき	
		A7	A6	A5	A4	A3	A2	-	-		
		A7	A6	A5	A4	A3	-	-	A0		IOAG = 0 のとき
FFF8H	SULA	7	6	5	4	3	2	1	0	IOAG = 1 のとき	
		A7	A6	A5	A4	A3	A2	-	-		
		A7	A6	A5	A4	A3	-	-	A0		IOAG = 0 のとき

4.5 TCKS (タイマ・クロック選択レジスタ)

TCKSはTCU内の3本のカウンタ(TCT#0-TCT#2)に供給するクロックをTCLK端子から入力するか、または内部クロック(X1, X2端子に接続した水晶の発振周波数を分周したクロック)にするかを選択します。

図4-4 TCKS (タイマ・クロック選択レジスタ)

I/Oアドレス		7	6	5	4	3	2	1	0
FFF0H	TCKS	-	-	-	CS2	CS1	CS0		PS

CS2	TCUチャンネル2のクロック選択
0	TCUのチャンネル2のクロックとして内部クロック使用
1	TCUのチャンネル2のクロックとしてTCLK端子入力使用

CS1	TCUチャンネル1のクロック選択
0	TCUのチャンネル1のクロックとして内部クロック使用
1	TCUのチャンネル1のクロックとしてTCLK端子入力使用

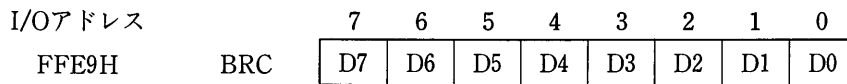
CS0	TCUチャンネル0のクロック選択
0	TCUのチャンネル0のクロックとして内部クロック使用
1	TCUのチャンネル0のクロックとしてTCLK端子入力使用

PS	内部クロック使用時の周波数指定
0 0	内部クロック使用時の発振周波数に対する分周比=1/4
0 1	内部クロック使用時の発振周波数に対する分周比=1/8
1 0	内部クロック使用時の発振周波数に対する分周比=1/16
1 1	内部クロック使用時の発振周波数に対する分周比=1/32

4.6 BRC (ポー・レート・カウンタ)

BRCはSCUの専用ポー・レート・ジェネレータの8ビット分周カウンタです。内部クロック(発振周波数の1/2固定)の分周数を設定します。

図4-5 BRC (ポー・レート・カウンタ)



ポー・レートは、次式により決まります。

(1) ポー・レート・ジェネレータ使用時

$$\text{ポー・レート} = \frac{\text{発振周波数(Hz)}}{\text{BF} \times \text{BRC 設定値}} \times \frac{1}{2}$$

備考 BRCレジスタとBRC設定値の関係は次のとおりです。

BRCレジスタ	BRC設定値
0 0 H	2
0 1 H	2
0 2 H	2
0 3 H	3
0 4 H	4
⋮	⋮
F F H	255

(2) TCU使用時

$$\text{ポー・レート} = \frac{\text{TCLK1周波数(Hz)}}{\text{BF} \times \text{TCT} \#1 \text{設定値}}$$

備考 BF(ポー・レート・ファクタ)はSMDレジスタのBFビットで指定され、16か64の値をとります。

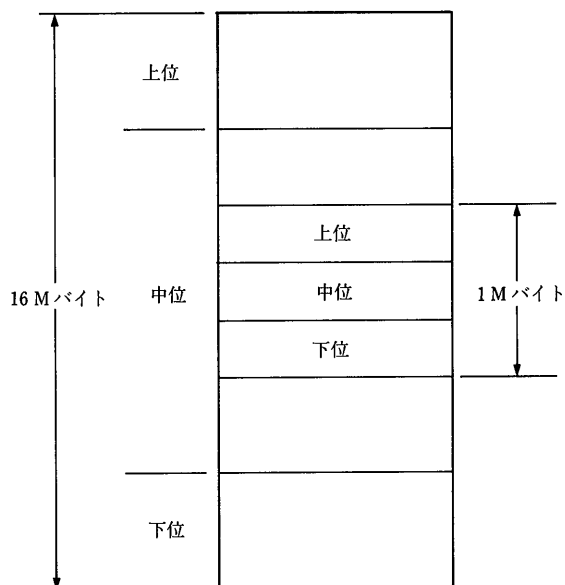
5. WCU (ウェイト・コントロール・ユニット)

WCUは、CPU, DMAU, REFU の各バス・サイクルに対し、0-7クロック分のウェイト・ステート (TW) を自動挿入する機能を持っています。

5.1 特 徴

- ・CPU メモリ・バス・サイクルに対する0-7ウェイトの自動設定
- ・16M バイトのメモリ空間を3分割可能
- ・特定の1M バイトのメモリ空間を3分割可能
- ・外部 I/O サイクルに対する0-7ウェイトの自動設定
- ・DMA サイクルに対する0-7ウェイトの自動設定
- ・リフレッシュ・サイクルに対する0-7ウェイトの自動設定

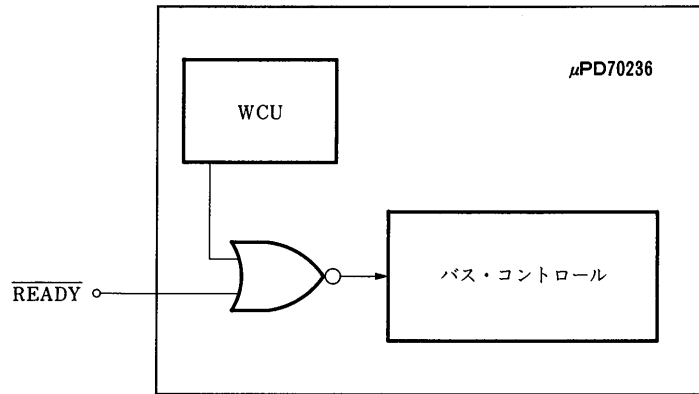
図 5-1 メモリ空間の分割



5.2 WCUとREADY 端子

0-7クロック以上のTWが必要な場合には、このWCUと $\overline{\text{READY}}$ 信号を組み合わせる使用することができます。WCUの設定値によるTWと $\overline{\text{READY}}$ 制御によるTWは、論理和の形で挿入され、どちらか多い方のTWの数だけ挿入されます。

図5-2 WCUと $\overline{\text{READY}}$ 端子の関係



5.3 バス・サイクル

$\overline{\text{READY}}$ 端子のサンプリングと、WCUによるプログラマブル・ウエイトの設定について、バス・サイクルごとに以下の表に示します。

バス・サイクル	$\overline{\text{READY}}$ 端子のサンプリング	プログラマブル・ウエイトの設定
外部I/Oリード・サイクル	○	○注1
外部I/Oライト・サイクル	○	
割り込みアクノリッジ・サイクル (スレーブ)	○	
割り込みアクノリッジ・サイクル (ICU)	○	
命令フェッチ・サイクル	○	○ (領域指定可能)
CPUメモリ・リード・サイクル	○	
CPUメモリ・ライト・サイクル	○	
コプロセッサ用メモリ・リード・サイクル	○	
コプロセッサ用メモリ・ライト・サイクル	○	
DMAリード転送サイクル	○	
DMAライト転送サイクル	○	○
リフレッシュ・サイクル	○	○
内部I/Oリード・サイクル	—注2	×
内部I/Oライト・サイクル	—注2	×
コプロセッサ・リード・サイクル	○	×
コプロセッサ・ライト・サイクル	○	×
ホールド・アクノリッジ・サイクル	—	×
カスケードDMAサイクル	—	×

備考 ○：有効 ×：無効

注1. 割り込みアクノリッジ・サイクルの場合、0ウエイト設定時は2ウエイト、1ウエイト設定時は3ウエイトとなります。

2. PGR1-PGR64, XAMレジスタへのアクセスは0ウエイトで行われますが、そのほかのレジスタへのアクセスでは、自動的に2クロックのウエイト・ステートが挿入されます。

5.4 メモリ/外部I/O サイクル

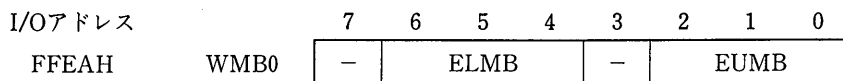
μPD70236 のメモリ空間は 16 M バイトあり、システム構成時にメモリ空間によってはウエイトを必要としない場合もあり、全メモリ空間に対し同一のウエイト数を挿入することはシステムの性能の低下にもつながります。そのため、WCU では 16 M バイトのメモリ空間を 3 分割し、それぞれの領域に対し、0 - 7 のウエイト数を独立に設定できるようになっています。また、さらに 16 M バイト空間の任意の 1 M バイト空間を 3 分割可能になっています。ここで設定されるウエイト数は、CPU による命令フェッチ・サイクル、オペランド・アクセス・サイクル、外部 I/O アクセス・サイクルに対し有効になります。

メモリ/外部 I/O サイクルに対するプログラマブル・ウエイト制御は以下のレジスタによって行います。

5.4.1 WMB0 (プログラマブル・ウエイト・メモリ領域設定レジスタ 0)

WMB0 は 16 M バイトのメモリ空間を下位/中位/上位の 3 つのメモリ・ブロックに分割します。ELMB と EUMB フィールドにより、下位ブロック、上位ブロックを設定し、その中間が中位ブロックになります。

図 5-3 WMB0 レジスタ

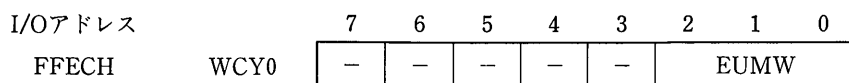


ELMB, EUMB	16 Mバイト・メモリ空間の下位, 上位メモリ・ブロック・サイズ
0 0 0	1 M バイト
0 0 1	2 M バイト
0 1 0	3 M バイト
0 1 1	4 M バイト
1 0 0	5 M バイト
1 0 1	6 M バイト
1 1 0	7 M バイト
1 1 1	8 M バイト

5.4.2 WCY0 (プログラマブル・ウェイト・サイクル数設定レジスタ0)

WCY0はWMB0で設定した16Mバイトの上位メモリ・ブロックに対して0-7のウェイト数の設定を行います。

図5-4 WCY0レジスタ

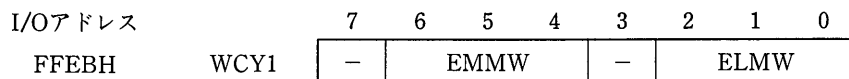


EUMW	16 Mバイト中の上位メモリ・ブロック・アクセス時のウェイト挿入指定
0 0 0	ウェイトを自動挿入しない
0 0 1	1ウェイトを自動挿入する
0 1 0	2ウェイトを自動挿入する
0 1 1	3ウェイトを自動挿入する
1 0 0	4ウェイトを自動挿入する
1 0 1	5ウェイトを自動挿入する
1 1 0	6ウェイトを自動挿入する
1 1 1	7ウェイトを自動挿入する

5.4.3 WCY1 (プログラマブル・ウェイト・サイクル数設定レジスタ1)

WCY1はWMB0で設定した16Mバイトの中位, 下位メモリ・ブロックに対して0-7のウェイト数の設定を行います。

図5-5 WCY1レジスタ

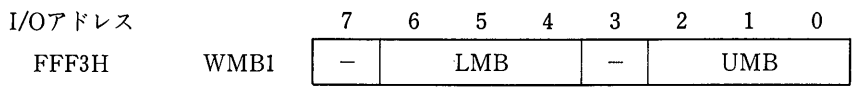


EMMW, ELMW	16 Mバイト中の中位, 下位メモリ・ブロック・アクセス時のウェイト挿入指定
0 0 0	ウェイトを自動挿入しない
0 0 1	1ウェイトを自動挿入する
0 1 0	2ウェイトを自動挿入する
0 1 1	3ウェイトを自動挿入する
1 0 0	4ウェイトを自動挿入する
1 0 1	5ウェイトを自動挿入する
1 1 0	6ウェイトを自動挿入する
1 1 1	7ウェイトを自動挿入する

5.4.4 WMB1 (プログラマブル・ウエイト・メモリ領域設定レジスタ1)

WMB1 は1Mバイトのメモリ空間を下位/中位/上位の3つのメモリ・ブロックに分割します。ELMB と EUMB フィールドにより、下位ブロック、上位ブロックを設定し、その中間が中位ブロックになります。

図5-6 WMB1 レジスタ

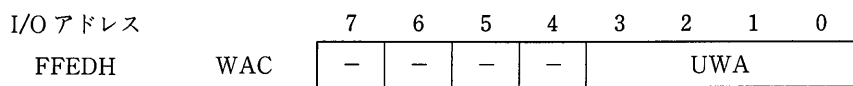


LMB, UMB	1 M バイト・メモリ空間の下位, 上位メモリ・ブロック・サイズ
0 0 0	32 K バイト
0 0 1	64 K バイト
0 1 0	96 K バイト
0 1 1	128 K バイト
1 0 0	192 K バイト
1 0 1	256 K バイト
1 1 0	384 K バイト
1 1 1	512 K バイト

5.4.5 WAC (プログラマブル・ウエイト・メモリ・アドレス・コントロール・レジスタ)

WAC は16 M バイト・メモリ空間の上位4ビット・アドレスを設定し、WMB1で設定する1 Mバイトのメモリ空間を決定します。

図5-7 WAC レジスタ

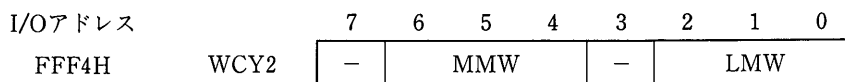


UWA3-UWA0 : 1 M バイトの自動ウエイト設定可能メモリ空間を指定する上位4ビット

5.4.6 WCY2 (プログラマブル・ウエイト・サイクル数設定レジスタ2)

WCY2はWMB1で設定した1Mバイトの中位, 下位メモリ・ブロックに対して0-7のウエイト数の設定を行います。

図5-8 WCY2レジスタ



MMW, LMW	1Mバイト中の中位, 下位メモリ・ブロック・アクセス時のウエイト挿入指定
0 0 0	ウエイトを自動挿入しない
0 0 1	1ウエイトを自動挿入する
0 1 0	2ウエイトを自動挿入する
0 1 1	3ウエイトを自動挿入する
1 0 0	4ウエイトを自動挿入する
1 0 1	5ウエイトを自動挿入する
1 1 0	6ウエイトを自動挿入する
1 1 1	7ウエイトを自動挿入する

5.4.7 WCY3 (プログラマブル・ウェイト・サイクル数設定レジスタ3)

WCY3はWMB1で設定した1Mバイトの上位メモリ・ブロック,または外部I/Oバス・サイクルに対して0-7のウェイト数の設定を行います。

注意 内部I/O領域に対するリード/ライト・サイクルでは無効です。割り込みアクリッジ・サイクルでは有効になります。

図5-9 WCY3レジスタ

I/Oアドレス		7	6	5	4	3	2	1	0
FFF5H	WCY3	-	IOW			-	UMW		

IOW	外部I/Oサイクル時のウェイト挿入指定	割り込みアクリッジ・サイクル時のウェイト挿入指定
0 0 0	ウェイトを自動挿入しない	2ウェイトを自動挿入する
0 0 1	1ウェイトを自動挿入する	3ウェイトを自動挿入する
0 1 0	2ウェイトを自動挿入する	2ウェイトを自動挿入する
0 1 1	3ウェイトを自動挿入する	3ウェイトを自動挿入する
1 0 0	4ウェイトを自動挿入する	4ウェイトを自動挿入する
1 0 1	5ウェイトを自動挿入する	5ウェイトを自動挿入する
1 1 0	6ウェイトを自動挿入する	6ウェイトを自動挿入する
1 1 1	7ウェイトを自動挿入する	7ウェイトを自動挿入する

UMW	1Mバイト中の上位メモリ・ブロック・アクセス時のウェイト挿入指定
0 0 0	ウェイトを自動挿入しない
0 0 1	1ウェイトを自動挿入する
0 1 0	2ウェイトを自動挿入する
0 1 1	3ウェイトを自動挿入する
1 0 0	4ウェイトを自動挿入する
1 0 1	5ウェイトを自動挿入する
1 1 0	6ウェイトを自動挿入する
1 1 1	7ウェイトを自動挿入する

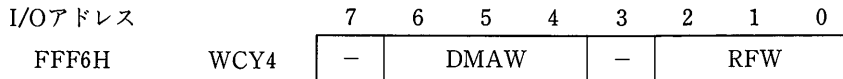
5.5 DMA/リフレッシュ・サイクル

DMA サイクルおよびリフレッシュ・サイクルに対するウェイト数の設定は WCY4 で行います。

5.5.1 WCY4 (プログラマブル・ウェイト・サイクル数設定レジスタ4)

WCY4 は DMA サイクル, リフレッシュ・サイクルに対して 0 - 7 のウェイト数の設定を行います。DMA サイクル, リフレッシュ・サイクルには, メモリ空間の分割は無効です。

図 5-10 WCY4 レジスタ



DMAW	DMAサイクル時のウェイト挿入指定
0 0 0	ウェイトを自動挿入しない
0 0 1	1 ウェイトを自動挿入する
0 1 0	2 ウェイトを自動挿入する
0 1 1	3 ウェイトを自動挿入する
1 0 0	4 ウェイトを自動挿入する
1 0 1	5 ウェイトを自動挿入する
1 1 0	6 ウェイトを自動挿入する
1 1 1	7 ウェイトを自動挿入する

RFW	リフレッシュ・サイクル時のウェイト挿入指定
0 0 0	ウェイトを自動挿入しない
0 0 1	1 ウェイトを自動挿入する
0 1 0	2 ウェイトを自動挿入する
0 1 1	3 ウェイトを自動挿入する
1 0 0	4 ウェイトを自動挿入する
1 0 1	5 ウェイトを自動挿入する
1 1 0	6 ウェイトを自動挿入する
1 1 1	7 ウェイトを自動挿入する

6. REFU (リフレッシュ・コントロール・ユニット)

REFUは、外部DRAMのリフレッシュ動作に必要なリフレッシュ・サイクルを発生します。リフレッシュの許可/禁止、およびリフレッシュ間隔をRFCレジスタによって設定します。

6.1 特徴

- ・最低優先リフレッシュ/最高優先リフレッシュ
- ・7リフレッシュ・キュー
- ・16ビット・リフレッシュ・アドレス
- ・4クロック/1バス・サイクル

6.2 リフレッシュ・アドレス

リフレッシュ・アドレスはA15-A0のアドレスを出力します。1回のリフレッシュ・サイクルごとに、リフレッシュ・アドレスを1または2ずつインクリメントし、次のリフレッシュ・アドレスを生成します。

また、リフレッシュ・サイクルでの上位アドレス(A23-A16)は、ロウ・レベルを出力します。

このリフレッシュ・アドレスはリセットで影響を受けません。また、パワーオン時のリフレッシュ・アドレスは不定です。

6.3 RFC (リフレッシュ・コントロール・レジスタ)

RFCはシステムI/O領域にマッピングされており、以下の機能を有します。

(1) リフレッシュ許可/禁止

リフレッシュの許可/禁止はRFEビットで行います。RFEビットはリセットで初期化されませんので、パワーオン時に許可になっている場合も禁止になっている場合もあります。したがって、パワーオン・リセットから144 (16×9) クロック後にリフレッシュ・サイクルが起動する場合があります。

(2) リフレッシュ間隔

リフレッシュ間隔は、RTMビットで設定します。リフレッシュ間隔は個々のシステムによって下記の式に従って最適な値を設定してください。

$$16 \times \text{タイマ・ファクタ (N)} \quad (\text{クロック})$$

リフレッシュ間隔の最低設定値はN=1であり、リセット時にはN=9に初期化されます。

(3) アドレス更新制御

リフレッシュ・アドレスを1ずつインクリメントするか、2ずつインクリメントするかをRDB8ビットで選択します。

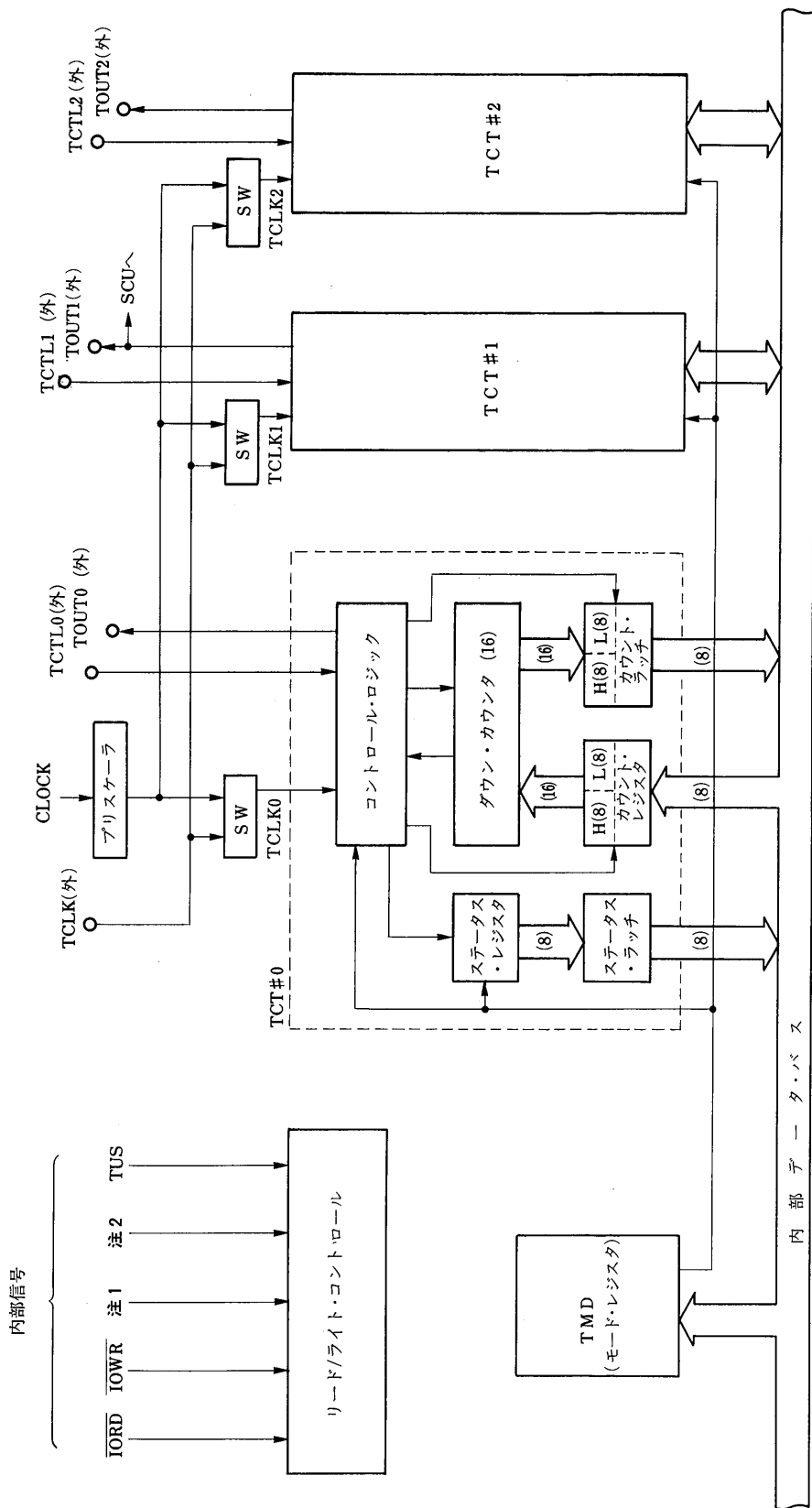
7. TCU (タイマ/カウンタ・ユニット)

TCU は 3 組のカウンタを有し、機能的には μPD71054 と同じです。

7.1 特 徴

- ・タイマ 3 チャンネル
- ・TOUT0-TOUT2 端子出力
- ・TCTL0-TCTL2 端子入力
- ・TCLK 端子入力
- ・TOUT1 を SCU1 のクロックとして使用可能
- ・16 ビット・カウンタ×3
- ・プログラマブルな 6 つのカウンタ・モード
- ・バイナリ/BCD カウント
- ・マルチプル・ラッチ・コマンド
- ・カウント・ラッチ・コマンド
- ・内部/外部入力クロック選択可能
- ・10 MHz 動作可能

7.2 TCU内部ブロック図



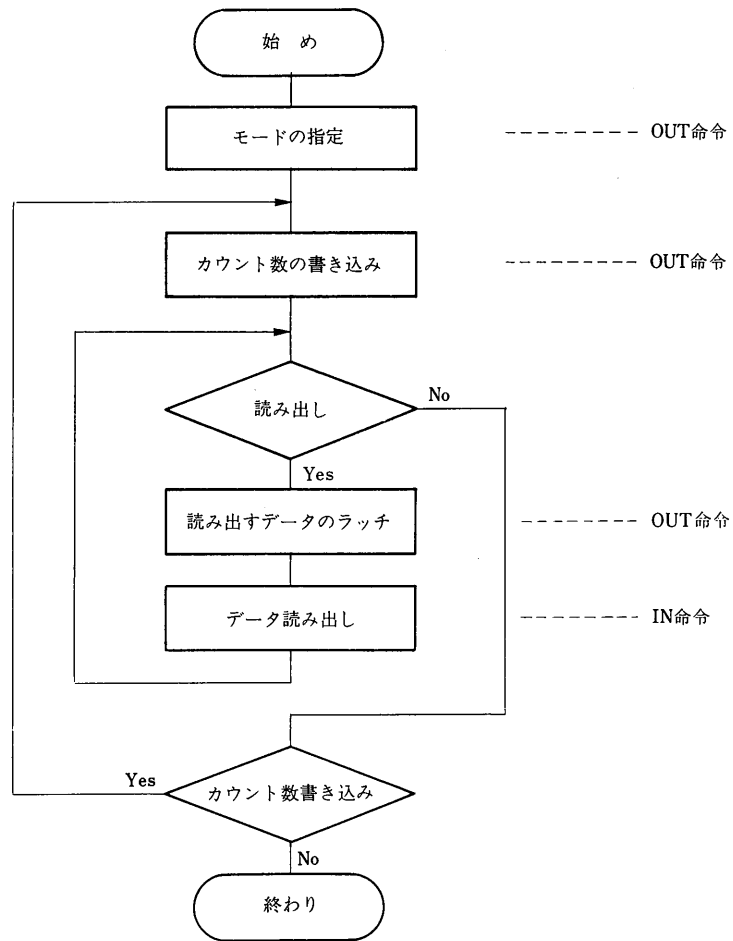
注1. SCTLレジスタのIOAG=1のとき, A0. IOAG=0のとき, A1。

注2. SCTLレジスタのIOAG=1のとき, A1. IOAG=0のとき, A2。

7.3 TCUの操作手順

TCUは電源投入後、未定義状態となっています。そのため、使用する場合は、目的のカウンタをプログラムして、動作モードを指定する必要があります。一度あるモードにプログラムされたカウンタは、再びそのカウンタがモード指定されるまではそのモードで動作します。カウンタにカウント数を書き込み、それがダウンカウンタに転送されると新しいカウントが開始されます。カウントの途中で現在のカウンタの値であるカウント・データや、そのカウンタの状態を示すステータスを読み出すこともできます。

図 7-1 基本操作手順



7.4 TCUのレジスタ、コマンド

TCUのレジスタのリード/ライト、コマンドの発行は、システムI/O領域で設定したアドレスに対するI/O入出力命令で行い、レジスタ等の選択はA1, A0 (SCTLレジスタのIOAG=1 のとき) またはA2, A1 (IOAG=0 のとき) で行います。

表7-1 TCUレジスタ/コマンド・アドレス

A1/A2	A0/A1	レジスタ/コマンド	操 作
0	0	TCT#0	リード/ライト
		TST0	リード
0	1	TCT#1	リード/ライト
		TST1	リード
1	0	TCT#2	リード/ライト
		TST2	リード
1	1	TMD	ライト

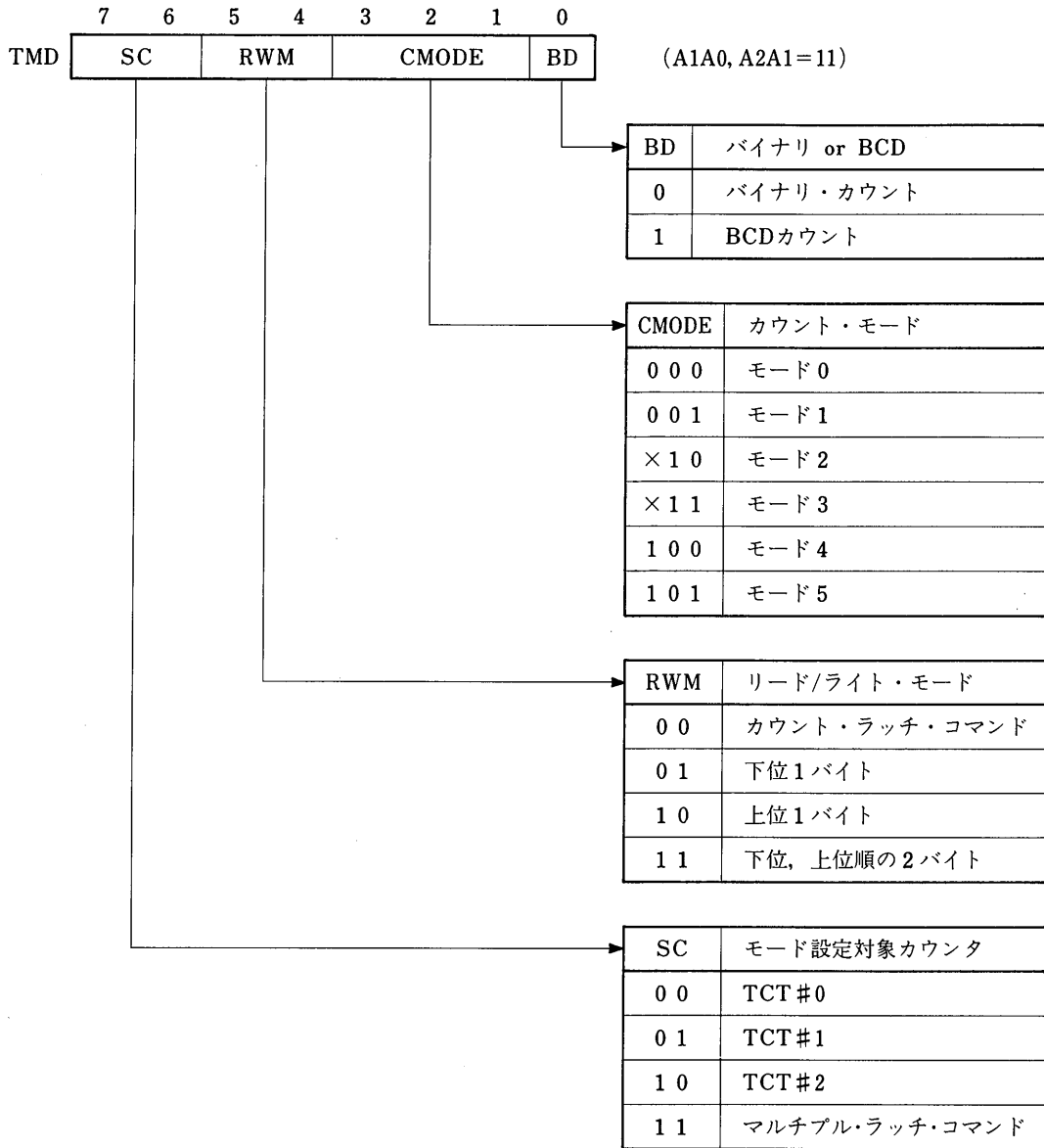
TMDへの書き込みはTCU内の各カウンタの動作モード（カウント・モード、バイナリ/BCD、リード/ライト・モード）の設定と、カウンタの値をラッチするためのコマンド（カウント・ラッチ・コマンド、マルチプル・ラッチ・コマンド）の発行を行います。

TCT#2-TCT#0は各カウンタへのカウント数の書き込み/カウント・データの読み出しに用います。通常、カウント・データの読み出しは、その前にカウント・ラッチ・コマンドまたは、マルチプル・ラッチ・コマンドを発行して、目的のカウンタのカウント・データをラッチしてから行います。

TST2-TST0のリードは各カウンタのステータス情報の読み出しを行います。ステータスの読み出しは、マルチプル・ラッチ・コマンドで目的のカウンタのステータスをラッチしたあとに行います。

1つのカウンタについて、ステータスとカウント・データの両方がラッチされている場合、最初の読み出しでステータスが得られます。

図7-2 モード・ワード



× : don't care

図7-3 カウント・ラッチ・コマンド

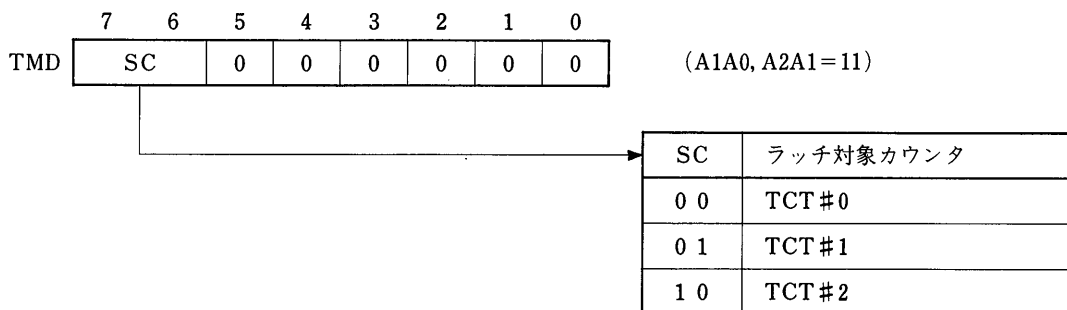


図7-4 マルチプル・ラッチ・コマンド

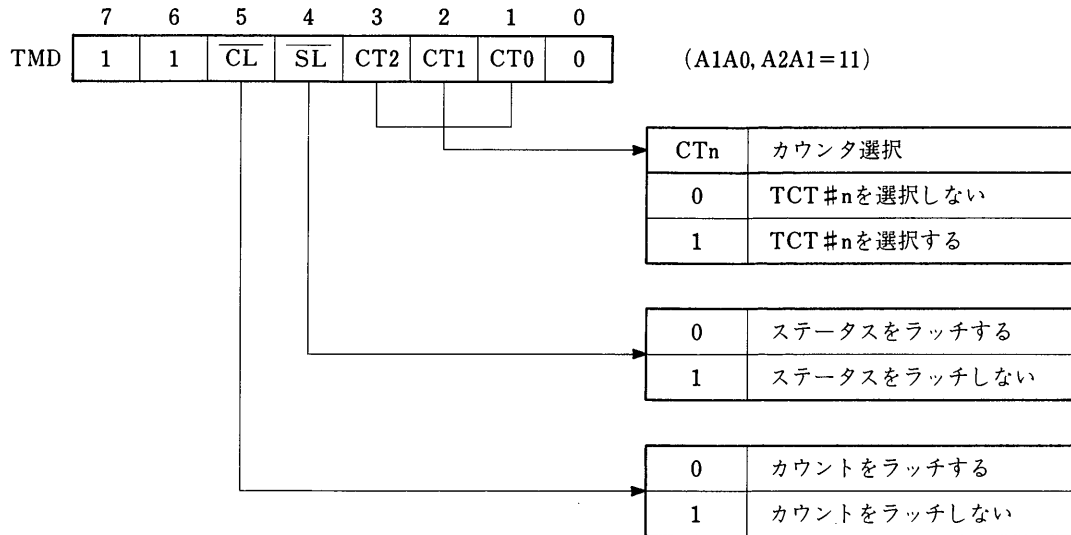
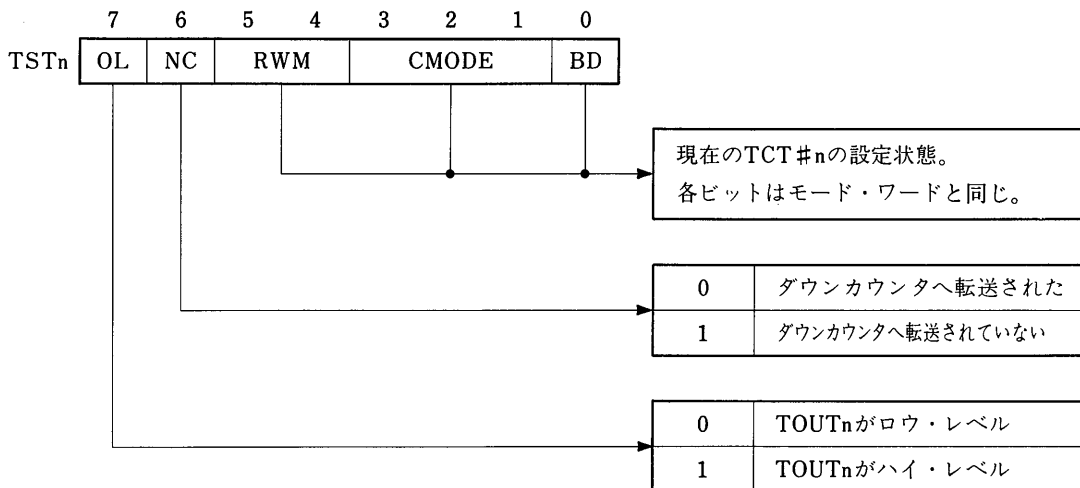


図7-5 ステータス



7.5 カウント・モード

各カウントのカウント・モードは6通りです。

(1)モード0：カウント終了信号を出力

指定したカウントが終了すると同時にTOUT出力はロウ・レベルからハイ・レベルに変わります。

(2)モード1：コントロール端子リトリガブル・ワンショット

指定した長さのロウ・レベル・ワンショット・パルスがTOUTに出力されます。TCTL入力により再トリガが可能です。

(3)モード2：レート・ジェネレータ

指定したカウントの最後の1クロック分だけTOUT出力がロウ・レベルになる動作を周期的に行う分周カウンタです。

(4)モード3：方形波ジェネレータ

モード2と同様の分周カウンタですが、TOUT出力のロウ/ハイのデューティが約50%になります。

(5)モード4：ソフトウェア・トリガード・ストローブ

指定したカウントが終了すると1クロック分だけTOUT出力がロウ・レベルになります。

(6)モード5：ハードウェア・トリガード・ストローブ (リトリガブル)

モード4と同じ動作ですが、TCTL入力により開始され、再トリガが可能です。

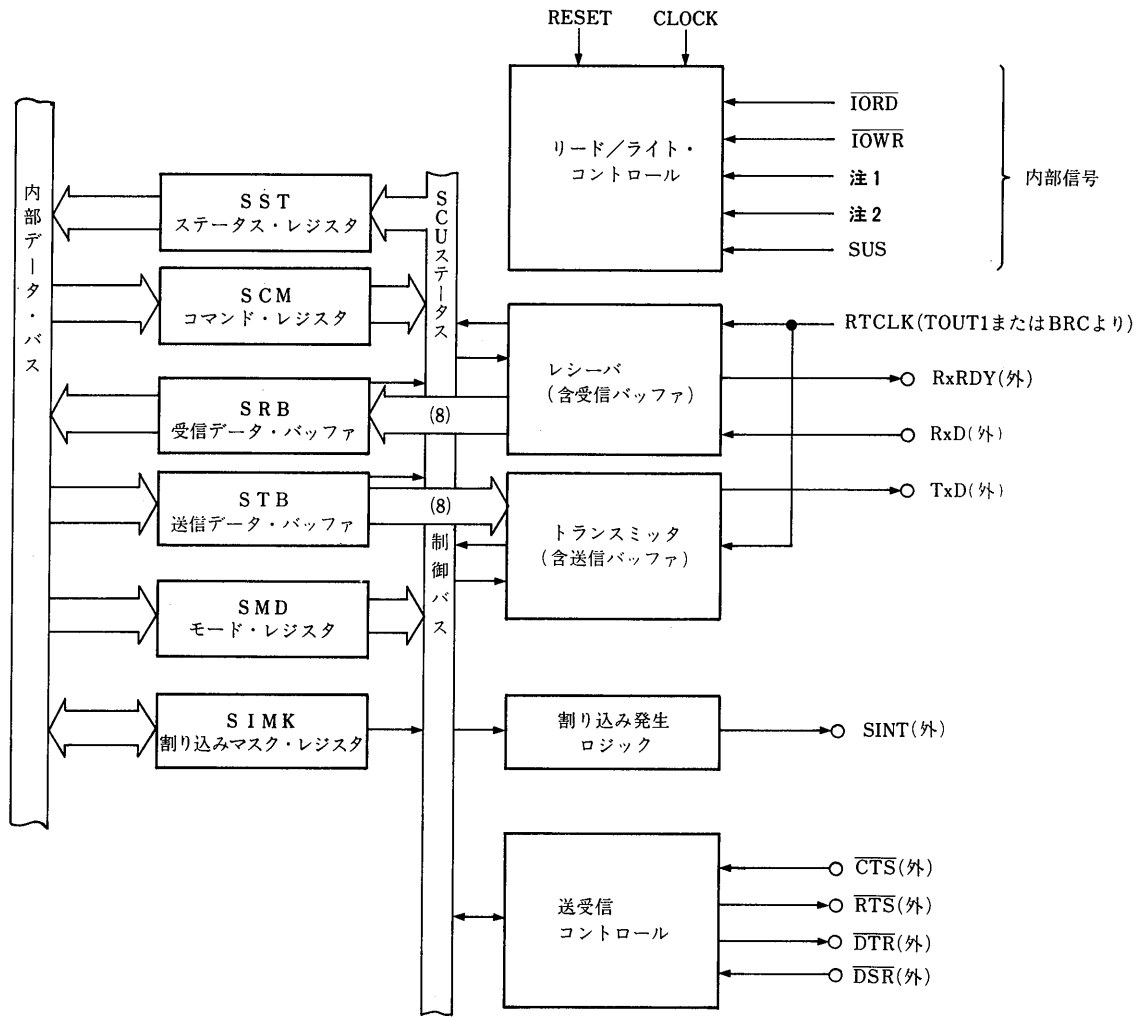
8. SCU (シリアル・コントロール・ユニット)

SCUは、調歩同期式のシリアル通信機能を提供します。コマンド体系はμPD71051に似ていますが、μPD71051ではコントロール・ワード・レジスタだったものがSCM (シリアル・コマンド・レジスタ) とSMD (シリアル・モード・レジスタ) の2つに分かれています。

8.1 特 徴

- ・RS-232-Cプロトコル・サポート ($\overline{\text{RTS}}$, $\overline{\text{CTS}}$, $\overline{\text{DTR}}$, $\overline{\text{DSR}}$ 端子内蔵)
- ・専用ボー・レート・ジェネレータ内蔵 (内部クロック使用)
- ・ボー・レート・ジェネレータ出力またはタイマ出力を送受信クロックとして選択可能
- ・調歩同期のみ
- ・入出力端子のマルチプレクスなし
- ・シリアル割り込み出力 (SINT)
- ・クロック・レート: ボー・レート×16, ボー・レート×64
- ・ボー・レート: DC-500Kbps
- ・キャラクタ長: 7, 8 ビット
- ・送信ストップ・ビット: 1, 2 ビット
- ・ブレーク送信
- ・自動ブレーク検出
- ・全二重ダブル・バッファ方式
- ・パリティ付加/チェック
- ・エラー検出: パリティ, オーバラン, フレーミング

8.2 SCU内部ブロック図



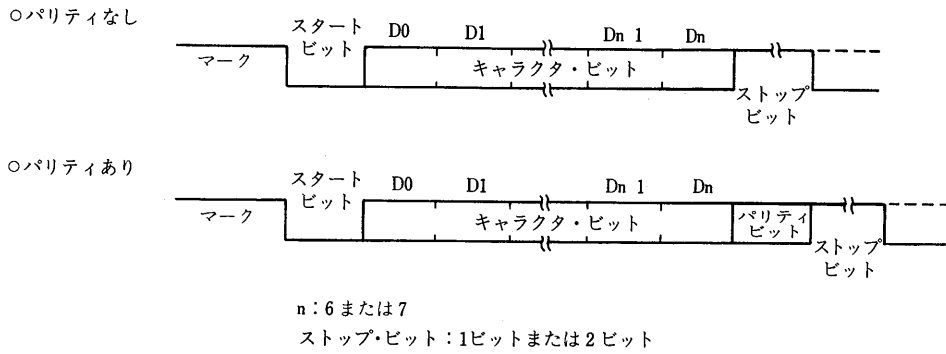
注 1. SCTLレジスタのIOAG=1 のとき, A0。IOAG=0 のとき, A1。

2. SCTLレジスタのIOAG=1 のとき, A1。IOAG=0 のとき, A2。

8.3 シリアル・データ・フォーマット

図8-1にSCUが扱うシリアル・データ・フォーマットを示します。CPUがSCUから受けたり, SCUに渡すデータはキャラクタ・ビットの部分です。キャラクタ・ビットをはさんでいるスタート・ビット, パリティ・ビット, ストップ・ビットは, シリアル通信を実現するための制御情報であり, SCUが自動的に付加(送信時)/削除(受信時)します。

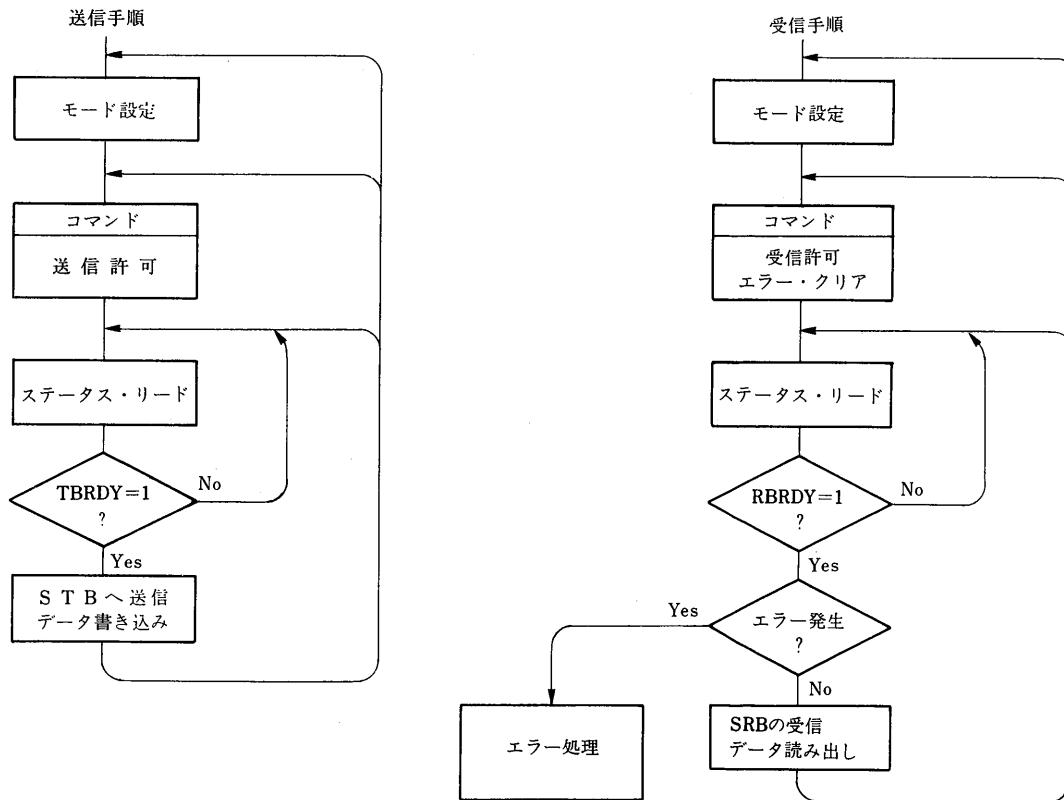
図8-1 シリアル・データ・フォーマット



8.4 SCUの操作手順

SCUでシリアル通信を行うための操作手順を図8-2に示します。

図8-2 SCU操作手順



送信を行うには、送信許可にしたあと、STB（送信データ・バッファ）が空であることをステータスで確認してから、送信データをSTBへ書き込みます。

受信を行うには、受信許可にすると同時にステータス中のエラー・フラグをクリアしておきます。そして、SRB（受信データ・バッファ）に受信データが格納されたことをステータスで確認してから、受信データをSRBから読み出します。

図8-2では、ステータスを読み出し、TBRDY, RBRDYフラグを調べながら送受信を行っていますが、割り込みを利用して行うこともできます。

8.5 SCUのレジスタ、コマンド

SCUのレジスタのリード/ライト、コマンドの発行は、システムI/O領域で設定したアドレスに対するI/O入出力命令で行い、レジスタ等の選択はA1,A0(SCTLレジスタのIOAG=1のとき)またはA2,A1(IOAG=0のとき)で行います。

表8-1 レジスタ、コマンド・アドレス

A1/A2	A0/A1	レジスタ	操作
0	0	SRB	リード
		STB	ライト
0	1	SST	リード
		SCM	ライト
1	0	SMD	ライト
1	1	SIMK	リード/ライト

SRBは受信データ・バッファで、CPUはこのバッファから受信データを読み出すことができます。

STBは送信データ・バッファで、CPUは送信するデータをこのバッファに書き込みます。

SSTは、通信状況を示すステータス・レジスタです。SRB, STBの情報や受信エラー情報を持っています。

SCMはコマンド・レジスタで、送/受信の許可/禁止、エラー・フラグのクリア、ブレイク送信、 $\overline{\text{SRDY}}$ 端子の制御を指示します。

SMDはシリアル・データの設定を行うモード・レジスタです。ボー・レート、キャラクタ長、パリティ、ストップ・ビット数の設定を行います。キャラクタ長を7ビットにした場合、SRB, STBの下位7ビットが有効になります。

SIMKは、SCUが発生する割り込み要求のマスク制御を行うシリアル割り込みマスク・レジスタです。マスクすると割り込みは発生しなくなります。

図 8-3 SMD (シリアル・モード・レジスタ)

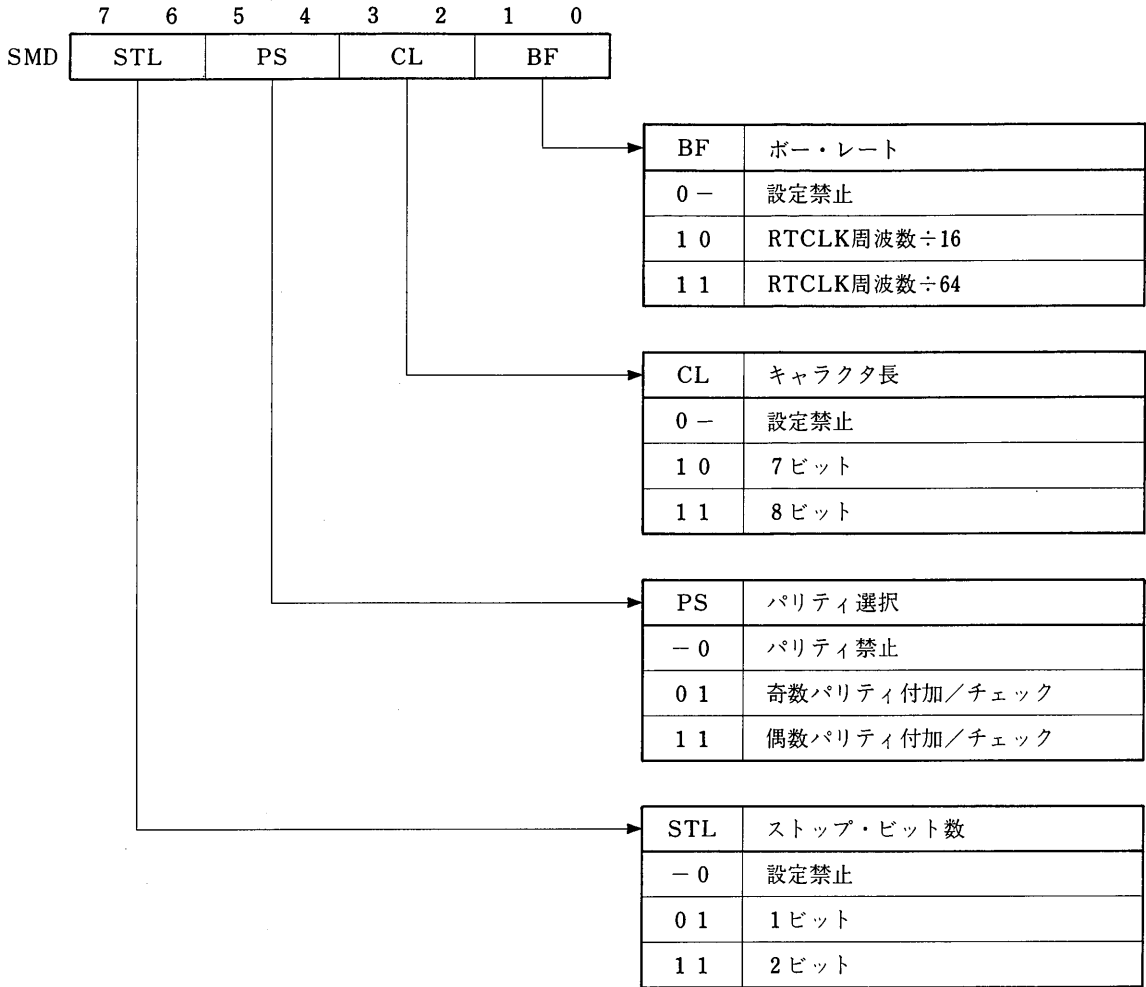


図 8-4 SCM (シリアル・コマンド・レジスタ)

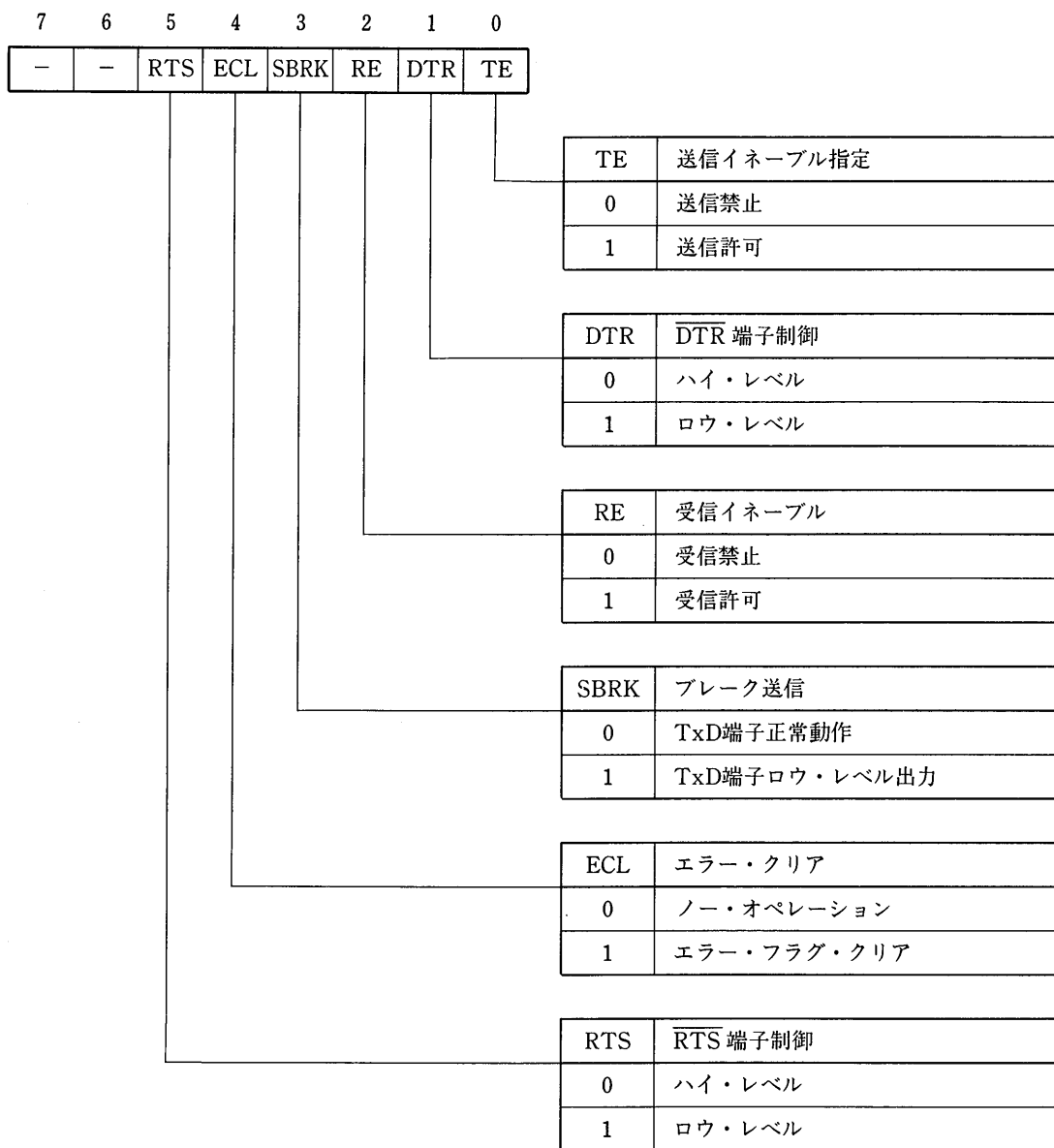


図8-5 SST (シリアル・ステータス・レジスタ)

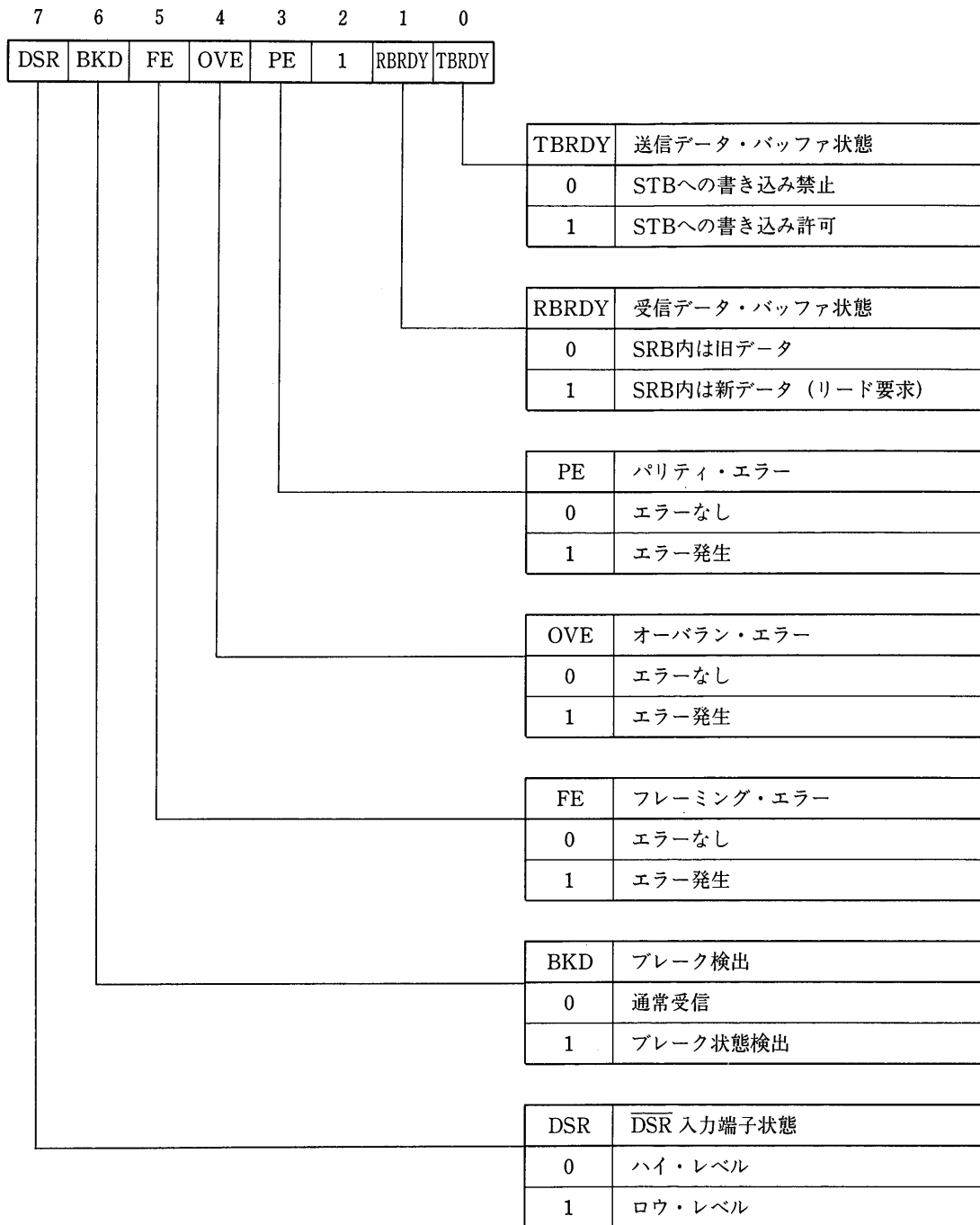
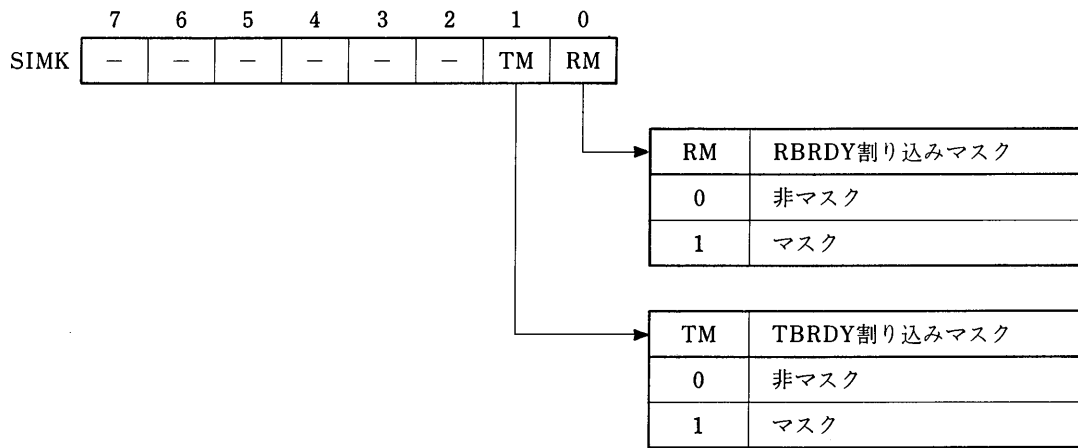


図8-6 SIMK (シリアル割り込みマスク・レジスタ)



9. ICU (割り込みコントロール・ユニット)

ICUは8本までの割り込み要求を調停し、その中の1つをCPUに伝えます。

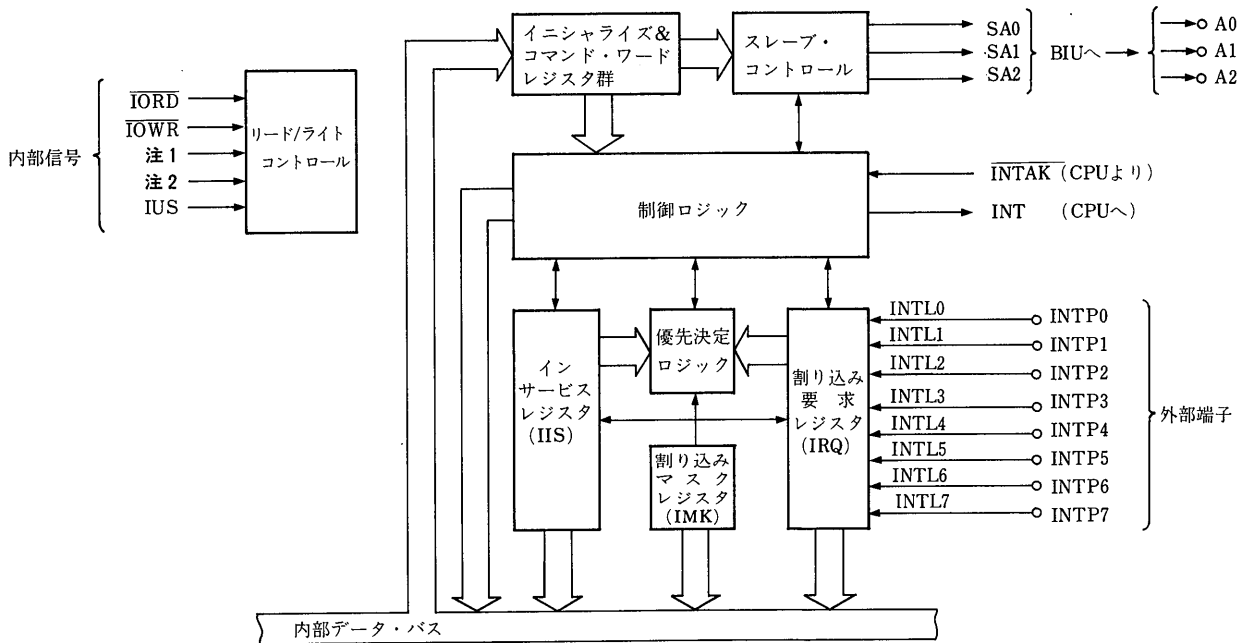
機能的にはμPD71059からCALLモード(8085モード)、カスケード接続時のスレーブ機能を取り除いたものとなっています。

9.1 特徴

- ・μPD71059相当
- カスケード接続によりチャンネル拡張可能
- エッジ・トリガ/レベル・トリガ選択可能
- 割り込み要求は個々にマスク可能
- 割り込み要求の優先順位がプログラマブル
- ポーリング動作可能
- ・8割り込み要求入力 (INTP0-INTP7)
- ・外部8入力端子あり
- ・INTAK出力端子あり

注意 μPD70236はストップ時の消費電流低減のため、INTP0-INTP7端子にプルアップ抵抗を内蔵していません。
μPD71059やμPD70208, 70216とは異なります。

9.2 ICU内部ブロック図



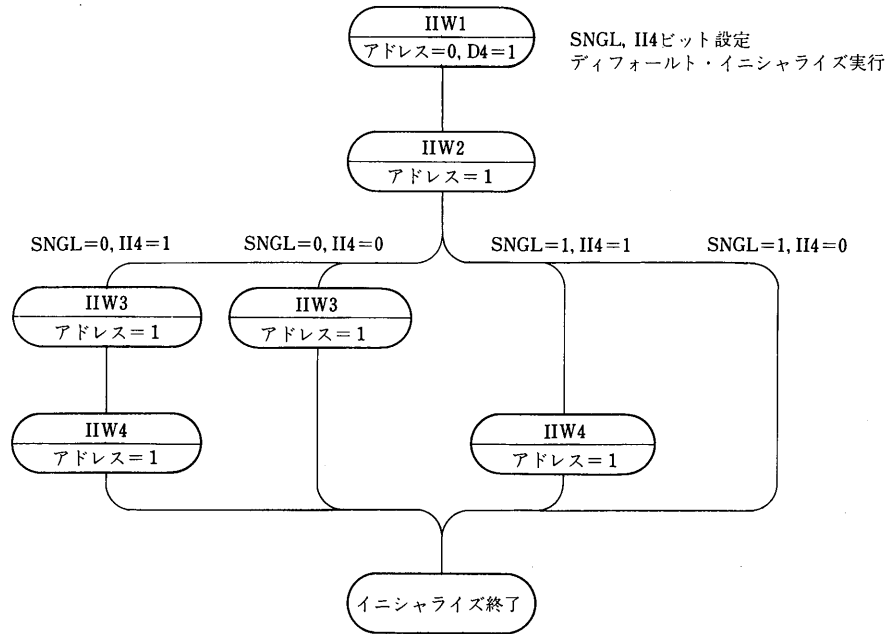
注1. SCTLレジスタのIOAG=1のとき, A0. IOAG=0のとき, A1.

2. SCTLレジスタのIOAG=1のとき, A1. IOAG=0のとき, A2.

9.3 ICUによる割り込み

μPD70236システムでマスクابل割り込みを使用する場合は常にICUを用います。ICUは割り込み動作を始める前に初期化プログラムを実行して初期化してください。ICUの初期化は図9-1に示すイニシャライズ・シーケンスに従って、4通りがあります。

図9-1 ICUイニシャライズ・シーケンス



備考 アドレスとは A1 または A0 のことです。

初期化が終了すると、ICUは8本の割り込み要求INTL0-INTL7に入ってくる要求を調停し、優先される1つをCPUに伝えます。CPU側は、起動された割り込み処理ルーチンの終了時に、ICUに対してFI (Finish Interrupt) コマンドを発行し、割り込み処理の終了を知らせます。ICUは、割り込み要求信号とCPUからのFIコマンド情報によって、現在の割り込みサービスの状況を把握しています。

CPUからのコマンドによって、割り込み要求の優先順位の変更や要求のマスク、レジスタの読み出し、ポーリングなどができます。

9.4 ICUのレジスタ

ICUのレジスタのリード/ライト，コマンドの発行は，システムI/O領域で設定したアドレスに対するI/O入出力命令で行い，レジスタ等の選択はA0(SCTLレジスタのIOAG=1のとき)またはA1(IOAG=0のとき)で行います(IOAG=1のときのA1またはIOAG=0のときのA2は1, 0のどちらでもかまいません)。

表9-1 レジスタ，コマンド・アドレス

	A0/A1	A1/A2	A0(A1) のほかの条件	動作
リ ー ド	0	× (don't care)	IMDでIRQを設定	CPU←IRQデータ
			IMDでIISを設定	CPU←IISデータ
			ポーリング・フェーズ ^注	CPU←IPOL
1	—		CPU←IMKW	
ラ イ ト	0		D4=1	CPU→IIW1
			(D4=0)・(D3=0)	CPU→IPFW
		(D4=0)・(D3=1)	CPU→IMDW	
	1	イニシャライズ・シーケンス中	CPU→IIW2	
			CPU→IIW3	
	イニシャライズのあと	CPU→IIW4		
			CPU→IMKW	

注 ポーリング・フェーズではIRQまたはIISに優先してIPOLのポーリング・データが読み出されます。

イニシャライズ・ワードIIW1-IIW4はICUの初期化を行い，スレーブとしてμPD71059を接続しているかどうかの確認とか，CPUに送るベクタ番号，INTP端子の入力トリガの設定などを行います。

コマンド・ワードにはIMKW，IPFW，IMDWの3つがあります。

IMKWは割り込み要求のマスクを設定します。

IPFWは，割り込み処理終了時に発行するFI (Finish Interrupt) コマンドの発行と，割り込み要求優先順位の変更(回転)コマンドを発行します。

IMDWは，A1=0でのレジスタ読み出しで読み出されるレジスタ(IRQまたはIIS)の設定やポーリング動作開始の指示などを行います。

図9-2 ICUイニシャライズ・ワード

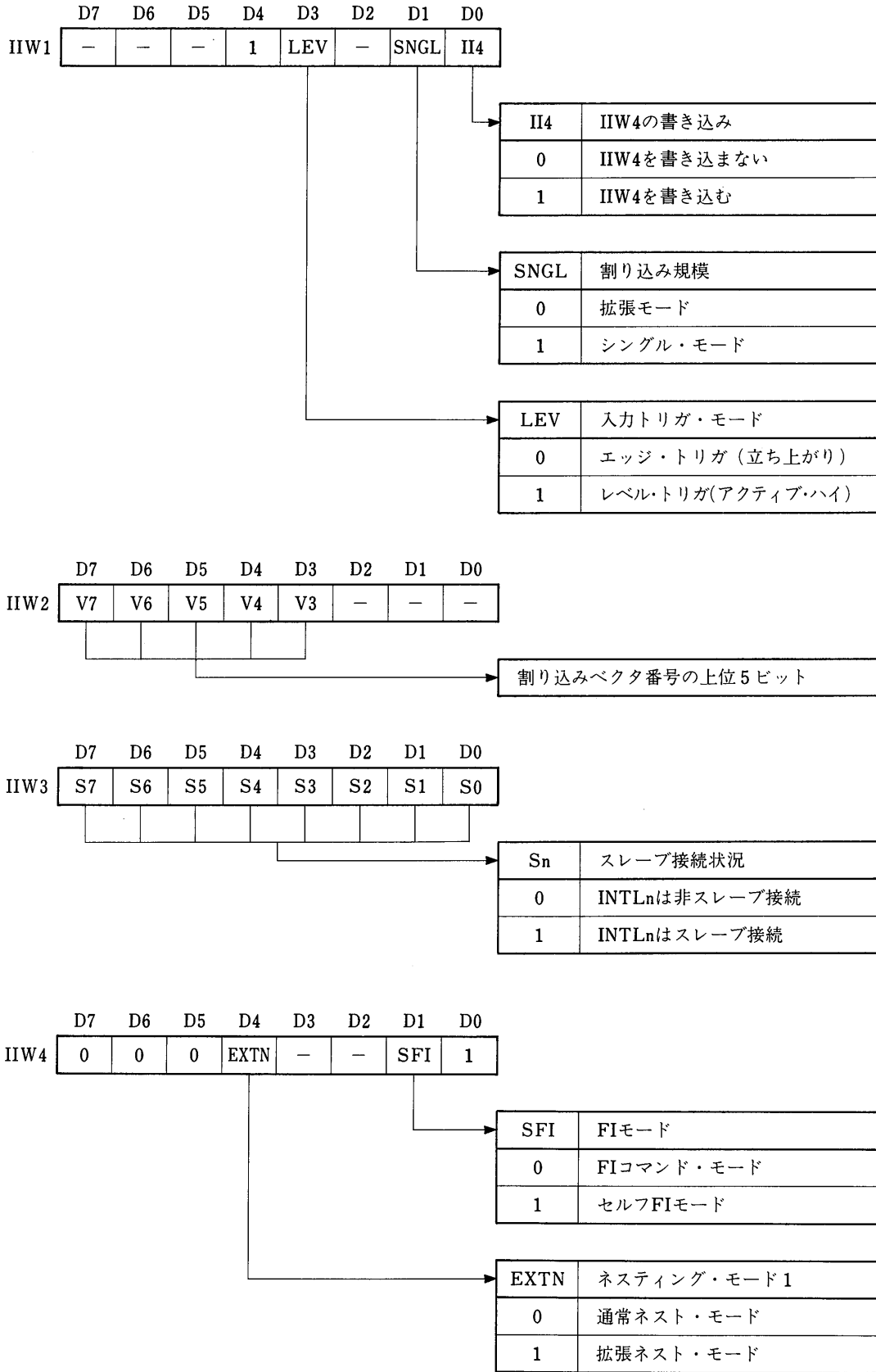
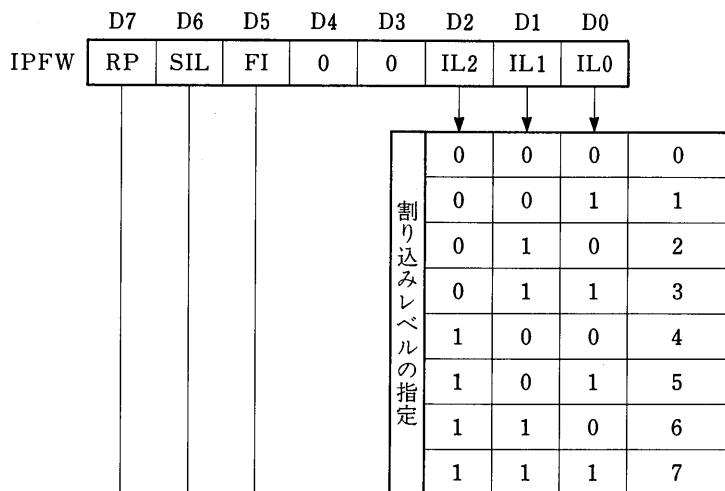
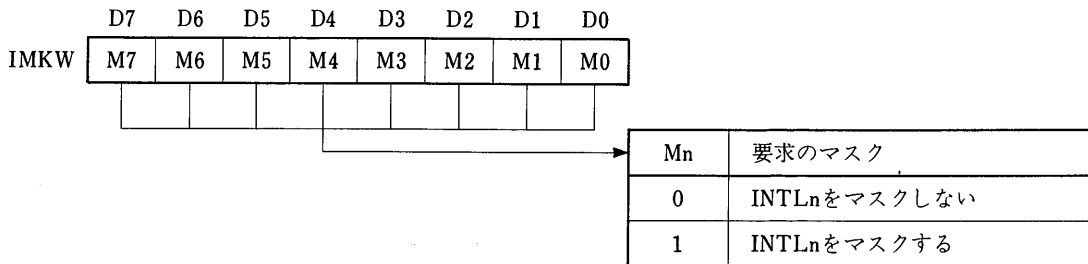
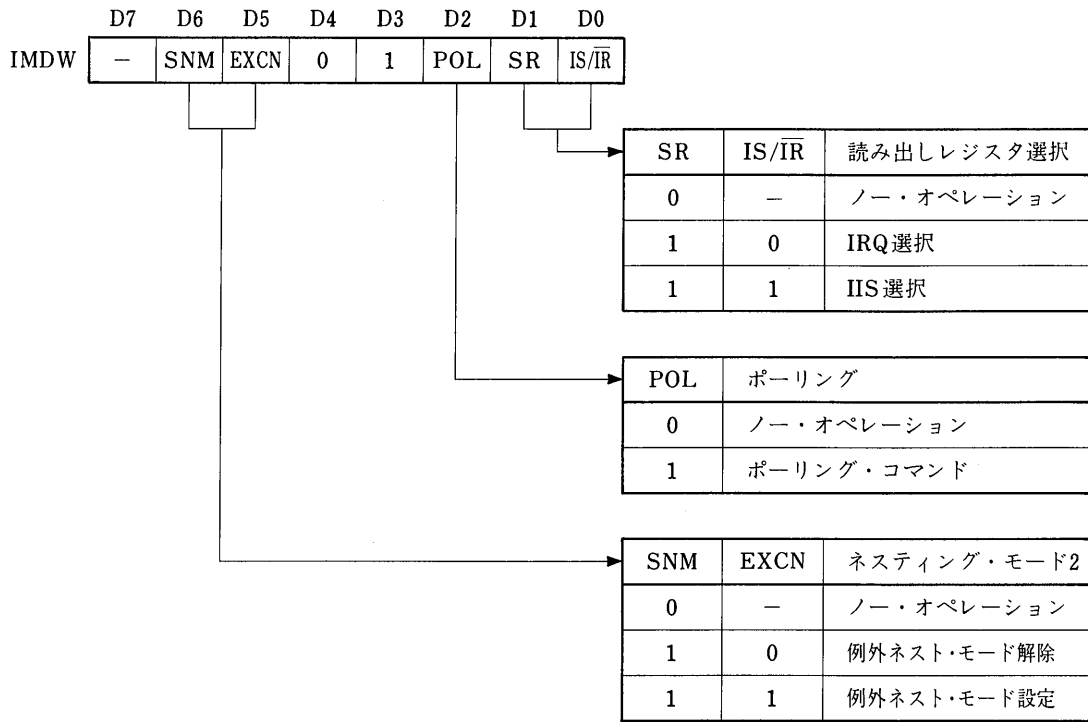


図9-3 ICUコマンド・ワード



優先順位回転とFIコマンド	0	0	1	FIコマンド	レベル指定	回転なし	通常FIコマンド
	1	0	1		なし	回転あり	通常回転FIコマンド
	0	1	1	非FIコマンド	レベル指定あり	回転なし	指定FIコマンド
	1	1	1			回転あり	指定回転FIコマンド
	0	1	0			回転なし	ノー・オペレーション
	1	1	0			回転あり	指定回転コマンド
	0	0	0	レベル指定	回転なし	セルフFIモード回転リセット	
	1	0	0	なし	回転あり	セルフFIモード回転セット	



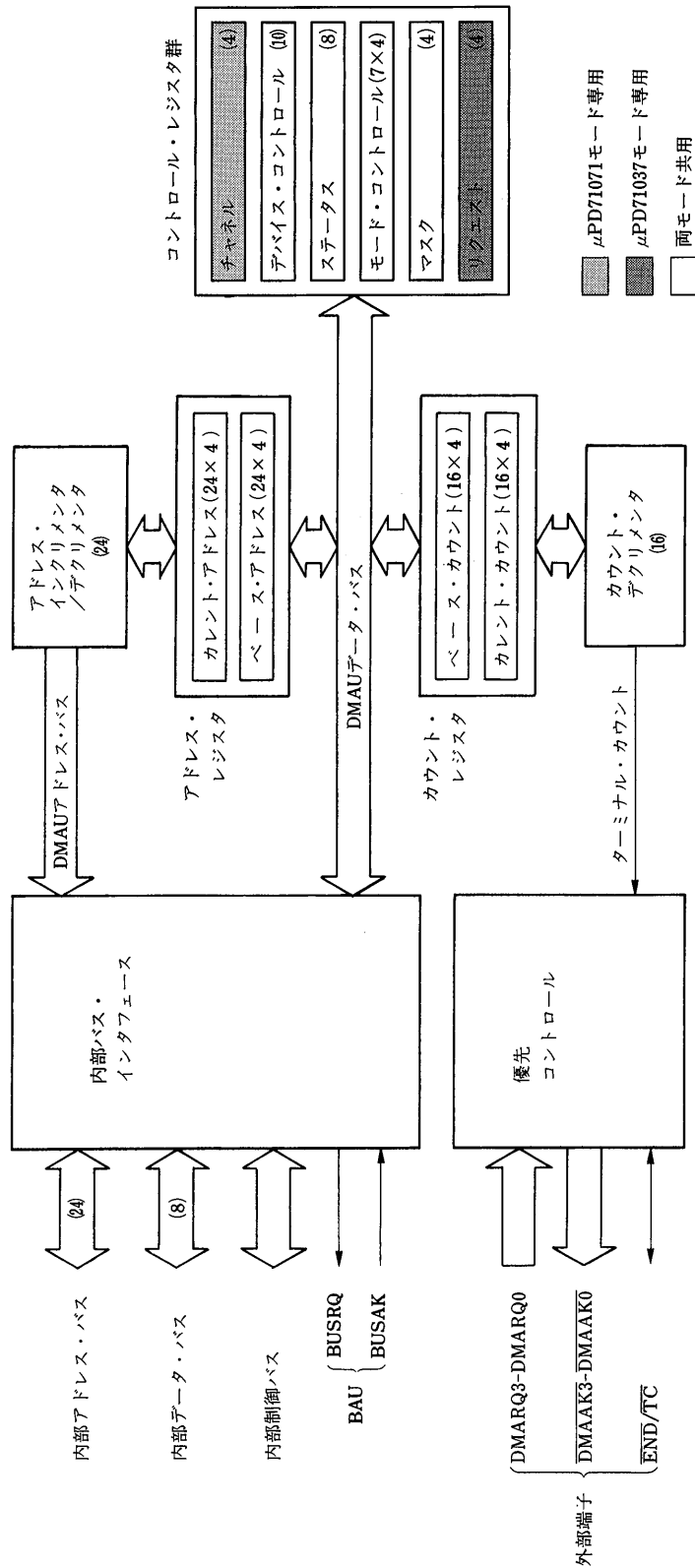
10. DMAU (DMAコントロール・ユニット)

DMAUは4本のDMAチャンネルをもち、2種類のLSI μPD71071, μPD71037の機能(サブセット)を提供します。

10.1 特 徴

- ・2つの動作モード(μPD71071モード, μPD71037モード)
- ・24ビット長のアドレス・レジスタ
- ・16ビット長のカウント・レジスタ
- ・4つの独立なDMAチャンネル
- ・4クロック/1バス・サイクル
- ・バイト転送/ワード転送選択可能
- ・3種類の転送モード(チャンネルごとに設定可能)
 - シングル転送モード, デイモンド転送モード, ブロック転送モード
- ・2種類のバス・モード(全チャンネル共通; μPD71037モードではバス・リリース・モードのみ)
 - バス・リリース・モード
 - バス・ホールド・モード
- ・チャンネルごとにDMA要求をマスク可能
- ・オート・イニシャライズ機能
- ・転送アドレスのインクリメント/デクリメント
- ・2種類のチャンネル優先順位(固定優先順位/回転優先順位)
- ・転送終了時の \overline{TC} 出力
- ・ \overline{END} 入力によるサービスの強制終了
- ・カスケード接続可能
- ・I/O-メモリ, メモリ-I/O転送可能

10.2 DMAU内部ブロック図



10.3 μPD71071 モードと μPD71071 の相違点

以下の機能を除き、DMAU の μPD71071 モードは、μPD71071 と同等の機能を持っています。

表10-1 μPD71071モードとμPD71071の違い

機 能	μPD71071モード	μPD71071
ソフトウェア・リクエスト	なし	あり
メモリーメモリ転送	なし	あり
DMARQアクティブ・レベル	ハイ	ハイまたはロウ
DMAAKアクティブ・レベル	ロウ	ハイまたはロウ
バス・サイクル	4クロック	4または3クロック

10.4 μPD71037モードとμPD71037の相違点

以下の機能を除き、DMAU の μPD71037 モードは、μPD71037 と同等の機能を持っています。

表10-2 μPD71037モードとμPD71037の違い

機 能	μPD71037モード	μPD71037
メモリーメモリ転送	なし	あり
DMARQアクティブ・レベル	ハイ	ハイまたはロウ
DMAAKアクティブ・レベル	ロウ	ハイまたはロウ
バス・サイクル	4クロック	3または2クロック

10.5 μPD71037 モードと μPD71071 モードの相違点

μPD71037モードとμPD71071モードとでは、以下に示す相違点があります。

(1) 転送の単位

μPD71071 モードではバイト転送/ワード転送の選択ができますが、μPD71037 モードでは常にバイト転送に固定されています。

(2) チャンネル選択

μPD71037 モードではチャンネル・レジスタがないため、各コマンド発行時にチャンネル指定をする方法を採用しています。モード・コントロール・レジスタの場合は、書き込むデータの一部でチャンネルを選択します。また、アドレス・レジスタ、カウント・レジスタの場合では、アクセスするI/Oアドレスによってチャンネルを選択します。

(3) ベース/カレント・レジスタのアクセス

各チャンネルのアドレス・レジスタおよびカウント・レジスタは、おのおのベース・レジスタ、カレント・レジスタのペアで構成されています。モードによりアクセス対象が次のように異なります。

(a) μPD71071 モード

チャンネル・レジスタによる次のような切り替えが可能

- ・ { リード時：カレント・レジスタのみ
- ・ { ライト時：ベース・レジスタ、カレント・レジスタ両方同時
- ・ リード/ライト時：ベース・レジスタのみ

(b) μPD71037 モード

- { リード時：カレント・レジスタのみ
- { ライト時：ベース・レジスタ、カレント・レジスタ両方同時

(4) ソフトウェア DMA リクエスト

μPD71037 モードには、μPD71071 モードに存在しないリクエスト・レジスタがあり、ソフトウェアでの DMA 要求の発生ができます。

(5) バス・モード

μPD71037 モードにはバス・モードの選択はなく、常に μPD71071 モードのバス・リリース・モードでのみ動作します。

(6) DMAU ロケーション・アドレス

μPD71071 モードの場合、DMAU の I/O アドレスは常に連続アドレスに配置されますが、μPD71037 モードでは、システム I/O 領域にある SCTL レジスタによって連続アドレスまたは、奇数/偶数アドレスへの固定が選択できます。

(7) その他

基本的なコマンドは両モードで同じですが、μPD71071 モードにあって μPD71037 モードにはないコマンドや、その逆のものもあります。また、各コマンドの I/O アドレスは μPD71071 モードと μPD71037 モードとの間で

互換性はありません。μPD71037 モードにおける全コマンドは、バイト・タイプの IN/OUT 命令で行わなければなりません。

10.6 μPD71071 モード

システム I/O 領域の SCTL レジスタ内の DMAM ビットを“0”に設定することによって、DMAU は μPD71071 モードに設定されます。また、リセット直後にも μPD71071 モードに設定されます。

10.6.1 μPD71071 モード時のコマンド

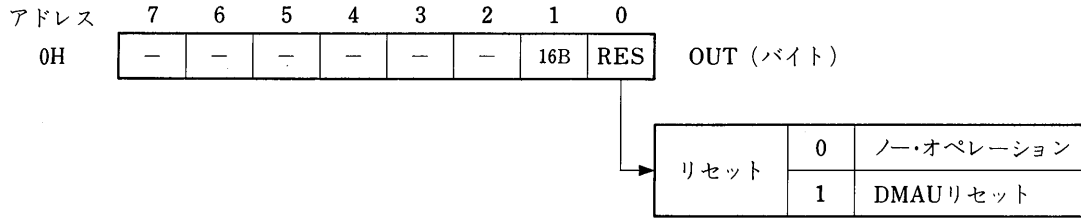
DMAU のレジスタをリード/ライトするコマンドの発行は、システム I/O 領域で設定したアドレスに対する I/O 入出力命令で行い、コマンドの選択は A3-A0 の 4 ビットで行います。コマンドのアドレスとは A3-A0 の値のことを指します。

表10-3 DMAU コマンド・アドレス(μPD71071 モード)

アドレス	操作	コマンド
0H	W(B)	イニシャライズ (DICM)
1H	R (B)	チャンネル・レジスタ・リード (DCH)
	W(B)	チャンネル・レジスタ・ライト (DCH)
2H	R/W	カウント・レジスタ・リード/ライト
3H	R/W	(DBC/DCC)
4H	R/W	アドレス・レジスタ・リード/ライト (DBA/DCA)
5H	R/W	
6H	R/W(B)	
8H	R/W	デバイス・コントロール・レジスタ
9H	R/W	リード/ライト (DDC)
0AH	R/W(B)	モード・コントロール・レジスタ・リード/ライト (DMD)
0BH	R(B)	ステータス・レジスタ・リード (DST)
0FH	R/W(B)	マスク・レジスタ・リード/ライト (DMK)

注意 (B)の付いているコマンドは、バイト IN/OUT 命令で行ってください。
この表に示されているアドレスと操作の組み合わせ以外は禁止です。

図10-1 イニシャライズ・コマンド・フォーマット



備考 μPD71071では、16Bビットにより8ビット・データ・バス、16ビット・データ・バスの選択を行います。μPD70236では、16Bビットは、0、1のどちらでも常に16ビット・データ・バスとなります。

表10-4 リセットによるDMAUレジスタの初期化

レジスタ名	初期化内容																
アドレス・レジスタ	変化なし																
カウント・レジスタ	変化なし																
チャンネル・レジスタ	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>-</td><td>-</td><td>-</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td> </tr> </table> (CH0選択)	7	6	5	4	3	2	1	0	-	-	-	0	0	0	0	1
7	6	5	4	3	2	1	0										
-	-	-	0	0	0	0	1										
モード・コントロール・レジスタ	全ビット・クリア																
デバイス・コントロール・レジスタ	全ビット・クリア																
ステータス・レジスタ	全ビット・クリア																
マスク・レジスタ	全ビット・セット (全チャンネル・マスク)																

図10-2 チャンネル・レジスタ・リード・コマンド・フォーマット

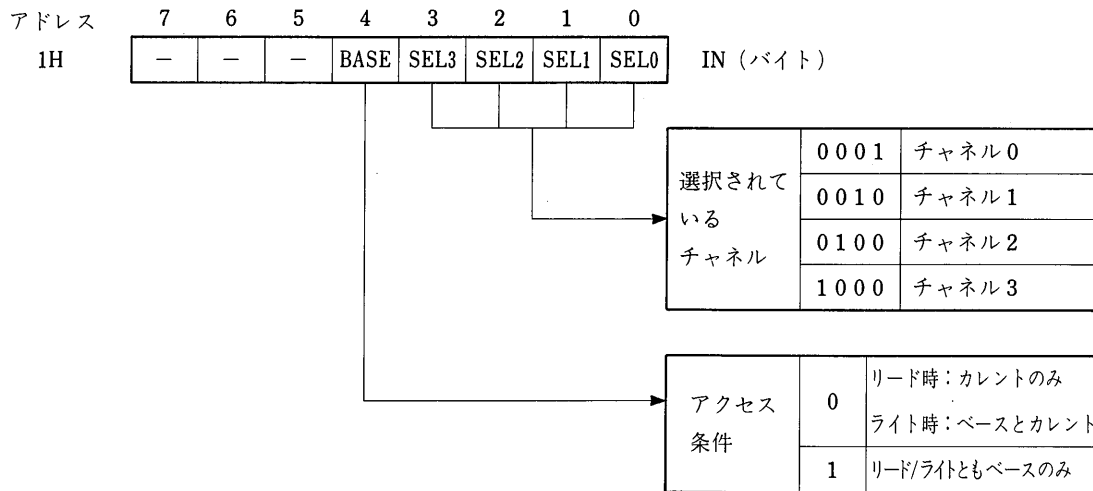


図10-3 チャンネル・レジスタ・ライト・コマンド・フォーマット

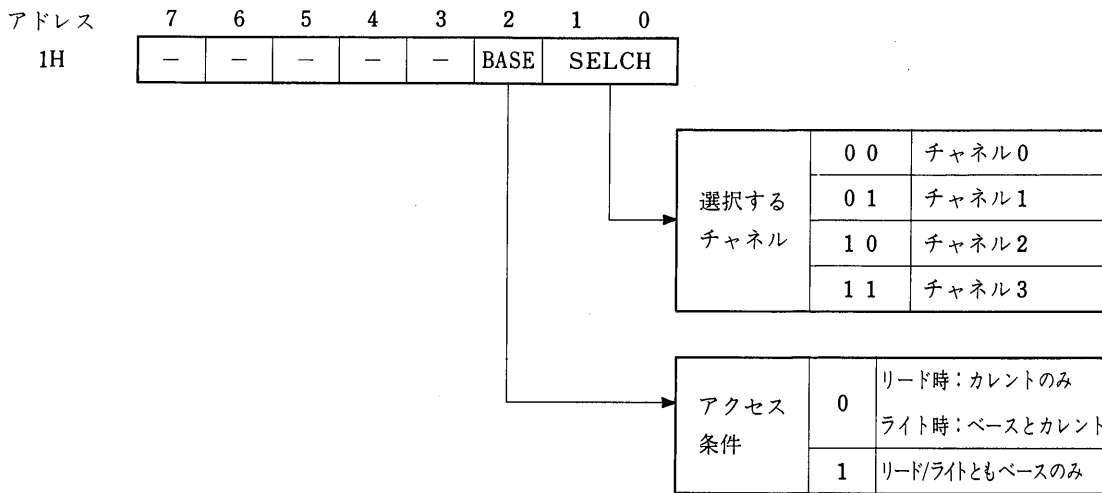


図10-4 カウント・レジスタ・リード/ライト・コマンド・フォーマット

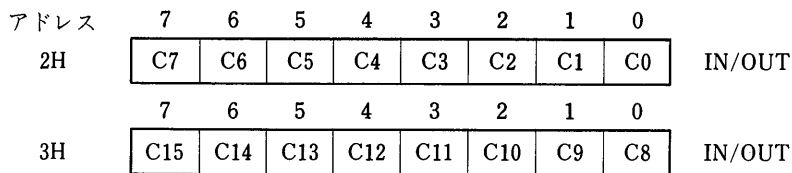


図10-5 アドレス・レジスタ・リード/ライト・コマンド・フォーマット

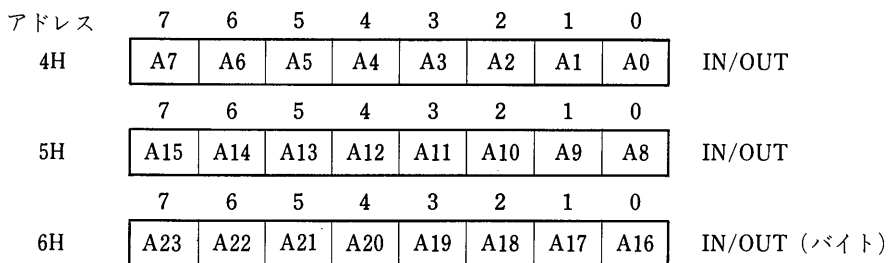


図10-6 デバイス・コントロール・レジスタ・リード/ライト・コマンド・フォーマット

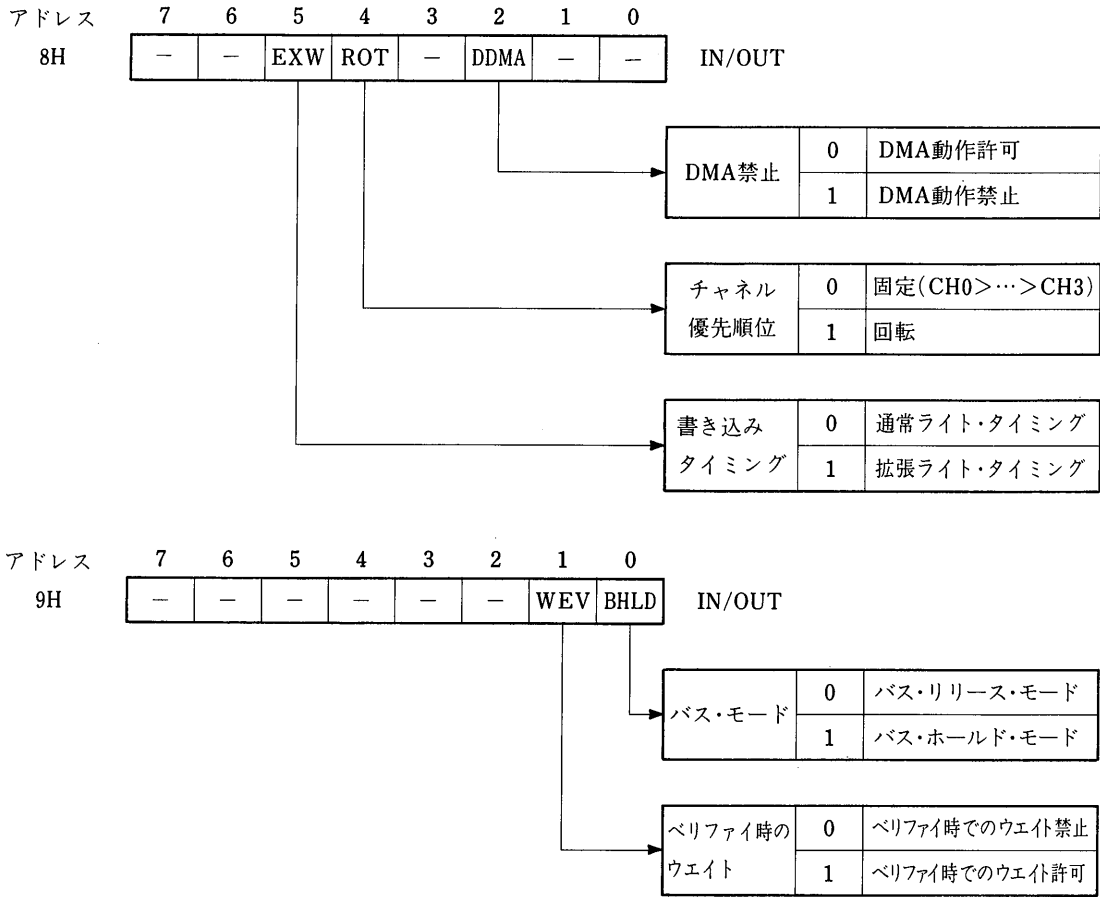


図10-7 モード・コントロール・レジスタ・リード/ライト・コマンド・フォーマット

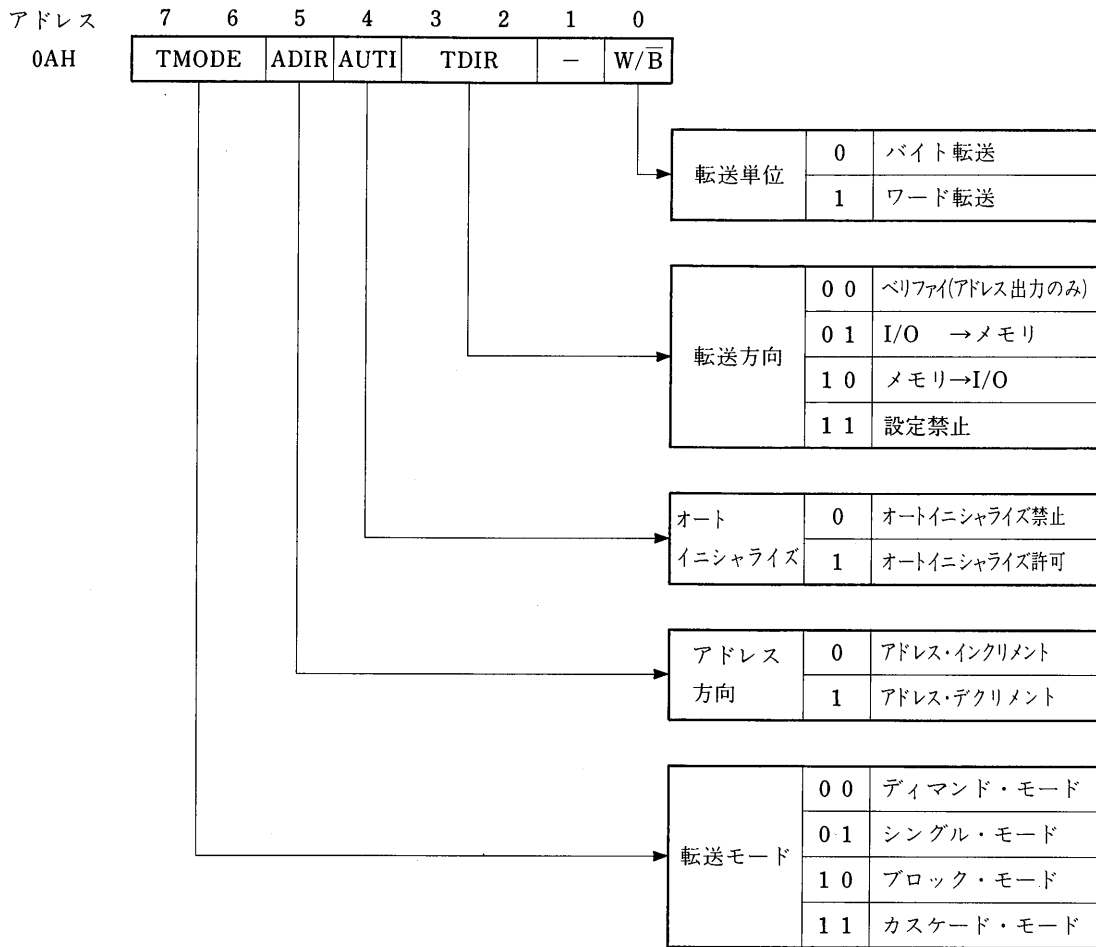


図10-8 ステータス・レジスタ・リード・コマンド・フォーマット

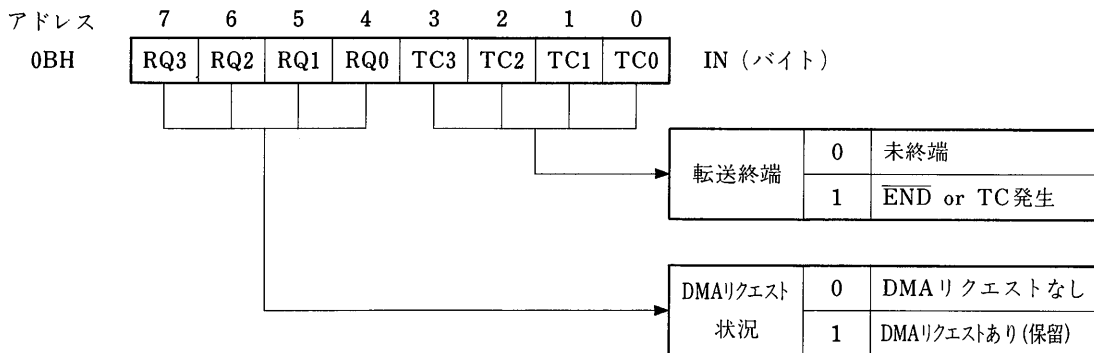
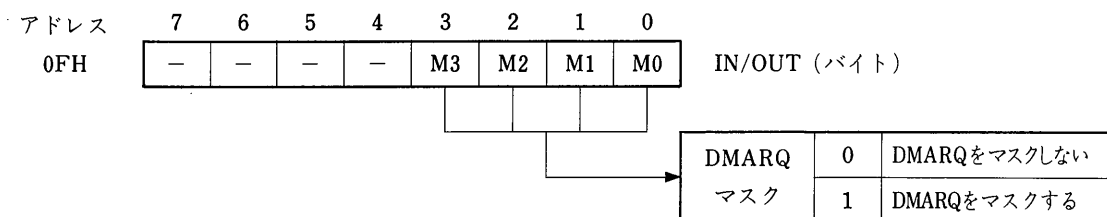


図10-9 マスク・レジスタ・リード/ライト・コマンド・フォーマット



10.7 μPD71037モード

システム I/O 領域の SCTL レジスタ内の DMAM ビットを“1”に設定することによって、DMAU は μPD71037 モードに設定されます。また、リセット直後には μPD71037 モードではなく μPD71071 モードに設定されます。

10.7.1 μPD71037 モード・コマンド一覧

A3	A2	A1	A0	操 作	F/F	コ マ ン ド 名
0	channel	注	0	リード	0	リード・カレント・アドレス・レジスタ (下位バイト)
					1	リード・カレント・アドレス・レジスタ (上位バイト)
				ライト	0	ライト・ベース & カレント・アドレス・レジスタ(下位バイト)
					1	ライト・ベース & カレント・アドレス・レジスタ(上位バイト)
0	channel	注	1	リード	0	リード・カレント・カウント・レジスタ (下位バイト)
					1	リード・カレント・カウント・レジスタ (上位バイト)
				ライト	0	ライト・ベース & カレント・カウント・レジスタ(下位バイト)
					1	ライト・ベース & カレント・カウント・レジスタ(上位バイト)
1	0	0	0	リード		リード・ステータス・レジスタ
				ライト		ライト・コマンド・レジスタ
1	0	0	1	ライト		ライト・リクエスト・レジスタ
1	0	1	0	ライト		ライト・シングル・マスク・レジスタ
1	0	1	1	ライト		ライト・モード・レジスタ
1	1	0	0	ライト		クリア・バイト・ポインタF/F
1	1	0	1	ライト		イニシャライズ
1	1	1	0	ライト		クリア・マスク・レジスタ
1	1	1	1	ライト		ライト・オール・マスク・レジスタ

注 channel=00 なら チャンネル0 選択
channel=01 なら チャンネル1 選択
channel=10 なら チャンネル2 選択
channel=11 なら チャンネル3 選択

10.7.2 μPD71037 モード時のコマンド

以下に各制御コマンドの詳細なフォーマットを示します。なお、クリア・バイト・ポインタ F/F、イニシャライズ、クリア・マスク・レジスタの3つのコマンドでは、書き込むデータは意味を持たず、バイト・タイプの OUT 命令でのデータはどんな値でも構いません。

図10-10 リード・ステータス・レジスタ

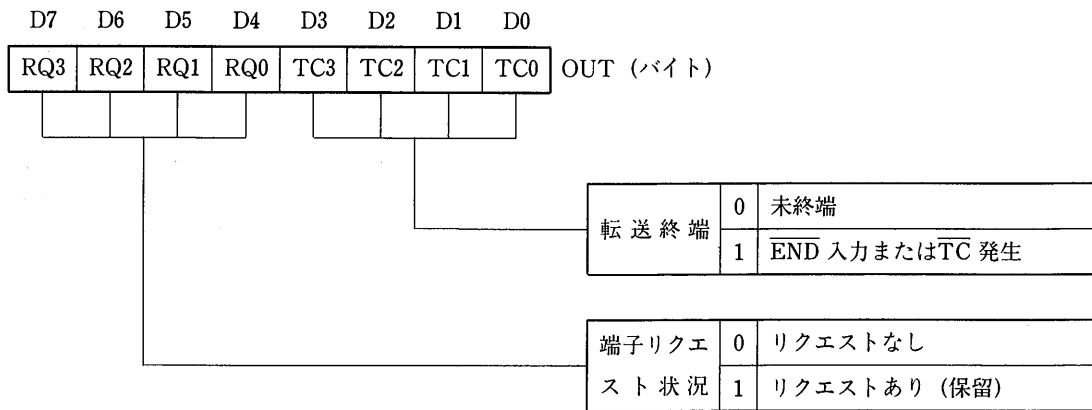


図10-11 ライト・コマンド・レジスタ

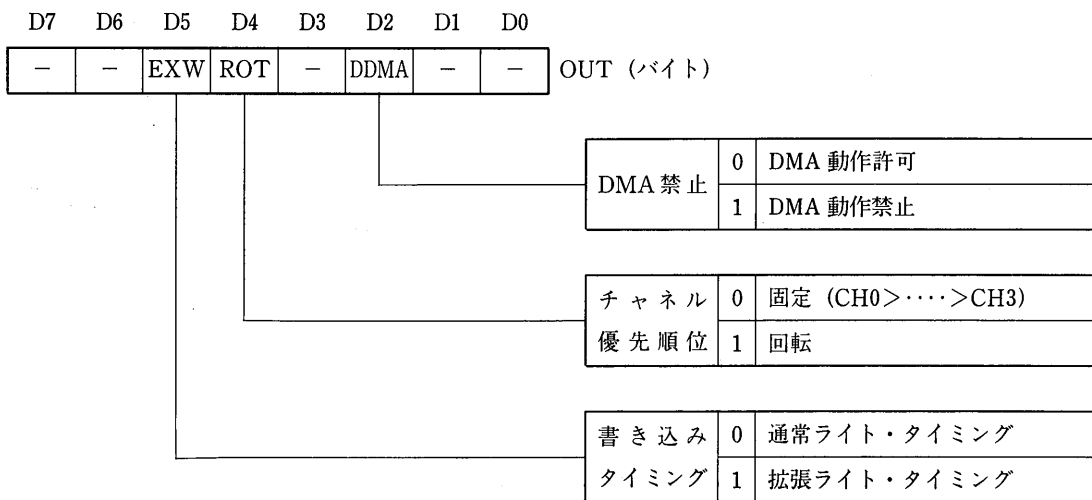


図10-12 ライト・リクエスト・レジスタ

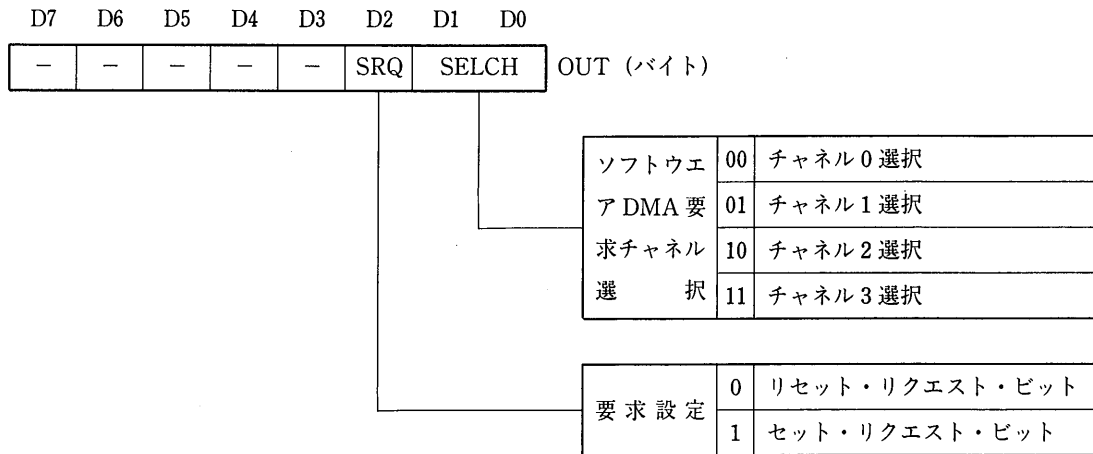


図10-13 ライト・シングル・マスク・レジスタ

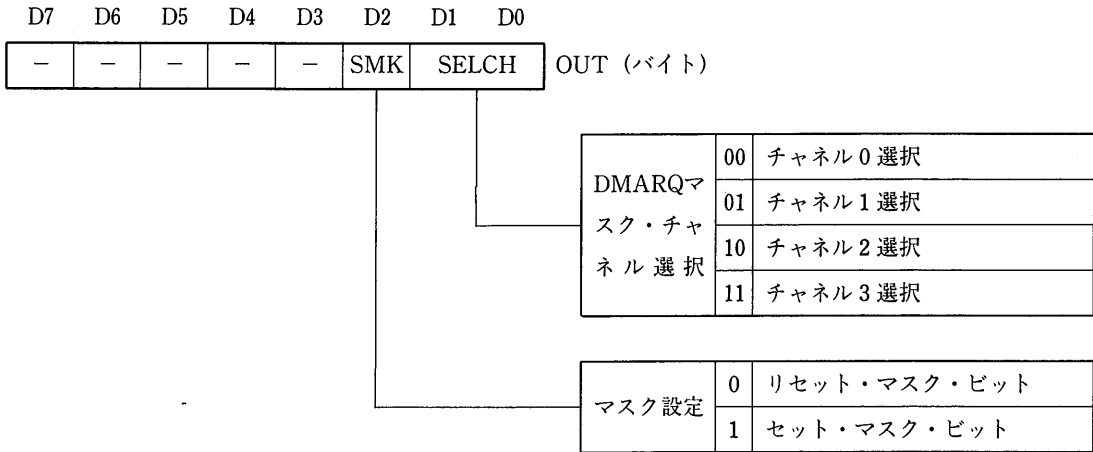


図10-14 ライト・オール・マスク・レジスタ

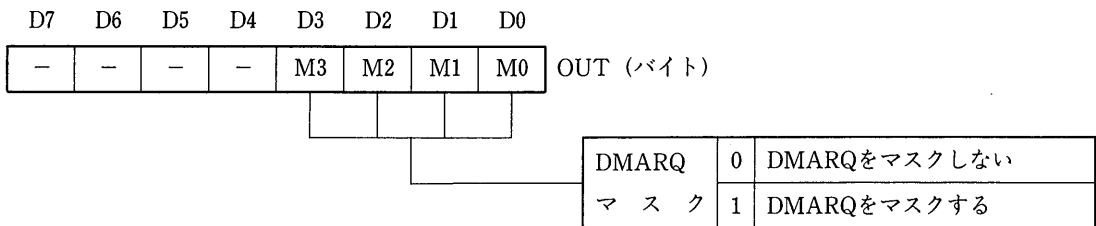
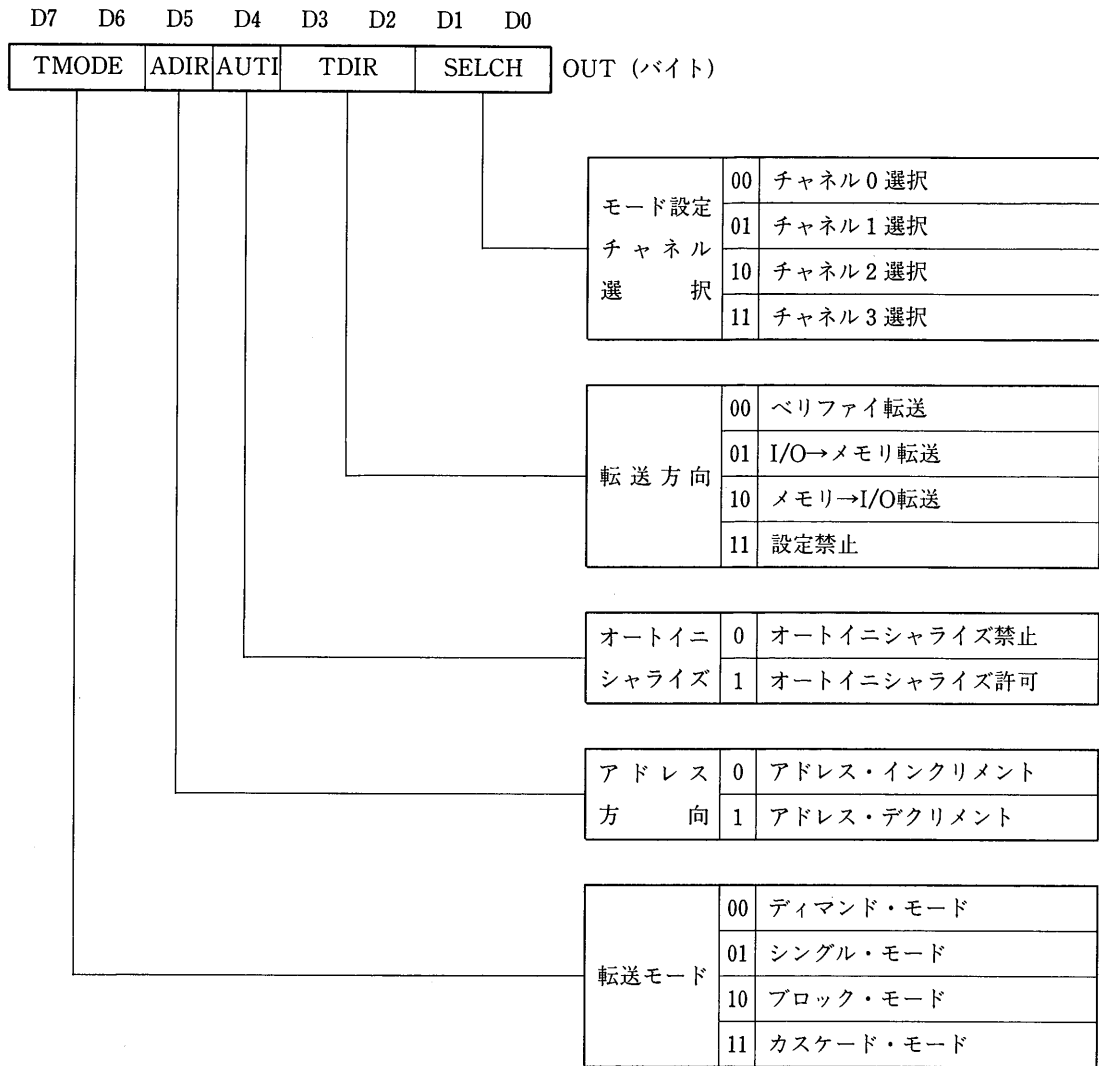


図10-15 ライト・モード・レジスタ



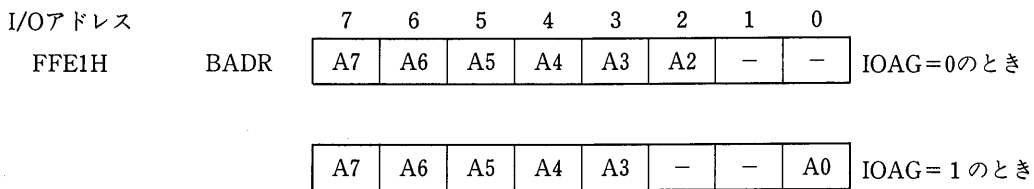
10.7.3 バンク・レジスタ

μPD70236 は、μPD71037 モード時にチャンネル 3 - チャンネル 0 の拡張 DMA アドレス A23-A16 を設定するバンク・レジスタ (BNKR3-BNKR0) を内蔵しています。μPD71037 モードで、このレジスタを読み出し/書き込みする際の I/O アドレスは、システム I/O 領域内の OPHA と BADR で行います。この BADR はリロケーション可能なレジスタです。

(1) バンク・レジスタの I/O アドレス

バンク・レジスタ (BNKR3-BNKR0) の I/O アドレスの上位 8 ビット (A15-A8) は、OPHA により設定され、下位 8 ビット (A7-A0) は BADR (バンク・アドレス・レジスタ) で設定されます。ほかの内蔵ペリフェラル・リロケーション・レジスタと同様に、SCTL 内の IOAG ビットの値によって設定可能なビットが変わります。

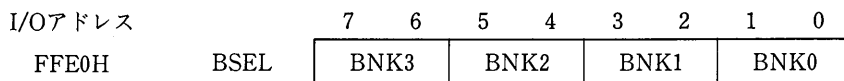
図10-16 バンク・アドレス・レジスタ



(2) バンク選択レジスタ

OPHA と BADR の各レジスタにより設定されたアドレスによりバンク・レジスタの I/O アドレスが決定されますが、さらに、A1/A0、または A2/A1 によって選択されるバンク・レジスタもプログラマブルになっています。

図10-17 バンク選択レジスタ



BNK3, BNK2, BNK1, BNK0	チャンネル 3, 2, 1, 0 のバンク・レジスタ (BNKR3-BNKR0) のアドレス指定
00	A1 (A2) = 0, A0 (A1) = 0
01	A1 (A2) = 0, A0 (A1) = 1
10	A1 (A2) = 1, A0 (A1) = 0
11	A1 (A2) = 1, A0 (A1) = 1

(3) バンク・レジスタ

図10-18 バンク・レジスタ

7	6	5	4	3	2	1	0
A23	A22	A21	A20	A19	A18	A17	A16

このレジスタはμPD71071モードの使用後は不定となります。バンク・レジスタはシステムI/O領域のOPSELによってDMAUが使用可の状態になっており、かつμPD71037モード時にのみI/O空間上に存在します。μPD71071モードでは内部I/O空間上には存在しません。ただし、BADR、BSELの両レジスタはDMAUのモードに関わらず、システムI/O空間上に存在します。バンク・レジスタはμPD71071モード時のアドレス・レジスタ上位8ビットを使用しています。

(4) キャリーの伝搬制御

バンク・レジスタ使用時のA15からA16へのキャリー、またはA19からA20へのキャリーの伝搬制御は、システムI/O領域のSCTL内のCE0、CE1ビットで行います。

CE0	機 能
0	μPD71037モード時にキャリーをA16に伝搬しない
1	μPD71037モード時にキャリーをA16に伝搬する

CE1	機 能
0	μPD71037モード時にキャリーをA20に伝搬しない
1	μPD71037モード時にキャリーをA20に伝搬する

11. 浮動小数点演算用コプロセッサ μPD72291 インタフェース

μPD72291 と μPD70236 のインタフェースについて説明します。

11.1 システム構成例

図11-1 に μPD72291 と μPD70236 を接続したシステム構成例を示します。

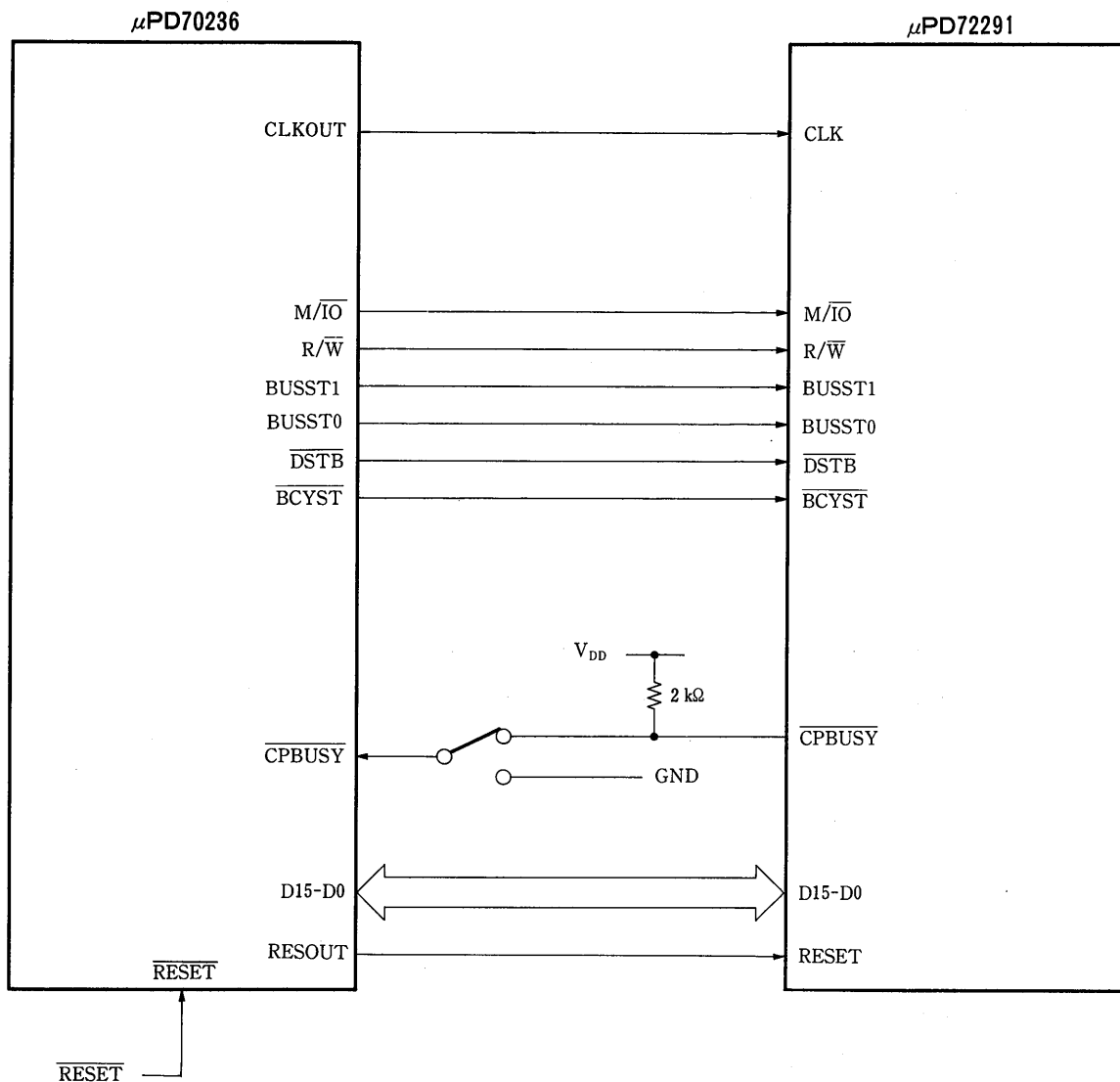
μPD72291 と μPD70236 は、外部回路を追加することなく接続できます。

μPD72291 の入出力信号 (CLK, $\overline{\text{RESET}}$, BUSST1, BUSST0, $\overline{\text{M/IO}}$, $\overline{\text{R/W}}$, $\overline{\text{DSTB}}$, D15 - D0) は、図11-1に示すように、μPD70236 と直結します。μPD72291 の CLK 端子には、μPD70236 の CLKOUT 信号を入力してください。

μPD72291 の $\overline{\text{CPBUSY}}$ 信号は、μPD70236 の $\overline{\text{CPBUSY}}$ 信号に接続し、抵抗 (2 kΩ 程度) で V_{DD} にプルアップしてください。

μPD72291 のソケットだけを用意して、μPD72291 を接続しない場合は、μPD70236 の $\overline{\text{CPBUSY}}$ 信号にスイッチを付け、GND に接続できるようにします。μPD70236 は $\overline{\text{CPBUSY}}$ 信号をリセット時にサンプリングし、 $\overline{\text{CPBUSY}}$ 信号がロウ・レベルならば、μPD72291 用命令を実行しようとするコプロセッサ不在例外が発生します。

図11-1 システム構成例



- 注意 1. μPD72291のCLK端子には、必ずμPD70236CPUのCLKOUT信号を入力してください。
2. μPD72291をμPD70236に接続する場合は、μPD72291のCPBUSY信号を、μPD70236のCPBUSY端子に入力し、抵抗でプルアップしてください。μPD72291のソケットだけを用意して、μPD72291を接続しない場合は、μPD70236のCPBUSY信号にスイッチを付け、GNDに接続してください。
3. μPD72291とμPD70236のデータ・バス・ライン、制御信号線は、バッファなどを經由せず、直接接続してください。

11.2 バス・サイクル

この節では、μPD70236が発行するコプロセッサ関連のバス・サイクルについて説明します。

μPD70236が発行するバス・サイクルには、メモリやI/Oに対するアクセスのためのバス・サイクルのほかに、コプロセッサに関するバス・サイクルがあります。データがどこからどこへ転送されるかは、バス・ステータス信号群 (M/ \overline{IO} , R/ \overline{W} , BUSST1, BUSST0) によって示されます。表11-1にμPD70236のバス・ステータス信号群と、バス・サイクルとの関係を示します。

表11-1 μPD70236のバス・ステータス信号とバス・サイクル

M/ \overline{IO}	R/ \overline{W}	BUSST2	BUSST1	BUSST0	バス・サイクル	データの転送方向
0	1	0	1	0	コプロセッサ・リード	COP → CPU
0	0				コプロセッサ・ライト	CPU → COP
1	1				コプロセッサ用メモリ・リード	メモリ → COP
1	0				コプロセッサ用メモリ・ライト	COP → メモリ

備考 COPは、コプロセッサの略です。

注意 μPD72291用命令を実行する場合、メモリ・オペランドを必ず偶数アドレスに置いてください。また、ダイナミック・バス・サイジングを16ビットに指定してください。これは、μPD72291が1バス・サイクルで16ビット・データをアクセスするため、8ビットにサイジングされたメモリをオペランドに指定すると正常動作できなくなるからです。

(1) コプロセッサ・リード

μPD72291のステータス・ワード・ポート (STWP) から、ステータスを読み出すときに使用します。μPD70236が出力するアドレス (A23-A0) は意味を持ちません (μPD70236は000008Hを出力します)。データ・バスはμPD72291が駆動します。

バス・サイクルは2クロックです。

(2) コプロセッサ・ライト

μPD72291のコマンド・ワード・ポート (CMWP) に、命令を書き込むときに使用します。μPD70236が出力するアドレス (A23-A0) は意味を持ちません (μPD70236は000000Hを出力します)。データ・バスはμPD70236が駆動します。

バス・サイクルは2クロックです。

(3) コプロセッサ・メモリ・リード

メモリ・データを μPD72291 のソース・オペランド・ワード・ポート (SOPWP) に転送するときに使用します。μPD70236 が出力するアドレス (A23-A0) はメモリ・アドレスです。データ・バスはメモリが駆動します。

バス・サイクルは3クロックです (μPD70236 が自動的にバス・サイクルを1クロック延長します)。

(4) コプロセッサ・メモリ・ライト

μPD72291 のデスティネーション・オペランド・ワード・ポート (DOPWP) から演算結果をメモリに転送するときに使用します。μPD70236 が出力するアドレス (A23-A0) はメモリ・アドレスです。データ・バスは、μPD70236 ではなく μPD72291 が駆動します。

バス・サイクルは3クロックです (μPD70236 が自動的にバス・サイクルを1クロック延長します)。

備考 STWP, CMWP, SOPWP, DOPWPは、μPD72291内蔵のポートです。

12. リセット機能

RESET端子に6クロック以上のロウ・レベルを入力したのちにハイ・レベルに戻すと、μPD70236はリセットされます。

12.1 CPUのリセット動作

CPUはリセットされると、表12-1のように初期化され、FFFF0H番地より命令のプリフェッチを開始します。

★ 表12-1 CPUのリセット

対 象	初 期 値	備 考																																		
PFP	0 0 0 0 H	スタート・アドレス；FFFF0H番地																																		
PC	0 0 0 0 H																																			
PS	F F F F H																																			
SS	0 0 0 0 H																																			
DS0	0 0 0 0 H																																			
DS1	0 0 0 0 H																																			
PSW	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td colspan="4"></td> <td>V</td> <td>DIR</td> <td>IE</td> <td>BRK</td> </tr> <tr> <td>上位</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td colspan="2"></td> <td>S</td> <td>Z</td> <td colspan="2">AC</td> <td>P</td> <td>CY</td> <td></td> </tr> <tr> <td>下位</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> </table>						V	DIR	IE	BRK	上位	1	1	1	1	0	0	0	0			S	Z	AC		P	CY		下位	0	0	0	0	0	0	0
				V	DIR	IE	BRK																													
上位	1	1	1	1	0	0	0	0																												
		S	Z	AC		P	CY																													
下位	0	0	0	0	0	0	0	0																												
キュー	クリア																																			
XAM	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>7</td> <td>6</td> <td>5</td> <td>4</td> <td>3</td> <td>2</td> <td>1</td> <td>0</td> </tr> <tr> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>0</td> </tr> </table>	7	6	5	4	3	2	1	0	—	—	—	—	—	—	—	0	XAフラグ：通常アドレス・モード																		
7	6	5	4	3	2	1	0																													
—	—	—	—	—	—	—	0																													
PGR1 -PGR64	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>15</td> <td>14</td> <td>13</td> <td>12</td> <td>11</td> <td>10</td> <td>9</td> <td>8</td> </tr> <tr> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>×</td> <td>×</td> </tr> <tr> <td>7</td> <td>6</td> <td>5</td> <td>4</td> <td>3</td> <td>2</td> <td>1</td> <td>0</td> </tr> <tr> <td>×</td> <td>×</td> <td>×</td> <td>×</td> <td>×</td> <td>×</td> <td>×</td> <td>×</td> </tr> </table>	15	14	13	12	11	10	9	8	—	—	—	—	—	—	×	×	7	6	5	4	3	2	1	0	×	×	×	×	×	×	×	×	ページ・レジスタ：不定		
15	14	13	12	11	10	9	8																													
—	—	—	—	—	—	×	×																													
7	6	5	4	3	2	1	0																													
×	×	×	×	×	×	×	×																													

備考 ×：リセット直前の状態を保持

12.2 内蔵 I/O のリセット動作

内蔵 I/O もリセットで初期化されるものがあります。表 12-2 に初期化される I/O の一覧表を示します。この一覧表に載っていない I/O についてはリセット直前の状態が保持されますが、パワーオン時は不定となります。

表12-2 内蔵I/Oのリセット (1/3)

(a) システムI/O領域 (1/2)

対 象	初 期 値	備 考																
SCTL	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>-</td><td>-</td><td>-</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> </table>	7	6	5	4	3	2	1	0	-	-	-	0	0	0	0	0	<ul style="list-style-type: none"> ●16ビット・バウンダリ ●μPD71071モード選択 ●μPD71037モード時にA16へキャリー伝搬をしない ●μPD71037モード時にA20へキャリー伝搬をしない ●SCUの入力クロック：TOUT1
7	6	5	4	3	2	1	0											
-	-	-	0	0	0	0	0											
OPSEL	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>-</td><td>-</td><td>-</td><td>-</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> </table>	7	6	5	4	3	2	1	0	-	-	-	-	0	0	0	0	DMAU, ICU, TCU, SCUは使用不可
7	6	5	4	3	2	1	0											
-	-	-	-	0	0	0	0											
WCY0	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>1</td><td>1</td><td>1</td> </tr> </table>	7	6	5	4	3	2	1	0	-	-	-	-	-	1	1	1	16 Mバイト中の上位メモリ・ブロック・アクセス時のウェイト挿入：7ウェイト
7	6	5	4	3	2	1	0											
-	-	-	-	-	1	1	1											
WCY1	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>-</td><td>1</td><td>1</td><td>1</td><td>-</td><td>1</td><td>1</td><td>1</td> </tr> </table>	7	6	5	4	3	2	1	0	-	1	1	1	-	1	1	1	16 Mバイト中の中位, 下位メモリ・ブロック・アクセス時のウェイト挿入：7ウェイト
7	6	5	4	3	2	1	0											
-	1	1	1	-	1	1	1											
WCY2	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>-</td><td>1</td><td>1</td><td>1</td><td>-</td><td>1</td><td>1</td><td>1</td> </tr> </table>	7	6	5	4	3	2	1	0	-	1	1	1	-	1	1	1	1 Mバイト中の中位, 下位メモリ・ブロック・アクセス時のウェイト挿入：7ウェイト
7	6	5	4	3	2	1	0											
-	1	1	1	-	1	1	1											
WCY3	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>-</td><td>1</td><td>1</td><td>1</td><td>-</td><td>1</td><td>1</td><td>1</td> </tr> </table>	7	6	5	4	3	2	1	0	-	1	1	1	-	1	1	1	<ul style="list-style-type: none"> ●外部I/Oアクセス時, 割り込みアクノリッジ・サイクル時のウェイト挿入：7ウェイト ●1 Mバイト中の上位メモリ・ブロック・アクセス時のウェイト挿入：7ウェイト
7	6	5	4	3	2	1	0											
-	1	1	1	-	1	1	1											
WCY4	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>-</td><td>1</td><td>1</td><td>1</td><td>-</td><td>1</td><td>1</td><td>1</td> </tr> </table>	7	6	5	4	3	2	1	0	-	1	1	1	-	1	1	1	<ul style="list-style-type: none"> ●DMAサイクル時のウェイト挿入：7ウェイト ●リフレッシュ・サイクル時のウェイト挿入：7ウェイト
7	6	5	4	3	2	1	0											
-	1	1	1	-	1	1	1											
WMB0	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>-</td><td>1</td><td>1</td><td>1</td><td>-</td><td>1</td><td>1</td><td>1</td> </tr> </table>	7	6	5	4	3	2	1	0	-	1	1	1	-	1	1	1	16 Mバイト・メモリ空間の上位, 下位メモリ・ブロック・サイズ：8 Mバイト
7	6	5	4	3	2	1	0											
-	1	1	1	-	1	1	1											
WMB1	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>-</td><td>1</td><td>1</td><td>1</td><td>-</td><td>1</td><td>1</td><td>1</td> </tr> </table>	7	6	5	4	3	2	1	0	-	1	1	1	-	1	1	1	1 Mバイト・メモリ空間の上位, 下位メモリ・ブロック・サイズ：512 Kバイト
7	6	5	4	3	2	1	0											
-	1	1	1	-	1	1	1											
WAC	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>-</td><td>-</td><td>-</td><td>-</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> </table>	7	6	5	4	3	2	1	0	-	-	-	-	0	0	0	0	1 Mバイト・メモリ領域の16 Mバイト空間内でのアドレスの上位4ビット：0000
7	6	5	4	3	2	1	0											
-	-	-	-	0	0	0	0											
TCKS	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>-</td><td>-</td><td>-</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> </table>	7	6	5	4	3	2	1	0	-	-	-	0	0	0	0	0	TCUのTCT#0-TCT#2のクロックは発振周波数を4分周した内部クロック
7	6	5	4	3	2	1	0											
-	-	-	0	0	0	0	0											

表12-2 内蔵I/Oのリセット (2/3)

(a) システムI/O領域 (2/2)

対象	初期値	備考																
RFC	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>×</td><td>0</td><td>-</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td> </tr> </table>	7	6	5	4	3	2	1	0	×	0	-	0	1	0	0	0	<ul style="list-style-type: none"> ●リフレッシュ許可/禁止：不定 ●タイマ・ファクタ (N)=9 ●リフレッシュ・アドレスを2ずつインクリメント <p>UBE：ロウ・レベル出力</p>
7	6	5	4	3	2	1	0											
×	0	-	0	1	0	0	0											
SBCR	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>-</td><td>-</td><td>-</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> </table>	7	6	5	4	3	2	1	0	-	-	-	0	0	0	0	0	<ul style="list-style-type: none"> ●HALT命令の実行によりHALTモードに入る ●発振安定時間=2²¹/f_{xx} ●内部クロック周波数f_x=f_{xx}×1/2
7	6	5	4	3	2	1	0											
-	-	-	0	0	0	0	0											
BRC	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> </table>	7	6	5	4	3	2	1	0	0	0	0	0	0	0	0	0	BRC設定値=2
7	6	5	4	3	2	1	0											
0	0	0	0	0	0	0	0											

(b) SCU

対象	初期値	備考																
SMD	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td> </tr> </table>	7	6	5	4	3	2	1	0	0	1	0	0	1	0	1	1	<ul style="list-style-type: none"> ●ボー・レート：×64 ●キャラクタ長：7ビット ●パリティ：なし ●ストップ・ビット数：1ビット
7	6	5	4	3	2	1	0											
0	1	0	0	1	0	1	1											
SCM	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>-</td><td>-</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> </table>	7	6	5	4	3	2	1	0	-	-	0	0	0	0	0	0	<ul style="list-style-type: none"> ●送信禁止 ●受信禁止
7	6	5	4	3	2	1	0											
-	-	0	0	0	0	0	0											
SIMK	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>1</td><td>1</td> </tr> </table>	7	6	5	4	3	2	1	0	-	-	-	-	-	-	1	1	<ul style="list-style-type: none"> ●RBRDY割り込み：マスク ●TBRDY割り込み：マスク
7	6	5	4	3	2	1	0											
-	-	-	-	-	-	1	1											
SST	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>×</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td> </tr> </table>	7	6	5	4	3	2	1	0	×	0	0	0	0	1	0	0	<ul style="list-style-type: none"> ●送信データ・バッファ状態：非Ready ●受信データ・バッファ状態：非Ready ●エラー：なし ●ブレイク検出：なし
7	6	5	4	3	2	1	0											
×	0	0	0	0	1	0	0											

備考 ×：リセット直前の値を保持

f_{xx}：発振周波数

表12-2 内蔵I/Oのリセット (3/3)

(c) DMAU

対 象	初 期 値	備 考																
DCH	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>—</td><td>—</td><td>—</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td> </tr> </table>	7	6	5	4	3	2	1	0	—	—	—	0	0	0	0	1	<ul style="list-style-type: none"> ●DMA チャンネル0 選択 ●アクセス条件：カレントのみ（リード時） ベースとカレント（ライト時）
7	6	5	4	3	2	1	0											
—	—	—	0	0	0	0	1											
DMD	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>—</td><td>0</td> </tr> </table>	7	6	5	4	3	2	1	0	0	0	0	0	0	0	—	0	<ul style="list-style-type: none"> ●ダイヤモンド・モード，アドレス増 ●オートイニシャライズ禁止 ●ペリファイ転送，バイト転送
7	6	5	4	3	2	1	0											
0	0	0	0	0	0	—	0											
DDC	[上位] <table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>0</td><td>0</td> </tr> </table>	7	6	5	4	3	2	1	0	—	—	—	—	—	—	0	0	<ul style="list-style-type: none"> ●バス・リリース・モード ●ペリファイ時のウェイト・ステート禁止
	7	6	5	4	3	2	1	0										
—	—	—	—	—	—	0	0											
[下位] <table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>—</td><td>—</td><td>0</td><td>0</td><td>—</td><td>0</td><td>—</td><td>—</td> </tr> </table>	7	6	5	4	3	2	1	0	—	—	0	0	—	0	—	—	<ul style="list-style-type: none"> ●DMA 動作：許可 ●チャンネル優先順位：固定（CH0>…>CH3） ●書き込みタイミング：通常ライト・タイミング 	
7	6	5	4	3	2	1	0											
—	—	0	0	—	0	—	—											
DST	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> </table>	7	6	5	4	3	2	1	0	0	0	0	0	0	0	0	0	<ul style="list-style-type: none"> ●転送終端：未終端 ●DMA リクエスト状況：リクエストなし
7	6	5	4	3	2	1	0											
0	0	0	0	0	0	0	0											
DMK	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>—</td><td>—</td><td>—</td><td>—</td><td>1</td><td>1</td><td>1</td><td>1</td> </tr> </table>	7	6	5	4	3	2	1	0	—	—	—	—	1	1	1	1	全チャンネルDMA 要求マスク
7	6	5	4	3	2	1	0											
—	—	—	—	1	1	1	1											

13. スタンバイ機能

μPD70236 はスタンバイ機能として、HALT 命令によるプログラム待機中のスタンバイ機能と、インストラクション・サイクル時間を切り替えることによるプログラム実行中のスタンバイ機能を備えています。

13.1 特 徴

(1) HALTモード

HALT命令の実行によって、CPU内部（HALTモード解除用回路を除く）へのクロックを停止します。

(2) STOPモード

HALT命令の実行によって、CPUおよび内部I/Oへのクロックをすべて停止します。

STOPモードは、X1, X2端子に発振子を接続した場合に使用してください。

(3) インストラクション・サイクル時間可変機能

内部システム・クロック周波数を、発振周波数の1/2, 1/4, 1/8, 1/16に分周指定可能です。

13.2 SBCR (スタンバイ・コントロール・レジスタ)

★

μPD70236 のスタンバイ機能の制御は、システム I/O 領域内の SBCR レジスタによって行います。

図13-1 SBCR (スタンバイ・コントロール・レジスタ)

I/Oアドレス		7	6	5	4	3	2	1	0
FFF1H	SBCR	-	-	-	CLKC		WT		STOP

STOP	HALTモード/STOPモードの切り替え
0	HALT命令の実行によりHALTモードに入る
1	HALT命令の実行によりSTOPモードに入る

WT	発振安定時間指定	発振安定時間	
		f _{xx} = 32 MHz時	f _{xx} = 20 MHz時
0 0	発振安定時間 = 2 ²¹ /f _{xx}	65.53	104.85
0 1	発振安定時間 = 2 ²⁰ /f _{xx}	32.76	52.42
1 0	発振安定時間 = 2 ¹⁹ /f _{xx}	16.38	26.21
1 1	発振安定時間 = 2 ¹⁸ /f _{xx}	8.19	13.10

単位：ms

CLKC	システム・クロック周波数 (f _x) の指定
0 0	f _x = f _{xx} × 1/2
0 1	f _x = f _{xx} × 1/4
1 0	f _x = f _{xx} × 1/8
1 1	f _x = f _{xx} × 1/16

備考 f_{xx} : 発振周波数

f_x : 内部クロック周波数

14. インストラクション・セット

表14-1 オペランド・タイプの凡例

識別子	説明
reg, reg'	8/16ビット汎用レジスタ
reg8, reg8'	8ビット汎用レジスタ
reg16, reg16'	16ビット汎用レジスタ
dmem	8/16ビット・メモリ・ロケーション
mem	8/16ビット・メモリ・ロケーション
mem 8	8ビット・メモリ・ロケーション
mem16	16ビット・メモリ・ロケーション
mem32	32ビット・メモリ・ロケーション
imm	0-FFFFHの範囲の定数
imm 3	0-7の範囲の定数
imm 4	0-FHの範囲の定数
imm 8	0-FFHの範囲の定数
imm16	0-FFFFHの範囲の定数
acc	レジスタAWまたはAL
sreg	セグメント・レジスタ
src-table	256バイト変換テーブルの名称
src-block	レジスタIXでアドレスされるブロックの名称
dst-block	レジスタIYでアドレスされるブロックの名称
near-proc	現在のプログラム・セグメント内のプロシージャ
far-proc	別のプログラム・セグメント内のプロシージャ
near-label	現在のプログラム・セグメント内のレーベル
short-label	命令の終わりから-128~+127バイトの範囲のレーベル
far-label	別のプログラム・セグメント内のレーベル
memptr16	制御が移されようとしている現在のプログラム・セグメント内のロケーションのオフセットを含むワード
memptr32	制御が移されようとしている別のプログラム・セグメント内のロケーションのオフセットとセグメント・ベース・アドレスを含むダブル・ワード
regptr16	制御が移されようとしている別のプログラム・セグメント内のロケーションのオフセットを含む16ビット汎用レジスタ
pop-value	スタックから捨てるバイト数 (0-64K, 通常は偶数)
fp-op	外部の浮動小数点演算用コプロセッサの命令コードを判別するイミディエイト値
R	レジスタ・セット

表14-2 オペレーション・コードの凡例

識別子	説明
W	バイト/ワード指定ビット (0:バイト, 1:ワード)。ただしs=1のときは, W=1であってもサイン拡張のバイト・データを16ビット・オペランドとします。
reg	レジスタ・フィールド (0 0 0-1 1 1)
reg'	レジスタ・フィールド (0 0 0-1 1 1) (レジスタを2つ用いる命令における, ソース側レジスタ)
mem	メモリ・フィールド (0 0 0-1 1 1)
mod	モード・フィールド (0 0-1 0)
s	サイン拡張指定ビット (0:サイン拡張なし, 1:サイン拡張あり)
X,XXX,YYY,ZZZ	外部の浮動小数点演算用コプロセッサの命令コードを判別するためのデータ

表14-3 オペレーション説明上の凡例

識 別 子	説 明
AW	アキュムレータ (16ビット)
AH	” (上位バイト)
AL	” (下位バイト)
BW	レジスタBW (16ビット)
CW	レジスタCW (”)
CL	” (下位バイト)
DW	レジスタDW (16ビット)
BP	ベース・ポインタ (16ビット)
SP	スタック・ポインタ (16ビット)
PC	プログラム・カウンタ (16ビット)
PSW	プログラム・ステータス・ワード (16ビット)
IX	インデクス・レジスタ (ソース) (16ビット)
IY	” (デスティネーション) (16ビット)
PS	プログラム・セグメント・レジスタ (16ビット)
SS	スタック・セグメント・レジスタ (16ビット)
DS0	データ・セグメント0・レジスタ (16ビット)
DS1	データ・セグメント1・レジスタ (16ビット)
AC	補助キャリー・フラグ
CY	キャリー・フラグ
P	パリティ・フラグ
S	サイン・フラグ
Z	ゼロ・フラグ
DIR	方向フラグ
IE	割り込み許可フラグ
V	オーバフロー・フラグ
BRK	ブレーク・フラグ
(…)	() 内で示されるメモリの内容
disp	ディスプレイースメント (8/16ビット)
ext-disp8	8ビット・ディスプレイースメントをサイン拡張した16ビット
temp	テンポラリ・レジスタ (8/16/32ビット)
temp1, 2	テンポラリ・レジスタ (16ビット)
TA	テンポラリ・レジスタA (16ビット)
TB	テンポラリ・レジスタB (16ビット)
TC	テンポラリ・レジスタC (16ビット)
tmpcy	テンポラリ・キャリー・フラグ (1ビット)
seg	イミーディエト・セグメント・データ (16ビット)
offset	イミーディエト・オフセット・データ (16ビット)
←	転送方向
+	加 算
-	減 算
×	乗 算
÷	除 算
%	モジュロ
∧	論理積
∨	論理和
⊕	排他的論理和
××H	16進数 2 桁の数値
××××H	16進数 4 桁の数値

表14-4 フラグの動作の凡例

識別子	説明
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
×	結果に従ってセットまたはクリアされる
U	不定
R	以前に退避した値がリストアされる

表14-5 メモリ・アドレッシング

mem \ mod	0 0	0 1	1 0
0 0 0	BW +IX	BW +IX +disp 8	BW +IX +disp 16
0 0 1	BW +IY	BW +IY +disp 8	BW +IY +disp 16
0 1 0	BP +IX	BP +IX +disp 8	BP +IX +disp 16
0 1 1	BP +IY	BP +IY +disp 8	BP +IY +disp 16
1 0 0	IX	IX +disp 8	IX +disp 16
1 0 1	IY	IY +disp 8	IY +disp 16
1 1 0	DIRECT ADDRESS	BP +disp 8	BP +disp 16
1 1 1	BW	BW +disp 8	BW +disp 16

表14-6 8/16ビット汎用レジスタの選択

reg, reg'	W = 0	W = 1
0 0 0	AL	AW
0 0 1	CL	CW
0 1 0	DL	DW
0 1 1	BL	BW
1 0 0	AH	SP
1 0 1	CH	BP
1 1 0	DH	IX
1 1 1	BH	IY

表14-7 セグメント・レジスタの選択

sreg	
0 0	DS 1
0 1	PS
1 0	SS
1 1	DS 0

次頁以降にインストラクション・セットを表形式で説明します。

表の中で示されているクロック数は、実行ユニットが命令実行に必要なとする時間で、次の条件に基づいています。

- ・プリフェッチ時間、プリデコード時間、バス使用のための待ち時間などは含みません。
- ・メモリ・アクセスは、0 ウェイトを想定しています。
つまり、1バス・サイクルのクロック数は2クロックです。
- ・I/Oアクセスは0 ウェイトを想定しています。
- ・プリミティブ・ブロック転送命令、プリミティブ入出力命令はリピート・プリフィクスも含んでいます。
- ・バス・サイジング機能で16ビットを指定した場合のクロック数です。8ビット指定を行う場合、偶数番地へのワード・データに対するバス・サイクルを2倍にしてください。
- ・通常アドレス・モードについて表記しています。

バイト処理とワード処理がある命令 (Wビットを持つ) のクロック数は次のように示します。

- ／の左側：バイト処理 (W=0) に対する値、または偶数アドレスのワード処理 (W=1) に対する値
- ／の右側：奇数アドレスのワード処理 (W=1) に対する値

なお、ブロック転送関連命令のクロック数については表14-8を参照してください。

表14-8 ブロック転送関連命令のクロック数

★

命 令	ク ロ ッ ク 数			
	バイト処理 (W=0)	ワード処理 (W=1)		
		奇数, 奇数アドレス	偶数, 偶数アドレス	奇数, 偶数アドレス
MOVBK	6/rep (6)	10/rep (10)	6/rep (6)	8/rep (8)
CMPBK	12/rep-1 (11)	16/rep-1 (15)	12/rep-1 (11)	14/rep-1 (13)
CMPM	10/rep-1 (9)	12/rep-1 (11)	10/rep-1 (9)	————
LDM	3/rep+2 (5)	5/rep+2 (7)	3/rep+2 (5)	————
STM	3/rep (3)	5/rep (5)	3/rep (3)	————
INM	8/rep+4 (12)	14/rep+8 (22)	8/rep+4 (12)	I/Oアドレスが奇数： 12/rep+8 (20) メモリ・アドレスが奇数： 10/rep+4 (14)
OUTM	12/rep-6 (6)	22/rep-6 (16)	12/rep-6 (6)	I/Oアドレスが奇数： 20/rep-6 (14) メモリ・アドレスが奇数： 14/rep-6 (8)

備考1. () 内は1回だけの処理の場合に適用します。

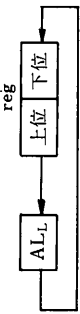
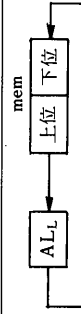
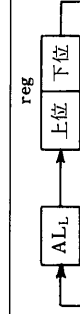
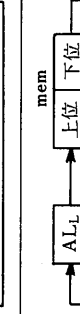
2. 「/rep」 はリピート回数を表します。1回の実行でリピート1回です。

命令群	二モニック	オペランド	オペレーション・コード		バイト数	クロック数	オペベレシヨ	ン	フ ラ グ					
			76543210	11reg reg'					AC	CY	V	P	S	Z
MOV	reg,reg'	reg,reg'	1000101W	11 reg reg'	2	2	reg←reg'							
	mem,reg	mem,reg	1000100W	mod reg mem	2-4	3/5	(mem)←reg							
	reg,mem	reg,mem	1000101W	mod reg mem	2-4	5/7	reg←(mem)							
	mem,imm	mem,imm	1100011W	mod 0 0 0 mem	3-6	3/5	(mem)←imm							
	reg,imm	reg,imm	1011W reg		2-3	2	reg←imm							
	acc,dmem	acc,dmem	1010000W		3	5/7	W=0のとき AL←(dmem) W=1のとき AH←(dmem+1),AL←(dmem)							
	dmem,acc	dmem,acc	1010001W		3	3/5	W=0のとき (dmem)←AL W=1のとき (dmem+1)←AH,(dmem)←AL							
	sreg,reg16	sreg,reg16	10001110	110 sreg reg'	2	2	sreg←reg16	sreg : SS, DS0, DS1						
	sreg,mem16	sreg,mem16	10001110	mod 0 sreg mem	2-4	5/7	sreg←(mem16)	sreg : SS, DS0, DS1						
	reg16,sreg	reg16,sreg	10001100	110 sreg reg	2	2	reg16←sreg							
転送	mem16,sreg	mem16,sreg	10001100	mod 0 sreg mem	2-4	3/5	(mem16)←sreg							
	DS0,reg16,mem32	DS0,reg16,mem32	11000101	mod reg mem	2-4	10/14	reg16←(mem32) DS0←(mem32+2)							
	DS1,reg16,mem32	DS1,reg16,mem32	11000100	mod reg mem	2-4	10/14	reg16←(mem32) DS1←(mem32+2)							
	AH,PSW	AH,PSW	10011111		1	2	AH←S,Z,X,AC,X,P,X,CY							
命令	PSW,AH	PSW,AH	10011110		1	2	S,Z,X,AC,X,P,X,CY←AH							
	reg16,mem16	reg16,mem16	10001101	mod reg mem	2-4	2	reg16←mem16							
命令	TRANS	src-table	11010111		1	5	AL←(BW+AL)							
	XCH	reg,reg'	1000011W	11 reg reg'	2	3	reg↔reg'							
命令	mem,reg	mem,reg	1000011W	mod reg mem	2-4	8/12	(mem)↔reg							
	AW,reg16	AW,reg16	10010 reg		1	3	AW↔reg16							

命令群	オペランド	オペレーション・コード		バイト数	クロック数	オペレーション	フラグ						
		76543210	76543210				AC	CY	V	P	S	Z	
REPC		01100101		1	2	CWキ0の間、続くバイトのプリミティブ・ブロック転送命令を実行し、CWをデクリメント(-1)する。保留割り込みがあれば処理する。CYキ1のときループを抜ける。							
REPNC		01100100		1	2	同上 CYキ0のときループを抜ける。							
REP		11110011		1	2	CWキ0の間、続くバイトのプリミティブ・ブロック転送命令を実行し、CWをデクリメント(-1)する。保留割り込みがあれば処理する。プリミティブ・ブロック転送命令がCMPBKまたはCMPMでかつ、Zキ1のときループを抜ける。							
REPNE		11110010		1	2	同上							
REPNZ				1	2	Zキ0のときループを抜ける。							
MOVBK	dst-block, src-block	1010010W		1	表14-8 参照	W=0のとき (IY)←(IX) DIR=0 : IX←IX+1, IY←IY+1 DIR=1 : IX←IX-1, IY←IY-1 W=1のとき (IY+1, IY)←(IX+1, IX) DIR=0 : IX←IX+2, IY←IY+2 DIR=1 : IX←IX-2, IY←IY-2							
CMPBK	src-block, dst-block	1010011W		1	"	W=0のとき (IX)←(IY) DIR=0 : IX←IX+1, IY←IY+1 DIR=1 : IX←IX-1, IY←IY-1 W=1のとき (IX+1, IX)←(IY+1, IY) DIR=0 : IX←IX+2, IY←IY+2 DIR=1 : IX←IX-2, IY←IY-2							
CMPM	dst-block	1010111W		1	"	W=0のとき AL←(IY) DIR=0 : IY←IY+1; DIR=1 : IY←IY-1 W=1のとき AW←(IY+1, IY) DIR=0 : IY←IY+2; DIR=1 : IY←IY-2							
LDM	src-block	1010110W		1	"	W=0のとき AL←(IX) DIR=0 : IX←IX+1; DIR=1 : IX←IX-1 W=1のとき AW←(IX+1, IX) DIR=0 : IX+2; DIR=1 : IX←IX-2							
STM	dst-block	1010101W		1	"	W=0のとき (IY)←AL DIR=0 : IY←IY+1; DIR=1 : IY←IY-1 W=1のとき (IY+1, IY)←AW DIR=0 : IY←IY+2; DIR=1 : IY←IY-2							

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	クロック数	オペレーション	フ ラ グ				
			76543210	76543210				AC	CY	V	P	S
INS	reg8,reg8	00001111	00110001	3	37-69	16ビット・フィールド←AW						
		11 reg' reg			/39-77							
EXT	reg8,imm4	00001111	00111001	4	"	16ビット・フィールド←AW						
		11000 reg										
EXT	reg8,reg8	00001111	00110011	3	29-61	AW←16ビット・フィールド						
		11 reg' reg			/33-63							
EXT	reg8,imm4	00001111	00111011	4	"	AW←16ビット・フィールド						
		11000 reg										
IN	acc,imm8	1110010W		2	5/7	W=0のとき AL←(imm8) W=1のとき AH←(imm8+1),AL←(imm8)						
		1110110W		1	"	W=0のとき AL←(DW) W=1のとき AH←(DW+1),AL←(DW)						
OUT	imm8,acc	1110011W		2	3/5	W=0のとき (imm8)←AL W=1のとき (imm8+1)←AH,(imm8)←AL						
		DW,acc	1110111W	1	"	W=0のとき (DW)←AL W=1のとき (DW+1)←AH,(DW)←AL						
INM	dst-block, DW	0110110W		1	表14-8	W=0のとき (IY)←(DW) DIR=0 : IY←IY+1; DIR=1 : IY←IY-1						
					参照	W=1のとき (IY+1,IY)←(DW+1,DW) DIR=0 : IY←IY+2; DIR=1 : IY←IY-2						
OUTM	DW, src-block	0110111W		1	"	W=0のとき (DW)←(IX) DIR=0 : IX←IX+1; DIR=1 : IX←IX-1						
						W=1のとき (DW+1,DW)←(IX+1,IX) DIR=0 : IX←IX+2; DIR=1 : IX←IX-2						

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	クロック数	オペレーション	フラグ						
			76543210	11reg reg'				AC	CY	V	P	S	Z	
加	ADD	reg,reg'	000001W	11 reg reg'	2	2	reg←reg+reg'	X	X	X	X	X	X	
		mem,reg	000000W	mod reg mem	2-4	7/11	(mem)←(mem)+reg	X	X	X	X	X	X	X
		reg,mem	000001W	mod reg mem	2-4	6/8	reg←reg+(mem)	X	X	X	X	X	X	X
		reg,imm	100000sW	11000 reg	3-4	2	reg←reg+imm	X	X	X	X	X	X	X
		mem,imm	100000sW	mod 000 mem	3-6	7/11	(mem)←(mem)+imm	X	X	X	X	X	X	X
		acc,imm	0000010W		2-3	2	W=0のとき AL←AL+imm W=1のとき AW←AW+imm	X	X	X	X	X	X	X
		reg,reg'	0001001W	11 reg reg'	2	2	reg←reg+reg'+CY	X	X	X	X	X	X	X
		mem,reg	0001000W	mod reg mem	2-4	7/11	(mem)←(mem)+reg+CY	X	X	X	X	X	X	X
		reg,mem	0001001W	mod reg mem	2-4	6/8	reg←reg+(mem)+CY	X	X	X	X	X	X	X
		reg,imm	100000sW	11010 reg	3-4	2	reg←reg+imm+CY	X	X	X	X	X	X	X
減	ADDC	mem,imm	100000sW	mod 010 mem	3-6	7/11	(mem)←(mem)+imm+CY	X	X	X	X	X	X	X
		acc,imm	0001010W		2-3	2	W=0のとき AL←AL+imm+CY W=1のとき AW←AW+imm+CY	X	X	X	X	X	X	X
		reg,reg'	0010101W	11 reg reg'	2	2	reg←reg-reg'	X	X	X	X	X	X	X
		mem,reg	0010100W	mod reg mem	2-4	7/11	(mem)←(mem)-reg	X	X	X	X	X	X	X
		reg,mem	0010101W	mod reg mem	2-4	6/8	reg←reg-(mem)	X	X	X	X	X	X	X
		reg,imm	100000sW	11101 reg	3-4	2	reg←reg-imm	X	X	X	X	X	X	X
		mem,imm	100000sW	mod 101 mem	3-6	7/11	(mem)←(mem)-imm	X	X	X	X	X	X	X
		acc,imm	0010110W		2-3	2	W=0のとき AL←AL-imm W=1のとき AW←AW-imm	X	X	X	X	X	X	X
		reg,reg'	0001101W	11 reg reg'	2	2	reg←reg-reg'-CY	X	X	X	X	X	X	X
		mem,reg	0001100W	mod reg mem	2-4	7/11	(mem)←(mem)-reg-CY	X	X	X	X	X	X	X
算	SUB	reg,mem	0001101W	mod reg mem	2-4	6/8	reg←reg-(mem)-CY	X	X	X	X	X	X	X
		reg,imm	100000sW	11011 reg	3-4	2	reg←reg-imm-CY	X	X	X	X	X	X	X
		mem,imm	100000sW	mod 011 mem	3-6	7/11	(mem)←(mem)-imm-CY	X	X	X	X	X	X	X
		acc,imm	0001110W		2-3	2	W=0のとき AL←AL-imm-CY W=1のとき AW←AW-imm-CY	X	X	X	X	X	X	X

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	クロック数	オペレーション	フラグ				
			76543210	76543210				AC	CY	V	P	S
B	ADD4S		00001111	00100000	2	$18 \times n + 2$	dst BCD string ← dst BCD string + src BCD string 注	U	X	U	U	X
	SUB4S		00001111	00100010	2	"	dst BCD string ← dst BCD string - src BCD string 注	U	X	U	U	X
	CMP4S		00001111	00100110	2	$14 \times n + 2$	dst BCD string - src BCD string 注	U	X	U	U	X
D	ROL4	reg8	00001111	00101000	3	9						
		mem8	00001111	00101000	3-5	15						
演算命令	ROR4	reg8	00001111	00101010	3	13						
		mem8	00001111	00101010	3-5	19						
増減命令	INC	reg8	11111110	11000 reg	2	2	reg8 ← reg8 + 1	X		X	X	X
		mem	1111111W	mod 000 mem	2-4	7/11	(mem) ← (mem) + 1	X		X	X	X
		reg16	01000 reg		1	2	reg16 ← reg16 + 1	X		X	X	X
命令	DEC	reg8	11111110	11001 reg	2	2	reg8 ← reg8 - 1	X		X	X	X
		mem	1111111W	mod 001 mem	2-4	7/11	(mem) ← (mem) - 1	X		X	X	X
		reg16	01001 reg		1	2	reg16 ← reg16 - 1	X		X	X	X

備考 nはBCD桁数の1/2です。
 注 BCD桁数はCLレジスタで与えられ、1から254の値が設定可能です。

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	クロック数	オペレーション	フラグ				
			76543210	76543210				AC	CY	V	P	S
乗	MULU	reg8	11110110	11100 reg	2	8	AW←AL×reg8 AH=0:CY←0, V←0 AH≠0:CY←1, V←1	U	X	U	U	U
		mem8	11110110	mod 100 mem	2-4	12	AW←AL×(mem8) AH=0:CY←0, V←0 AH≠0:CY←1, V←1	U	X	U	U	U
		reg16	11110111	11100 reg	2	12	DW←AW×reg16 DW=0:CY←0, V←0 DW=1:CY←1, V←1	U	X	U	U	U
		mem16	11110111	mod 100 mem	2-4	16/18	DW←AW×(mem16) DW=0:CY←0, V←0 DW=1:CY←1, V←1	U	X	U	U	U
算	MUL	reg8	11110110	11101 reg	2	8	AW←AL×reg8 AH=ALのサイン拡張:CY←0, V←0 AH≠ALのサイン拡張:CY←1, V←1	U	X	U	U	U
		mem8	11110110	mod 101 mem	2-4	12	AW←AL×(mem8) AH=ALのサイン拡張:CY←0, V←0 AH≠ALのサイン拡張:CY←1, V←1	U	X	U	U	U
		reg16	11110111	11101 reg	2	12	DW←AW×reg16 DW=AWのサイン拡張:CY←0, V←0 DW≠AWのサイン拡張:CY←1, V←1	U	X	U	U	U
		mem16	11110111	mod 101 mem	2-4	16/18	DW←AW×(mem16) DW=AWのサイン拡張:CY←0, V←0 DW≠AWのサイン拡張:CY←1, V←1	U	X	U	U	U
命	令	reg16, (reg16)注 imm8	01101011	11 reg reg'	3	12	reg16←reg16×imm8 積≤16ビット:CY←0, V←0 積>16ビット:CY←1, V←1	U	X	U	U	U
		reg16, mem16, imm8	01101011	mod reg mem	3-5	16/18	reg16←(mem16)×imm8 積≤16ビット:CY←0, V←0 積>16ビット:CY←1, V←1	U	X	U	U	U
		reg16, (reg16)注 imm16	01101001	11 reg reg'	4	12	reg16←reg16×imm16 積≤16ビット:CY←0, V←0 積>16ビット:CY←1, V←1	U	X	U	U	U
		reg16, mem16, imm16	01101001	mod reg mem	4-6	16/18	reg16←(mem16)×imm16 積≤16ビット:CY←0, V←0 積>16ビット:CY←1, V←1	U	X	U	U	U

注 第1オペランドは第1オペランドと同じレジスタを指定したことになります。第2オペランドは省略可。省略した場合は第1オペランドと同じレジスタを指定したことになります。

命令群	オペランド	オペレーション・コード		バイト数	クロック数	オペレーション	フラグ						
		76543210	76543210				AC	CY	V	P	S	Z	
DIVU	reg8	11110110	11110 reg	2	11	temp←AW temp÷reg8≤FFHのとき AH←temp%reg8, AL←temp÷reg8 temp÷reg8>FFHのとき TA←(001H, 000H), TC←(003H, 002H) SP←SP-2, (SP+1, SP)←PSW, IE←0, BRK←0 SP←SP-2, (SP+1, SP)←PS, PS←TC SP←SP-2, (SP+1, SP)←PC注, PC←TA	U	U	U	U	U	U	
		11110110	mod 110 mem	2-4	15	temp←AW temp÷(mem8)≤FFHのとき AH←temp%(mem8), AL←temp÷(mem8) temp÷(mem8)>FFHのとき TA←(001H, 000H), TC←(003H, 002H) SP←SP-2, (SP+1, SP)←PSW, IE←0, BRK←0 SP←SP-2, (SP+1, SP)←PS, PS←TC SP←SP-2, (SP+1, SP)←PC注, PC←TA	U	U	U	U	U	U	
	reg16	11110111	11110 reg	2	19	temp←DW, AW temp÷reg16≤FFFFHのとき DW←temp%reg16, AW←temp÷reg16 temp÷reg16>FFFFHのとき TA←(001H, 000H), TC←(003H, 002H) SP←SP-2, (SP+1, SP)←PSW, IE←0, BRK←0 SP←SP-2, (SP+1, SP)←PS, PS←TC SP←SP-2, (SP+1, SP)←PC注, PC←TA	U	U	U	U	U	U	
命令	mem16	11110111	mod 110 mem	2-4	23/25	temp←DW, AW temp÷(mem16)≤FFFFHのとき DW←temp%(mem16), AW←temp÷(mem16) temp÷(mem16)>FFFFHのとき TA←(001H, 000H), TC←(003H, 002H) SP←SP-2, (SP+1, SP)←PSW, IE←0, BRK←0 SP←SP-2, (SP+1, SP)←PS, PS←TC SP←SP-2, (SP+1, SP)←PC注, PC←TA	U	U	U	U	U	U	U

注 DIVU命令の先頭番地

★

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	クロック数	オペレーション	フラグ					
			76543210	76543210				AC	CY	V	P	S	Z
命令群	DIV	reg8	11110110	111111reg	2	17	temp←AW temp÷reg8>0でtemp÷reg8≤7FHまたは temp÷reg8<0でtemp÷reg8>0-7FH-1のとき AH←temp%reg8, AL←temp÷reg8 temp÷reg8>0でtemp÷reg8>7FHまたは temp÷reg8<0でtemp÷reg8≤0-7FH-1のとき TA←(001H, 000H), TC←(003H, 002H) SP←SP-2, (SP+1, SP)←PSW, IE←0, BRK←0 SP←SP-2, (SP+1, SP)←PS, PS←TC SP←SP-2, (SP+1, SP)←PC ^注 , PC←TA	U	U	U	U	U	U
			11110110	mod1111mem	2-4	20	temp←AW temp÷(mem8)>0でtemp÷(mem8)≤7FHまたは temp÷(mem8)<0でtemp÷(mem8)>0-7FH-1のとき AH←temp%(mem8), AL←temp÷(mem8) temp÷(mem8)>0でtemp÷(mem8)>7FHまたは temp÷(mem8)<0でtemp÷(mem8)≤0-7FH-1のとき TA←(001H, 000H), TC←(003H, 002H) SP←SP-2, (SP+1, SP)←PSW, IE←0, BRK←0 SP←SP-2, (SP+1, SP)←PS, PS←TC SP←SP-2, (SP+1, SP)←PC ^注 , PC←TA	U	U	U	U	U	
			11110111	111111reg	2	24	temp←DW, AW temp÷reg16>0でtemp÷reg16≤7FFFHまたは temp÷reg16<0でtemp÷reg16>0-7FFFH-1のとき DW←temp%reg16, AW←temp÷reg16 temp÷reg16>0でtemp÷reg16>7FFFHまたは temp÷reg16<0でtemp÷reg16≤0-7FFFH-1のとき TA←(001H, 000H), TC←(003H, 002H) SP←SP-2, (SP+1, SP)←PSW, IE←0, BRK←0 SP←SP-2, (SP+1, SP)←PS, PS←TC SP←SP-2, (SP+1, SP)←PC ^注 , PC←TA	U	U	U	U	U	
命令群	DIV	mem16	11110111	mod1111mem	2-4	28/30	temp←DW, AW temp÷(mem16)>0でtemp÷(mem16)≤7FFFHまたは temp÷(mem16)<0でtemp÷(mem16)>0-7FFFH-1のとき DW←temp%(mem16), AW←temp÷(mem16) temp÷(mem16)>0でtemp÷(mem16)>7FFFHまたは temp÷(mem16)<0でtemp÷(mem16)≤0-7FFFH-1のとき TA←(001H, 000H), TC←(003H, 002H) SP←SP-2, (SP+1, SP)←PSW, IE←0, BRK←0 SP←SP-2, (SP+1, SP)←PS, PS←TC SP←SP-2, (SP+1, SP)←PC ^注 , PC←TA	U	U	U	U	U	U

注 DIV命令の先頭番地

命令群	オペランド	オペレーション・コード		バイト数	クロック数	オペレーション	フラグ					
		76543210	76543210				AC	CY	V	P	S	Z
B	ADJBA	00110111		1	4	AL∧0FH>9 or AC=1のときAL←AL+6 AH←AH+1, AC←1, CY←AC, AL←AL∧0FH	X	X	U	U	U	U
C	ADJ4A	00100111		1	2	AL∧0FH>9 or AC=1のとき AL←AL+6, AC←1 AL>99H or CY=1のとき AL←AL+60H, CY←1	X	X	U	X	X	X
D	ADJBS	00111111		1	4	AL∧0FH>9 or AC=1のとき AL←AL-6, AH←AH-1, AC←1 CY←AC, AL←AL∧0FH	X	X	U	U	U	U
補正命令	ADJ4S	00101111		1	2	AL∧0FH>9 or AC=1のとき AL←AL-6, AC←1 AL>99H or CY=1のとき AL←AL-60H, CY←1	X	X	U	X	X	X
データ変換命令	CVTBD	11010100	00001010	2	12	AH←AL÷0AH, AL←AL%0AH	U	U	U	X	X	X
	CVTDB	11010101	00001010	2	8	AH←0, AL←AH×0AH+AL	U	U	U	X	X	X
	CVTBW	10011000		1	2	AL<80HのときAH←0, それ以外のときAH←FFH						
	CVTWL	10011001		1	2	AW<8000HのときDW←0, それ以外のときDW←FFFFH						
比較命令	CMP	reg, reg'	11 reg reg'	2	2	reg-reg'	X	X	X	X	X	X
		mem, reg	mod reg mem	2-4	6/8	(mem)-reg	X	X	X	X	X	X
		reg, mem	mod reg mem	2-4	6/8	reg-(mem)	X	X	X	X	X	X
		reg, imm	111111 reg	3-4	2	reg-imm	X	X	X	X	X	X
		mem, imm	mod 1111 mem	3-6	6/8	(mem)-imm	X	X	X	X	X	X
		acc, imm	0011110W	2-3	2	W=0のとき AL←imm W=1のとき AW←imm	X	X	X	X	X	X
		reg	1111011W	1101010 reg	2	2	reg-reg					
補数演算命令	NEG	mem	mod 010 mem	2-4	7/11	(mem)←(mem)						
		reg	111011W	2	2	reg←reg+1	X	X	X	X	X	X
		mem	mod 011 mem	2-4	7/11	(mem)←(mem)+1	X	X	X	X	X	X

命令群	メモック	オペランド	オペレーション・コード		バイト数	クロック数	オペレーション	フラグ					
			76543210	11reg' reg				AC	CY	V	P	S	Z
TEST	reg,reg'		1000010W	11 reg' reg	2	2	reg^reg'	U	0	0	X	X	X
	mem,reg reg,mem		1000010W	mod reg mem	2-4	6/8	(mem)^reg	U	0	0	X	X	X
	reg,imm		1111011W	11000 reg	3-4	2	reg^imm	U	0	0	X	X	X
	mem,imm		1111011W	mod 000 mem	3-6	6/8	(mem)^imm	U	0	0	X	X	X
	acc,imm		1010100W		2-3	2	W=0のとき AL^imm8 W=1のとき AW^imm16	U	0	0	X	X	X
	reg,reg'		0010001W	11 reg reg'	2	2	reg←reg^reg'	U	0	0	X	X	X
AND	mem,reg		0010000W	mod reg mem	2-4	7/11	(mem)←(mem)^reg	U	0	0	X	X	X
	reg,mem		0010001W	mod reg mem	2-4	6/8	reg←reg^(mem)	U	0	0	X	X	X
	reg,imm		1000000W	11100 reg	3-4	2	reg←reg^imm	U	0	0	X	X	X
	mem,imm		1000000W	mod 100 mem	3-6	7/11	(mem)←(mem)^imm	U	0	0	X	X	X
	acc,imm		0010010W		2-3	2	W=0のとき AL←AL^imm8 W=1のとき AW←AW^imm16	U	0	0	X	X	X
	reg,reg'		0000101W	11 reg reg'	2	2	reg←reg^reg'	U	0	0	X	X	X
OR	mem,reg		0000100W	mod reg mem	2-4	7/11	(mem)←(mem)^reg	U	0	0	X	X	X
	reg,mem		0000101W	mod reg mem	2-4	6/8	reg←reg^(mem)	U	0	0	X	X	X
	reg,imm		1000000W	11001 reg	3-4	2	reg←reg^imm	U	0	0	X	X	X
	mem,imm		1000000W	mod 001 mem	3-6	7/11	(mem)←(mem)^imm	U	0	0	X	X	X
	acc,imm		0000110W		2-3	2	W=0のとき AL←AL^imm8 W=1のとき AW←AW^imm16	U	0	0	X	X	X
	reg,reg'		0011001W	11 reg reg'	2	2	reg←reg^reg'	U	0	0	X	X	X
XOR	mem,reg		0011000W	mod reg mem	2-4	7/11	(mem)←(mem)^reg	U	0	0	X	X	X
	reg,mem		0011001W	mod reg mem	2-4	6/8	reg←reg^(mem)	U	0	0	X	X	X
	reg,imm		1000000W	11110 reg	3-4	2	reg←reg^imm	U	0	0	X	X	X
	mem,imm		1000000W	mod 110 mem	3-6	7/11	(mem)←(mem)^imm	U	0	0	X	X	X
	acc,imm		0011010W		2-3	2	W=0のとき AL←AL^imm8 W=1のとき AW←AW^imm16	U	0	0	X	X	X
	reg,reg'		0000101W	11 reg reg'	2	2	reg←reg^reg'	U	0	0	X	X	X

命令群	オペランド	オペレーション・コード				クロック数	ビット数	オペレーション	フラグ					
		7	6	5	4				3	2	1	0	AC	CY
TEST1 ビット 操作	reg8,CL	0 0 0 1 0 0 0 0	1 1 0 0 0	reg	3	4	reg8のビットNO.CL=0 : Z←1 = 1 : Z←0	U	0	0	U	U	U	X
	mem8,CL	0 0 0 0	mod 0 0 0	mem	3-5	8	(mem8)のビットNO.CL=0 : Z←1 = 1 : Z←0	U	0	0	U	U	U	X
	reg16,CL	0 0 0 1	1 1 0 0 0	reg	3	4	reg16のビットNO.CL=0 : Z←1 = 1 : Z←0	U	0	0	U	U	U	X
	mem16,CL	0 0 0 1	mod 0 0 0	mem	3-5	8/10	(mem16)のビットNO.CL=0 : Z←1 = 1 : Z←0	U	0	0	U	U	U	X
	reg8,imm3	1 0 0 0	1 1 0 0 0	reg	4	4	reg8のビットNO.imm3=0 : Z←1 = 1 : Z←0	U	0	0	U	U	U	X
	mem8,imm3	1 0 0 0	mod 0 0 0	mem	4-6	8	(mem8)のビットNO.imm3=0 : Z←1 = 1 : Z←0	U	0	0	U	U	U	X
	reg16,imm4	1 0 0 1	1 1 0 0 0	reg	4	4	reg16のビットNO.imm4=0 : Z←1 = 1 : Z←0	U	0	0	U	U	U	X
	mem16,imm4	1 0 0 1	mod 0 0 0	mem	4-6	8/10	(mem16)のビットNO.imm4=0 : Z←1 = 1 : Z←0	U	0	0	U	U	U	X
	reg8,CL	0 1 1 0	1 1 0 0 0	reg	3	4	reg8のビットNO.CL←reg8のビットNO.CL	U	0	0	U	U	U	X
	mem8,CL	0 1 1 0	mod 0 0 0	mem	3-5	9	(mem8)のビットNO.CL←(mem8)のビットNO.CL	U	0	0	U	U	U	X
	reg16,CL	0 1 1 1	1 1 0 0 0	reg	3	4	reg16のビットNO.CL←reg16のビットNO.CL	U	0	0	U	U	U	X
	mem16,CL	0 1 1 1	mod 0 0 0	mem	3-5	9/13	(mem16)のビットNO.CL←(mem16)のビットNO.CL	U	0	0	U	U	U	X
	reg8,imm3	1 1 1 0	1 1 0 0 0	reg	4	4	reg8のビットNO.imm3←reg8のビットNO.imm3	U	0	0	U	U	U	X
mem8,imm3	1 1 1 0	mod 0 0 0	mem	4-6	9	(mem8)のビットNO.imm3←(mem8)のビットNO.imm3	U	0	0	U	U	U	X	
reg16,imm4	1 1 1 1	1 1 0 0 0	reg	4	4	reg16のビットNO.imm4←reg16のビットNO.imm4	U	0	0	U	U	U	X	
mem16,imm4	1 1 1 1	mod 0 0 0	mem	4-6	9/13	(mem16)のビットNO.imm4←(mem16)のビットNO.imm4	U	0	0	U	U	U	X	

2バイト目注 3バイト目注 注 1バイト目=0FH

NOT1	CY	1 1 1 1 0 1 0 1	1	2	CY←CY	×
------	----	-----------------	---	---	-------	---

命令群	ニック	オペランド	オペレーション・コード		バイト数	クロック数	オペレーション	フラグ					
			76543210	76543210				AC	CY	V	P	S	Z
ビット操作命令	CLR1	reg8,CL	00010010	11000 reg	3	4	reg8のビットNO.CL←0						
		mem8,CL	0010	mod 000 mem	3-5	9	(mem8)のビットNO.CL←0						
		reg16,CL	0011	11000 reg	3	4	reg16のビットNO.CL←0						
		mem16,CL	0011	mod 000 mem	3-5	9/13	(mem16)のビットNO.CL←0						
		reg8,imm3	1010	11000 reg	4	4	reg8のビットNO.imm3←0						
		mem8,imm3	1010	mod 000 mem	4-6	9	(mem8)のビットNO.imm3←0						
	SET1	reg16,imm4	1011	11000 reg	4	4	reg16のビットNO.imm4←0						
		mem16,imm4	1011	mod 000 mem	4-6	9/13	(mem16)のビットNO.imm4←0						
		reg8,CL	0100	11000 reg	3	4	reg8のビットNO.CL←1						
		mem8,CL	0100	mod 000 mem	3-5	9	(mem8)のビットNO.CL←1						
		reg16,CL	0101	11000 reg	3	4	reg16のビットNO.CL←1						
		mem16,CL	0101	mod 000 mem	3-5	9/13	(mem16)のビットNO.CL←1						
	reg8,imm3	1100	11000 reg	4	4	reg8のビットNO.imm3←1							
	mem8,imm3	1100	mod 000 mem	4-6	9	(mem8)のビットNO.imm3←1							
	reg16,imm4	1101	11000 reg	4	4	reg16のビットNO.imm4←1							
	mem16,imm4	1101	mod 000 mem	4-6	9/13	(mem16)のビットNO.imm4←1							

2バイト目注 3バイト目注 注 1バイト目=0FH

CLR1	CY	11111000	1	2	CY←0	0
	DIR	11111100	1	2	DIR←0	
SET1	CY	11111001	1	2	CY←1	1
	DIR	11111101	1	2	DIR←1	

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	クロック数	オペレーション	フラグ					
			76543210	76543210				AC	CY	V	P	S	Z
シフト命令	SHL	reg,1	1101000W	11100 reg	2	2	CY←regのMSB,reg←reg×2 regのMSB←CYのときV←1 regのMSB=CYのときV←0	U	×	×	×	×	×
		mem,1	1101000W	mod 100 mem	2-4	7/11	CY←(mem)のMSB,(mem)←(mem)×2 (mem)のMSB←CYのとき V←1 (mem)のMSB=CYのとき V←0	U	×	×	×	×	×
		reg,CL	1101001W	11100 reg	2	2+n	temp←CL,temp≠0の間, 次の動作をくり返す CY←regのMSB,reg←reg×2 temp←temp-1	U	×	U	×	×	×
		mem,CL	1101001W	mod 100 mem	2-4	6/10+n	temp←CL,temp≠0の間, 次の動作をくり返す CY←(mem)のMSB,(mem)←(mem)×2 temp←temp-1	U	×	U	×	×	×
命令		reg,imm8	1100000W	11100 reg	3	2+n	temp←imm8,temp≠0の間, 次の動作をくり返す CY←regのMSB,reg←reg×2 temp←temp-1	U	×	U	×	×	×
		mem,imm8	1100000W	mod 100 mem	3-5	6/10+n	temp←imm8,temp≠0の間, 次の動作をくり返す CY←(mem)のMSB,(mem)←(mem)×2 temp←temp-1	U	×	U	×	×	×

備考 nはシフト数です。

命令群	オペランド	オペレーション・コード		バイト数	クロック数	オペレーション	フラグ						
		76543210	76543210				AC	CY	V	P	S	Z	
SHR	reg,1	1101000W	11101reg	2	2	$CY \leftarrow \text{regのLSB, reg} \div 2$ $\text{regのMSB} \neq \text{regのMSBの次のビット} : V \leftarrow 1$ $\text{regのMSB} = \text{regのMSBの次のビット} : V \leftarrow 0$	U	X	X	X	X	X	
	mem,1	1101000W	mod101mem	2-4	7/11	$CY \leftarrow (\text{mem})\text{のLSB, (mem)} \div 2$ $(\text{mem})\text{のMSB} \neq (\text{mem})\text{のMSBの次のビット} : V \leftarrow 1$ $(\text{mem})\text{のMSB} = (\text{mem})\text{のMSBの次のビット} : V \leftarrow 0$	U	X	X	X	X	X	
	reg,CL	1101001W	11101reg	2	2+n	$\text{temp} \leftarrow CL, \text{temp} \neq 0$ の間、次の動作をくり返す $CY \leftarrow \text{regのLSB, reg} \div 2$ $\text{temp} \leftarrow \text{temp} - 1$	U	X	U	X	X	X	
	mem,CL	1101001W	mod101mem	2-4	6/10+n	$\text{temp} \leftarrow CL, \text{temp} \neq 0$ の間、次の動作をくり返す $CY \leftarrow (\text{mem})\text{のLSB, (mem)} \div 2$ $\text{temp} \leftarrow \text{temp} - 1$	U	X	U	X	X	X	
	reg,imm8	1100000W	11101reg	3	2+n	$\text{temp} \leftarrow \text{imm8, temp} \neq 0$ の間、次の動作をくり返す $CY \leftarrow \text{regのLSB, reg} \div 2$ $\text{temp} \leftarrow \text{temp} - 1$	U	X	U	X	X	X	
	mem,imm8	1100000W	mod101mem	3-5	6/10+n	$\text{temp} \leftarrow \text{imm8, temp} \neq 0$ の間、次の動作をくり返す $CY \leftarrow (\text{mem})\text{のLSB, (mem)} \div 2$ $\text{temp} \leftarrow \text{temp} - 1$	U	X	U	X	X	X	
	reg,1	1101000W	11111reg	2	2	$CY \leftarrow \text{regのLSB, reg} \div 2, V \leftarrow 0$ オペランドのMSBは変化しません。	U	X	0	X	X	X	X
	mem,1	1101000W	mod111mem	2-4	7/11	$CY \leftarrow (\text{mem})\text{のLSB, (mem)} \div 2, V \leftarrow 0$ オペランドのMSBは変化しません。	U	X	0	X	X	X	X
	reg,CL	1101001W	11111reg	2	2+n	$\text{temp} \leftarrow CL, \text{temp} \neq 0$ の間、次の動作をくり返す $CY \leftarrow \text{regのLSB, reg} \div 2$ $\text{temp} \leftarrow \text{temp} - 1$, オペランドのMSBは変化しません。	U	X	U	X	X	X	X
	mem,CL	1101001W	mod111mem	2-4	6/10+n	$\text{temp} \leftarrow CL, \text{temp} \neq 0$ の間、次の動作をくり返す $CY \leftarrow (\text{mem})\text{のLSB, (mem)} \div 2$ $\text{temp} \leftarrow \text{temp} - 1$, オペランドのMSBは変化しません。	U	X	U	X	X	X	X
reg,imm8	1100000W	11111reg	3	2+n	$CY \leftarrow \text{regのLSB, reg} \div 2$ $\text{temp} \leftarrow \text{temp} - 1$, オペランドのMSBは変化しません。	U	X	U	X	X	X	X	
mem,imm8	1100000W	mod111mem	3-5	6/10+n	$\text{temp} \leftarrow \text{imm8, temp} \neq 0$ の間、次の動作をくり返す $CY \leftarrow (\text{mem})\text{のLSB, (mem)} \div 2$ $\text{temp} \leftarrow \text{temp} - 1$, オペランドのMSBは変化しません。	U	X	U	X	X	X	X	

備考 nはシフト数です。

命令群	オペランド	オペレーション・コード		バイト数	クロック数	オベレシヨ	フ ラ グ						
		76543210	76543210				AC	CY	V	P	S	Z	
ROL	reg,l	1101000W	11000 reg	2	2	CY←regのMSB,reg←reg×2+CY regのMSB←CY: V←1 regのMSB←CY: V←0	×	×					
	mem,l	1101000W	mod 0 0 0 mem	2-4	7/11	CY←(mem)のMSB,(mem)←(mem)×2+CY (mem)のMSB←CY: V←1 (mem)のMSB←CY: V←0	×	×					
	reg,CL	1101001W	11000 reg	2	2+n	temp←CL,temp←0の間, 次の動作をくり返す CY←regのMSB,reg←reg×2+CY temp←temp-1	×			U			
	mem,CL	1101001W	mod 0 0 0 mem	2-4	6/10+n	temp←CL,temp←0の間, 次の動作をくり返す CY←(mem)のMSB,(mem)←(mem)×2+CY temp←temp-1	×			U			
	reg,imm8	1100000W	11000 reg	3	2+n	temp←imm8,temp←0の間, 次の動作をくり返す CY←regのMSB,reg←reg×2+CY temp←temp-1	×			U			
	mem,imm8	1100000W	mod 0 0 0 mem	3-5	6/10+n	temp←imm8,temp←0の間, 次の動作をくり返す CY←(mem)のMSB,(mem)←(mem)×2+CY temp←temp-1	×			U			
	reg,l	1101000W	11001 reg	2	2	CY←regのLSB,reg←reg÷2 regのMSB←CY	×			×			
	mem,l	1101000W	mod 0 0 1 mem	2-4	7/11	regのMSB←regのMSBの次のビット: V←1 regのMSB←regのMSBの次のビット: V←0 CY←(mem)のLSB,(mem)←(mem)÷2 (mem)のMSB←CY	×			×			
	reg,CL	1101001W	11001 reg	2	2+n	temp←CL,temp←0の間, 次の動作をくり返す CY←regのLSB,reg←reg÷2 regのMSB←CY	×			U			
	mem,CL	1101001W	mod 0 0 1 mem	2-4	6/10+n	temp←CL,temp←0の間, 次の動作をくり返す CY←(mem)のLSB,(mem)←(mem)÷2 (mem)のMSB←CY	×			U			
reg,imm8	1100000W	11001 reg	3	2+n	temp←imm8,temp←0の間, 次の動作をくり返す CY←regのLSB,reg←reg÷2 regのMSB←CY	×			U				
mem,imm8	1100000W	mod 0 0 1 mem	3-5	6/10+n	temp←imm8,temp←0の間, 次の動作をくり返す CY←(mem)のLSB,(mem)←(mem)÷2 (mem)のMSB←CY	×			U				

備考 nはシフト数です。

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	クロック数	オペレ	シ	ヨ	ン	フラグ					
			76543210	76543210							AC	CY	V	P	S	Z
命令群	ROL	reg,l	76543210	1101000W	2	2	tmpcy←CY,CY←regのMSB reg←reg×2+tmpcy regのMSB←CY:V←1 regのMSB=CX:V←0	-	-	-	X	X				
			1101000W	mod 010 mem	2-4	7/11									tmpcy←CY,CY←(mem)のMSB (mem)←(mem)×2+tmpcy (mem)のMSB←CY:V←1 (mem)のMSB=CX:V←0	X
		reg,CL	1101001W	1101010 reg	2	2+n	temp←CL,temp←0の間、次の動作をくり返す tmpcy←CY,CY←regのMSB reg←reg×2+tmpcy temp←temp-1	-	-	-	-	X	U			
			1101001W	mod 010 mem	2-4	6/10+n	temp←CL,temp←0の間、次の動作をくり返す tmpcy←CY,CY←(mem)のMSB (mem)←(mem)×2+tmpcy temp←temp-1									X
		reg,imm8	1100000W	1101010 reg	3	2+n	temp←imm8,temp←0の間、次の動作をくり返す tmpcy←CY,CY←regのMSB reg←reg×2+tmpcy temp←temp-1	-	-	-	-	-	X	U		
				1100000W	mod 010 mem	3-5	6/10+n									

備考 nはシフト数です。

命令群	オペランド	オペレーション・コード		バイト数	クロック数	オペレーション	フラグ					
		76543210	76543210				AC	CY	V	P	S	Z
RORC	reg,l	1101000W	11011 reg	2	2	tmpcy←CY,CY←regのLSB reg←reg÷2 regのMSB←tmpcy regのMSB≠ regのMSBの次のビット: V←1 regのMSB= regのMSBの次のビット: V←0	X	X				
		1101000W	mod 011 mem	2-4	7/11	tmpcy←CY,CY←(mem)のLSB (mem)←(mem)÷2 (mem)のMSB←tmpcy (mem)のMSB≠ (mem)のMSBの次のビット: V←1 (mem)のMSB= (mem)のMSBの次のビット: V←0	X					
	reg,CL	1101001W	11011 reg	2	2+n	temp←CL,temp≠ 0の間, 次の動作をくり返す tmpcy←CY,CY←regのLSB reg←reg÷2 regのMSB←tmpcy temp←temp-1	X	U				
		1101001W	mod 011 mem	2-4	6/10+n	temp←CL,temp≠ 0の間, 次の動作をくり返す tmpcy←CY,CY←(mem)のLSB (mem)←(mem)÷2 (mem)のMSB←tmpcy temp←temp-1	X	U				
	reg,imm8	reg,imm8	1100000W	11011 reg	3	2+n	temp←imm8,temp≠ 0の間, 次の動作をくり返す tmpcy←CY,CY←regのLSB reg←reg÷2 regのMSB←tmpcy temp←temp-1	X	U			
			1100000W	mod 011 mem	3-5	6/10+n	temp←imm8,temp≠ 0の間, 次の動作をくり返す tmpcy←CY,CY←(mem)のLSB (mem)←(mem)÷2 (mem)のMSB←tmpcy temp←temp-1	X	U			

備考 nはシフト数です。

命令群	モニタック	オペランド	オペレーション・コード										クロック数	バイト数	オペレーション	フラグ							
			7	6	5	4	3	2	1	0	AC	CY				V	P	S	Z				
CALL		near-proc	1	1	1	0	1	0	0	0						3	7/9	SP←SP-2, (SP+1, SP)←PC PC←PC+disp					
		regptr16	1	1	1	1	1	1	1	1	1	0	1	0	reg	2	7/9	SP←SP-2, (SP+1, SP)←PC PC←regptr16					
		memptr16	1	1	1	1	1	1	1	1	1	1	0	mem	2-4	11/15	TA←(memptr16) SP←SP-2, (SP+1, SP)←PC, PC←TA						
		far-proc	1	0	0	1	1	0	1	0						5	9/13	SP←SP-2, (SP+1, SP)←PS, PS←seg SP←SP-2, (SP+1, SP)←PC, PC←offset					
		memptr32	1	1	1	1	1	1	1	1	1	1	0	mem	2-4	15/23	TA←(memptr32), TB←(memptr32+2) SP←SP-2, (SP+1, SP)←PS, PS←TB SP←SP-2, (SP+1, SP)←PC, PC←TA						
RET			1	1	0	0	0	0	1	1					1	10/12	PC←(SP+1, SP) SP←SP+2						
		pop-value	1	1	0	0	0	0	1	0					3	10/12	PC←(SP+1, SP) SP←SP+2, SP←SP+pop-value						
			1	1	0	0	1	0	1	1					1	12/16	PC←(SP+1, SP) PS←(SP+3, SP+2) SP←SP+4						
		pop-value	1	1	0	0	1	0	1	0					3	12/16	PC←(SP+1, SP) PS←(SP+3, SP+2) SP←SP+4, SP←SP+pop-value						

命令群	メモニック	オペランド	オペレーション・コード		バイト数	クロック数	オペレーション	フラグ					
			76543210	76543210				AC	CY	V	P	S	Z
スタック	PUSH	mem16	11111111	mod 110 mem	2-4	5/9	(SP-1, SP-2) ← (mem16+1, mem16) SP ← SP-2						
		reg16	01010 reg		1	3/5	(SP-1, SP-2) ← reg16 SP ← SP-2						
		sreg	000sreg110		1	3/5	(SP-1, SP-2) ← sreg SP ← SP-2						
		PSW	10011100		1	3/5	(SP-1, SP-2) ← PSW SP ← SP-2						
		R	01100000		1	20/36	Push registers on the stack						
操作	POP	imm8	01101010		2	3/5	(SP-1, SP-2) ← imm 8のサイン拡張 SP ← SP-2						
		imm16	01101000		3	3/5	(SP-1, SP-2) ← imm16 SP ← SP-2						
		mem16	10001111	mod 000 mem	2-4	5/9	SP ← SP+2 (mem16) ← (SP-1, SP-2)						
		reg16	01011 reg		1	5/7	reg16 ← (SP-1, SP-2)						
		sreg	000sreg111		1	5/7	SP ← SP+2 sreg ← (SP-1, SP-2)						
命令	BR	PSW	10011101		1	5/7	SP ← SP+2 PSW ← (SP-1, SP-2)						
		R	01100001		1	22/38	Pop registers from the stack	R	R	R	R	R	R
		imm16,imm8	11001000		4	注	Prepare New Stack Frame						
			11001001		1	6/8	Dispose of Stack Frame						
		near-label	11101001		3	7	PC ← PC+disp						
フラッシュ	BR	short-label	11101011		2	7	PC ← PC+ext-disp8						
		regptr16	11111111	11100 reg	2	7	PC ← regptr16						
		memptr16	11111111	mod 100 mem	2-4	11/13	PC ← (memptr16)						
		far-label	11101010		5	7	PS ← seg PC ← offset						
		memptr32	11111111	mod 101 mem	2-4	13/17	PS ← (memptr32+2) PC ← (memptr32)						

注 imm8=0のとき 15
imm8≥1のとき 17+12(imm8-1): 奇数アドレス
15+8(imm8-1): 偶数アドレス

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	クロック注数	オペレーション	フラグ						
			76543210	76543210				AC	CY	V	P	S	Z	
	BV	short-label	01110000		2	6/3	PC←PC+ext-disp8	if V=1						
	BNV	"	0001		"	"	"	if V=0						
	BC BL	"	0010		"	"	"	if CY=1						
	BNC BNL	"	0011		"	"	"	if CY=0						
	BE BZ	"	0100		"	"	"	if Z=1						
	BNE BNZ	"	0101		"	"	"	if Z=0						
	BNH	"	0110		"	"	"	if CY∨Z=1						
	BH	"	0111		"	"	"	if CY∨Z=0						
	BN	"	1000		"	"	"	if S=1						
	BP	"	1001		"	"	"	if S=0						
	BPE	"	1010		"	"	"	if P=1						
	BPO	"	1011		"	"	"	if P=0						
	BLT	"	1100		"	"	"	if S∨V=1						
	BGE	"	1101		"	"	"	if S∨V=0						
	BLE	"	1110		"	"	"	if (S∨V)∨Z=1						
	BGT	"	1111		"	"	"	if (S∨V)∨Z=0						
	DBNZNE	"	11100000		"	"	"	CW=CW-1 if Z=0 and CW≠0						
	DBNZE	"	0001		"	"	"	CW=CW-1 if Z=1 and CW≠0						
	DBNZ	"	0010		"	"	"	CW=CW-1 if CW≠0						
	BCWZ	"	0011		"	"	"	if CW=0						

注 コンディション判定：真/偽

命令群	オペランド	オペレーション・コード		バイト数	クロック数	オペレーション	フラグ				
		76543210	76543210				AC	CY	V	P	S
割り込み	BRK	3	11001100	1	18/24	TA←(00DH,00CH), TC←(00FH,00EH) SP←SP-2, (SP+1, SP)←PSW, IE←0, BRK←0 SP←SP-2, (SP+1, SP)←PS, PS←TC SP←SP-2, (SP+1, SP)←PC ^{注1} , PC←TA					
		imm8 (≠3)	11001101	2	18/24	TA←(4n+1, 4n), TC←(4n+3, 4n+2) n=imm8 SP←SP-2, (SP+1, SP)←PSW, IE←0, BRK←0 SP←SP-2, (SP+1, SP)←PS, PS←TC SP←SP-2, (SP+1, SP)←PC ^{注1} , PC←TA					
込み	BRKV		11001110	1	注3	V=1のとき TA←(011H,010H), TC←(013H,012H) SP←SP-2, (SP+1, SP)←PSW, IE←0, BRK←0 SP←SP-2, (SP+1, SP)←PS, PS←TC SP←SP-2, (SP+1, SP)←PC ^{注1} , PC←TA					
	RETI		11001111	1	13/19	PC←(SP+1, SP), PS←(SP+3, SP+2), PSW←(SP+5, SP+4), SP←SP+6	R	R	R	R	R
命令	CHKIND	reg16, mem32	01100010	2-4	注4	(mem32) > reg16 または (mem32+2) < reg16 のとき TA←(015H,014H), TC←(017H,016H) SP←SP-2, (SP+1, SP)←PSW, IE←0, BRK←0 SP←SP-2, (SP+1, SP)←PS, PS←TC SP←SP-2, (SP+1, SP)←PC ^{注2} , PC←TA					

注1. BRK, BRKVの次の命令の先頭番地

2. CHKIND命令の先頭番地

3. V=1のとき: 20/26

V=0のとき: 3

4. 割り込み条件成立のとき : 24-26/30-32

割り込み条件不成立のとき : 12/14

命令群	二モニック	オペランド	オペレーション・コード		バイト数	クロック数	オペレーション	フラグ						
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0				AC	CY	V	P	S	Z	
C P U 制御命令	HALT		1 1 1 1 0 1 0 0		1	2	CPU Halt							
	POLL ^{注1}		1 0 0 1 1 0 1 1		1	2 + 2n	Poll and wait n : CPBUSY 端子サンプリング回数							
	DI		1 1 1 1 1 0 1 0		1	2	IE ← 0							
	EI		1 1 1 1 1 0 1 1		1	2	IE ← 1							
	BUSLOCK		1 1 1 1 0 0 0 0		1	2	Bus Lock Prefix							
	FPO1 ^{注1}	fp-op	1 1 0 1 1 X X X	1 1 Y Y Z Z Z	2	注2	No Operation							
		fp-op,mem	1 1 0 1 1 X X X	mod Y Y Y mem	2-4	注2	data bus ← (mem)							
	FPO2 ^{注1}	fp-op	0 1 1 0 0 1 1 X	1 1 Y Y Z Z Z	2	注2	No Operation							
		fp-op,mem	0 1 1 0 0 1 1 X	mod Y Y Y mem	2-4	注2	data bus ← (mem)							
	NOP		1 0 0 1 0 0 0 0		1	3	No Operation							
レジスタ操作命令	DS0 :		0 0 1 1 1 1 1 0		1	2	セグメント・オーバーライド・プリフィクス							
	DS1 :		0 0 1 0 0 1 1 0											
	PS :		0 0 1 0 1 1 1 0											
	SS :		0 0 1 1 0 1 1 0											
拡張アドレス・モード専用命令	BRKXA	imm8	0 0 0 0 1 1 1 1	1 1 1 0 0 0 0 0	3	12	temp1 ← (imm8 × 4 + 1, imm8 × 4) temp2 ← (imm8 × 4 + 3, imm8 × 4 + 2) XA ← 1 PC ← temp1 PS ← temp2 拡張アドレス・モードの設定							
	RETXA	imm8	0 0 0 0 1 1 1 1	1 1 1 1 0 0 0 0	3	12	temp1 ← (imm8 × 4 + 1, imm8 × 4) temp2 ← (imm8 × 4 + 3, imm8 × 4 + 2) XA ← 0 PC ← temp1 PS ← temp2 拡張アドレス・モードの解除							

注意1. プリフィクス以外の命令にバス・ロック・プリフィクス命令を2つ以上付けしないでください。

2. プリフィクス以外の命令にセグメント・オーバーライド・プリフィクス命令を2つ以上付けしないでください。

注1. コプロセッサを接続しない状態で、POLL 命令、FPO1 命令、FPO2 命令を実行するとコプロセッサ不在の割り込みが発生します (割り込みベクタ130)。

2. 本命令のクロック数は、コプロセッサの有無により異なります。

15. 電気的特性

(1) μ PD70236絶対最大定格 ($T_A=25^\circ\text{C}$) μ PD70236

項目	略号	条件	定格	単位
電源電圧	V_{DD}		$-0.5 \sim +7.0$	V
入力電圧	V_I		$-0.5 \sim V_{DD} + 0.3$	V
クロック入力電圧	V_K		$-0.5 \sim V_{DD} + 1.0$	V
出力短絡電流	I_{OS}		50	mA
出力電圧	V_O		$-0.5 \sim V_{DD} + 0.3$	V
動作周囲温度	T_A		$-10 \sim +70$	$^\circ\text{C}$
保存温度	T_{stg}		$-65 \sim +150$	$^\circ\text{C}$

- ★ 注意1. IC製品の出力（または入出力）端子同士を直結したり、 V_{DD} または V_{CC} やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で、製品をご使用ください。
- DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

DC特性 ($T_A = -10 \sim +70 \text{ }^\circ\text{C}$, $V_{DD} = 5 \text{ V} \pm 10 \%$)

μPD70236

項目	略号	条件	MIN.	TYP.	MAX.	単位
高レベル入力電圧	V_{IH}	RESETを除く	2.2		$V_{DD} + 0.3$	V
		RESET	$0.8 V_{DD}$		$V_{DD} + 0.3$	V
低レベル入力電圧	V_{IL}	RESETを除く	-0.5		+0.8	V
		RESET	-0.5		$0.2 V_{DD}$	V
高レベル・クロック入力電圧	V_{KH}	X1, X2	$0.8 V_{DD}$		$V_{DD} + 0.5$	V
低レベル・クロック入力電圧	V_{KL}	X1, X2	-0.5		+0.6	V
高レベル出力電圧	V_{OH}	$I_{OH} = -400 \mu\text{A}$	$0.7 V_{DD}$			V
低レベル出力電圧	V_{OL}	\overline{TC} を除く, $I_{OL} = 2.5 \text{ mA}$			0.45	V
		\overline{TC} , $I_{OL} = 5.0 \text{ mA}$			0.45	V
高レベル入力リーク電流	I_{LIH}	$V_I = V_{DD}$			10	μA
低レベル入力リーク電流	I_{LIL}	$V_I = 0 \text{ V}$			-10	μA
高レベル出力リーク電流	I_{LOH}	$V_O = V_{DD}$			10	μA
低レベル出力リーク電流	I_{LOL}	$V_O = 0 \text{ V}$			-10	μA
ハイ・レベル・ラッチ・リーク電流	I_{LLH}	$V_I = 3.0 \text{ V}$	-20		-200	μA
ロウ・レベル・ラッチ・リーク電流	I_{LLL}	$V_I = 0.8 \text{ V}$	20		200	μA
ラッチ反転電流 (L→H)	I_{ILH}				200	μA
ラッチ反転電流 (H→L)	I_{ILL}				-200	μA
電源電流 ^注	I_{DD}	動作時 ($f_x = 2 \sim 16 \text{ MHz}$)		$10f_x + 20$	$13f_x + 40$	mA
		HALT時		20	40	mA
		STOP時		1.0	3	mA

注 設定条件：TCLK0-TCLK2はCPUクロックを使用，リフレッシュ許可
値の定数10, 13の単位はmA/MHzです。

備考 TYP.値は $T_A = 25 \text{ }^\circ\text{C}$, $V_{DD} = 5.0 \text{ V}$ 時の参考値です。

容量 ($T_A=25\text{ }^\circ\text{C}$, $V_{DD}=0\text{ V}$)

μPD70236

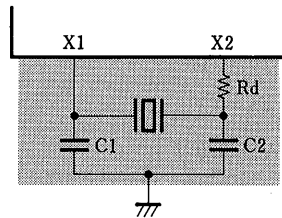
項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C_i	$f_c=1\text{ MHz}$ 被測定ピン以外は0 V			15	pF
入出力容量	C_{iO}				15	pF
出力容量	C_o				15	pF

推奨発振回路

μPD70236

クロック入力には下記の回路を推奨します。

(a) セラミック発振子接続 ($T_A=-10\sim+70\text{ }^\circ\text{C}$, $V_{DD}=5\text{ V}\pm 10\%$)



メーカー	発振周波数 f_{XX} (MHz)	品名	推奨定数		
			$C1$ (pF)	$C2$ (pF)	Rd (Ω)
村田製作所	32	CSA32.00MXZ040	3	15	100
	25	CSA25.00MXZ040	3	15	100
	20	CSA20.00MXZ040	5	22	100

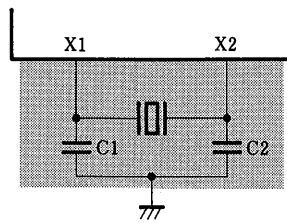
注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。

2.  の範囲にほかの信号線を通さないでください。

3. μPD70236と発振子とのマッチングについては、十分な評価を行ってください。

(b) 水晶振動子接続

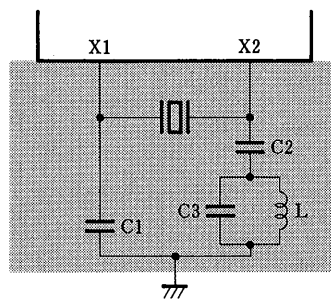
(i) 基本波による推奨発振条件 ($T_A = -10 \sim +70 \text{ }^\circ\text{C}$, $V_{DD} = 5 \text{ V} \pm 10 \%$)



メーカー	発振周波数 f_{XX} [MHz]	品名	推奨定数	
			C1 [pF]	C2 [pF]
キンセキ	20	HC-49/U	12	12

- 注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。
 2. の範囲にほかの信号線を通さないでください。
 3. μPD70236と振動子とのマッチングについては、十分な評価を行ってください。

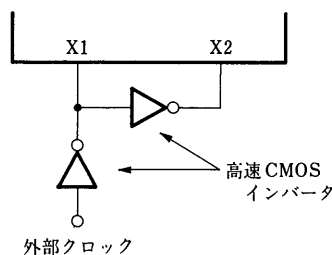
(ii) 3rd オーバ・トーンによる推奨条件 ($T_A = -10 \sim +70 \text{ }^\circ\text{C}$, $V_{DD} = 5 \text{ V} \pm 10 \%$)



メーカー	発振周波数 f_{XX} [MHz]	品名	推奨定数			
			C1 [pF]	C2 [pF]	C3 [pF]	L [μH]
キンセキ	32	HC-49/U	10	1000	22	2.2
	25		10	1000	22	3.3

- 注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。
 2. の範囲にほかの信号線を通さないでください。
 3. μPD70236と振動子とのマッチングについては、十分な評価を行ってください。

(c) 外部クロック入力



注意 高速CMOSインバータはX1, X2端子にできるかぎり近づけてください。

AC特性 (T_A = -10 ~ +70 °C, V_{DD} = 5 V ± 10 %, 出力端子の負荷容量: C_L = 100 pF)

μPD70236

(1/5)

項目	略号		図番号	μPD70236-10		μPD70236-12		μPD70236-16		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
外部クロック入力周期	①	t _{CYX}	15-1	50	250	40	250	31.25	250	ns
外部クロック入力ハイ・レベル幅	②	t _{XKH}	15-1	20		15		13		ns
外部クロック入力ロウ・レベル幅	③	t _{XKL}	15-1	20		15		13		ns
外部クロック入力立ち上がり時間	④	t _{XKR}	15-1		7		5		5	ns
外部クロック入力立ち下がり時間	⑤	t _{XKF}	15-1		7		5		5	ns
CLKOUT出力周期	⑥	t _{CYK}	15-1	100	500	80	500	62.5	500	ns
CLKOUTハイ・レベル幅	⑦	t _{KKH}	15-1	0.5t _{CYK-12}		0.5t _{CYK-10}		0.5t _{CYK-7}		ns
CLKOUTロウ・レベル幅	⑧	t _{KKL}	15-1	0.5t _{CYK-12}		0.5t _{CYK-10}		0.5t _{CYK-7}		ns
CLKOUT立ち上がり時間(1.0 V→3.5 V)	⑨	t _{KR}	15-1		12		10		7	ns
CLKOUT立ち下がり時間(3.5 V→1.0 V)	⑩	t _{KF}	15-1		12		10		7	ns
CLKOUT遅延時間(対外部クロック)	⑪	t _{DXK}	15-1	10	35	10	35	10	35	ns
PCLKOUT出力周期	⑫	t _{CYPK}	15-1	4t _{CYX}	1000	4t _{CYX}	1000	4t _{CYX}	1000	ns
PCLKOUTハイ・レベル幅	⑬	t _{PKH}	15-1	2t _{CYX-12}		2t _{CYX-10}		2t _{CYX-7}		ns
PCLKOUTロウ・レベル幅	⑭	t _{PKL}	15-1	2t _{CYX-12}		2t _{CYX-10}		2t _{CYX-7}		ns
PCLKOUT出力立ち上がり時間(1.0 V→3.5 V)	⑮	t _{PKR}	15-1		12		10		7	ns
PCLKOUT出力立ち下がり時間(3.5 V→1.0 V)	⑯	t _{PKF}	15-1		12		10		7	ns
入力立ち上がり時間 ^{注1} (0.8 V→2.2 V)	⑰	t _{IR}			15		15		12	ns
入力立ち下がり時間 ^{注1} (2.2 V→0.8 V)	⑱	t _{IF}			10		10		10	ns
出力立ち上がり時間 ^{注2} (0.8 V→2.2 V)	⑲	t _{OR}			15		15		12	ns
出力立ち下がり時間 ^{注2} (2.2 V→0.8 V)	⑳	t _{OF}			10		10		10	ns
RESET設定時間(対CLKOUT↓)	㉑	t _{SRSTK}	15-2	30		30		30		ns
RESET保持時間(対CLKOUT↓)	㉒	t _{HRST}	15-2	15		15		15		ns

(次ページに続く)

注1. 外部クロック, RESETを除きます。

2. CLKOUTとPCLKOUTを除きます。

備考 略号欄の数字は、タイミング・チャート中の数字に対応しています。

μPD70236

(2/5)

項目	略号	図番号	μPD70236-10		μPD70236-12		μPD70236-16		単位	
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
RESOUT出力遅延時間(対CLKOUT↓)	⑳	t _{DKRO}	15-2	0	40	0	40	0	40	ns
RESETロウ・レベル幅	㉑	t _{WRSTL}	15-2	6		6		6		t _{CYK}
READY設定時間(対CLKOUT↑)	㉒	t _{SRYK}	15-3, 他	10		10		7		ns
READY保持時間(対CLKOUT↑)	㉓	t _{HKRY}	15-3, 他	20		20		15		ns
BCYSTハイ・レベル幅	㉔	t _{BCBCH}	15-5, 他	t _{CYK(n+1)} -10 ^{注1}		t _{CYK(n+1)} -10 ^{注1}		t _{CYK(n+1)} -10 ^{注1}		ns
BCYSTロウ・レベル幅	㉕	t _{BCBCL}	15-5, 他	t _{CYK} -10		t _{CYK} -10		t _{CYK} -10		ns
CLKOUT↓→BCYST遅延時間	㉖	t _{DKBC}	15-5, 他	5	45	5	45	5	40	ns
CLKOUT→MRD遅延時間	㉗	t _{DKMR}	15-5, 他	0	45	0	45	0	40	ns
アドレス/ステータス出力→MRD↓, IORD↓遅延時間	㉘	t _{DARL}	15-5, 他	0.5t _{CYK} -15		0.5t _{CYK} -15		0.5t _{CYK} -15		ns
データ保持時間(対MRD↑, 対IORD↑)	㉙	t _{HRD}	15-5, 他	0		0		0		ns
CLKOUT↓←アドレス遅延時間 ^{注2}	㉚	t _{DKA}	15-5, 他	5	45	5	45	5	40	ns
データ保持時間(対R/W↓)	㉛	t _{HRWD}	15-5	0		0		0		ns
CLKOUT↓→ステータス遅延時間	㉜	t _{DKST}	15-5, 他	5	45	5	45	5	40	ns
CLKOUT↑→DSTB↓出力遅延時間	㉝	t _{DKDS}	15-5, 他	5	45	5	45	5	40	ns
CLKOUT→DSTB↑出力遅延時間	㉞	t _{DKDSH}	15-5, 他	5	45	5	45	5	40	ns
アドレス/ステータス出力→DSTB↓遅延時間	㉟	t _{DADSL}	15-5, 他	0.5t _{CYK} -15		0.5t _{CYK} -15		0.5t _{CYK} -15		ns
DSTBハイ・レベル幅	㊱	t _{DSDSH}	15-5, 他	0.5t _{CYK} -10		0.5t _{CYK} -10		0.5t _{CYK} -10		ns
DSTBロウ・レベル幅	㊲	t _{DSDSL}	15-6, 他	t _{CYK(n+1)} -10 ^{注1}		t _{CYK(n+1)} -10 ^{注1}		t _{CYK(n+1)} -10 ^{注1}		ns
データ保持時間(対DSTB↑)	㊳	t _{HSDS}	15-5, 他	0		0		0		ns
データ保持時間(対アドレス/ステータス変化点)	㊴	t _{HASD}	15-5	0		0		0		ns

(次ページに続く)

注1. nは、バス・サイクルに挿入されるウェイト・クロック数を示します。ただし、コプロセッサ・サイクルの場合はnにTCサイクル分(+1)を加えます。

2. この規格はCLKOUT信号の立ち下がりに対する、次の①-③の遅延時間について適用されます。



① アドレス遅延時間

② BUSLOCK遅延時間

③ バス・ホールド解除直後の、次の各信号の遅延時間

A23-A0, D15-D0, M/ \overline{IO} , BUSST1, BUSST0, \overline{UBE} , \overline{BCYST} , \overline{DSTB}

μPD70236

(3/5)

項目	略号	図番号	μPD70236-10		μPD70236-12		μPD70236-16		単位	
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
CLKOUT→コントロール1注1遅延時間	④③	t _{DKCT1}	15-21	0	45	0	45	0	40	ns
CLKOUT→コントロール2注2遅延時間	④④	t _{DKCT2}	15-5, 他	0	45	0	45	0	40	ns
データ設定時間(対CLKOUT↓)	④⑤	t _{SDK}	15-5, 他	10		10		10		ns
データ保持時間(対CLKOUT↓)	④⑥	t _{HKD}	15-5, 他	7		7		7		ns
DSTB↓→出力フローティング時間	④⑦	t _{DHZ}	15-5, 他		0		0		0	ns
MWR↑→アドレス/ステータス保持時間	④⑧	t _{HMWHA}	15-6	0.5t _{CYK} -15		0.5t _{CYK} -15		0.5t _{CYK} -15		ns
CLKOUT→MWR遅延時間	④⑨	t _{DKMW}	15-6, 他	0	45	0	45	0	40	ns
アドレス/ステータス出力→MWR, IOWR↓遅延時間	⑤⑩	t _{DAWL}	15-6, 他	0.5t _{CYK} -15		0.5t _{CYK} -15		0.5t _{CYK} -15		ns
MWR, IOWRロウ・レベル幅	⑤⑪	t _{WWL}	15-6, 他	t _{CYK(n+1)} -10 ^{注3}		t _{CYK(n+1)} -10 ^{注3}		t _{CYK(n+1)} -10 ^{注3}		ns
DSTB↑→アドレス/ステータス保持時間	⑤⑫	t _{HDSHA}	15-6, 他	0.5t _{CYK} -15		0.5t _{CYK} -15		0.5t _{CYK} -15		ns
DSTB↑→データ出力遅延時間	⑤⑬	t _{DDSHD}	15-6, 他	0.5t _{CYK} -15		0.5t _{CYK} -15		0.5t _{CYK} -15		ns
アドレス/ステータス出力→データ遅延時間	⑤⑭	t _{DAD}	15-6, 他	0.5t _{CYK} -15		0.5t _{CYK} -15		0.5t _{CYK} -15		ns
DSTB↑→出力セット時間	⑤⑮	t _{DLZ}	15-6, 他	0.25t _{CYK}		0.25t _{CYK}		0.25t _{CYK}		ns
CLKOUT↑→データ出力遅延時間	⑤⑯	t _{DKD}	15-6, 他	5	45	5	45	5	40	ns
CLKOUT→フロート遅延時間	⑤⑰	t _{FK}	15-6, 他	0	40	0	35	0	30	ns
CLKOUT→IORD遅延時間	⑤⑱	t _{DKIR}	15-7	0	45	0	45	0	40	ns
CLKOUT→IOWR遅延時間	⑤⑲	t _{DKIW}	15-8	0	45	0	45	0	40	ns
NMI, INTP _n (n=0-7), CPBUSY設定時間(対CLKOUT↓)	⑥⑰	t _{SIK}	15-11	15		15		10		ns

(次ページに続く)

注1. コントロール1は、DMAサイクル時のMWR, IOWR信号が対象になります。

2. コントロール2は、BUFEN, INTAK, REFRQ信号が対象になります。

3. nは、バス・サイクルに挿入されるウェイト・クロック数を示します。ただし、コプロセッサ・サイクルの場合はnにTCサイクル分(+1)を加えます。

備考1. 略号欄の数字は、タイミング・チャート中の数字に対応しています。

2. ③②t_{HRD}, ③④t_{HRWD}, ④①t_{HDS}, ④②t_{HASD}, ④⑥t_{HKD}の規格については、5つのうち1つ以上を守ってください。

μPD70236

(4/5)

項目	略号	図番号	μPD70236-10		μPD70236-12		μPD70236-16		単位	
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
NMI,INTPn(n=0-7),CPBUSY保持時間(対CLKOUT↓)	⑥①	t _{HKI}	15-11	15		15		10		ns
BS8/BS16設定時間(対CLKOUT↑)	⑥②	t _{SBSK}	15-13	10		10		7		ns
BS8/BS16保持時間(対CLKOUT↑)	⑥③	t _{HKBS}	15-13	15		15		10		ns
HLDRQ設定時間(対CLKOUT↑)	⑥④	t _{SHQK}	15-14	10		10		7		ns
HLDRQ保持時間(対CLKOUT↑)	⑥⑤	t _{HKHQ}	15-14	20		20		15		ns
CLKOUT↑→HLDAK遅延時間	⑥⑥	t _{DKHA}	15-14	5	45	5	45	5	40	ns
出力フロート→HLDAK遅延時間	⑥⑦	t _{DFHA}	15-14	0.5t _{CYK} -15		0.5t _{CYK} -15		0.5t _{CYK} -15		ns
INTPn(n=0-7)ロウ・レベル幅	⑥⑧	t _{IPIPL}	15-17	100		100		100		ns
TCTLn(n=0-2)設定時間(対CLKOUT↓)	⑥⑨	t _{SGK}	15-18	50		50		50		ns
TCTLn(n=0-2)保持時間(対CLKOUT↓)	⑦⑩	t _{HKG}	15-18	100		100		100		ns
TCTLn(n=0-2)ハイ・レベル幅	⑦⑪	t _{GGH}	15-18,他	50		50		50		ns
TCTLn(n=0-2)ロウ・レベル幅	⑦⑫	t _{GGL}	15-18,他	50		50		50		ns
TOUTn(n=0-2)出力遅延時間(対TCTL↓)	⑦⑬	t _{DGTO}	15-18,他		100		100		100	ns
TOUTn(n=0-2)出力遅延時間(対CLKOUT↓)	⑦⑭	t _{DKTO}	15-18		100		100		100	ns
TCLK周期	⑦⑮	t _{CYTK}	15-19	100	DC	100	DC	100	DC	ns
TCLKハイ・レベル幅	⑦⑯	t _{TKTKH}	15-19	30		30		30		ns
TCLKロウ・レベル幅	⑦⑰	t _{TKTKL}	15-19	45		45		45		ns
TCLK立ち上がり時間	⑦⑱	t _{TKR}	15-19		15		15		15	ns
TCLK立ち下がり時間	⑦⑲	t _{TKF}	15-19		15		15		15	ns
TCTLn(n=0-2)保持時間(対TCLK↑)	⑧⑩	t _{HTKG}	15-19	100		100		100		ns
TCTLn(n=0-2)設定時間(対TCLK↑)	⑧⑪	t _{SCTK}	15-19	50		50		50		ns
TOUTn(n=0-2)出力遅延時間(対TCLK↓)	⑧⑫	t _{DTKTO}	15-19		100		100		100	ns

(次ページに続く)

備考 略号欄の数字は、タイミング・チャート中の数字に対応しています。

項 目	略 号	図番号	μPD70236-10		μPD70236-12		μPD70236-16		単位	
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
RxD設定時間(対SCU内部クロック↓)	⑧③	t _{SRX}	15-20	1		1		1		μs
RxD保持時間(対SCU内部クロック↓)	⑧④	t _{HRX}	15-20	1		1		1		μs
TOUT1↑→TxD遅延時間	⑧⑤	t _{DTX}	15-20		500		500		500	ns
CLKOUT↑→DMAAK _n (n=0-3)遅延時間	⑧⑥	t _{DKHDA}	15-21	0	45	0	45	0	40	ns
CLKOUT↓→MRD, IORD↓遅延時間	⑧⑦	t _{DKRL}	15-21	0	45	0	45	0	40	ns
CLKOUT↓→MRD, IORD↑遅延時間	⑧⑧	t _{DKRH}	15-21	0	45	0	45	0	40	ns
DMAAK _n (n=0-3)↑遅延時間(対IORD↑)	⑧⑨	t _{DRHDAH}	15-21	0.5t _{CYK} -15		0.5t _{CYK} -15		0.5t _{CYK} -15		ns
IORD↓, IOWR↓遅延時間(対DMAAK _n (n=0-3)↓)	⑨⑩	t _{DDARW}	15-21	0.5t _{CYK} -15		0.5t _{CYK} -15		0.5t _{CYK} -15		ns
IORD↑遅延時間(対MWR↑) MRD↑遅延時間(対IOWR↑)	⑨①	t _{DWHRH}	15-21	5	45	5	45	5	40	ns
IORD, MRDロウ・レベル幅	⑨②	t _{RR}	15-21	t _{CYK} (n+2)-45 ^{注1}		t _{CYK} (n+2)-45 ^{注1}		t _{CYK} (n+2)-40 ^{注1}		ns
IOWR, MWRロウ・レベル幅(拡張ライト時)	⑨③	t _{WW1}	15-21	t _{CYK} (n+2)-45 ^{注1}		t _{CYK} (n+2)-45 ^{注1}		t _{CYK} (n+2)-40 ^{注1}		ns
IOWR, MWRロウ・レベル幅(通常ライト時)	⑨④	t _{WW2}	15-21	t _{CYK} (n+1)-45 ^{注1}		t _{CYK} (n+1)-45 ^{注1}		t _{CYK} (n+1)-40 ^{注1}		ns
TC出力遅延時間(対CLKOUT↑)	⑨⑤	t _{DKTCL}	15-22	0	45	0	45	0	40	ns
TC OFF出力遅延時間(対CLKOUT↑)	⑨⑥	t _{DKTCF}	15-22	0	45	0	45	0	40	ns
TCプリアップ遅延時間(対CLKOUT↑) ^{注2}	⑨⑦	t _{DKTCH}	15-22	0	2t _{CYK}	0	2t _{CYK}	0	2t _{CYK}	ns
TCロウ・レベル幅	⑨⑧	t _{TCTCL}	15-22	t _{CYK} (n+1)-20 ^{注1}		t _{CYK} (n+1)-20 ^{注1}		t _{CYK} (n+1)-15 ^{注1}		ns
END設定時間(対CLKOUT↑)	⑨⑨	t _{SEDK}	15-22	35		35		35		ns
ENDロウ・レベル幅	⑩⑩	t _{EEDL}	15-22	100		100		100		ns
DMARQ _n (n=0-3)設定時間(対CLKOUT↑)	⑩①	t _{SDQK}	15-22, 他	20		20		15		ns
CLKOUT↓→DMAAK _n (n=0-3)遅延時間	⑩②	t _{DKLDA}	15-23	0	45	0	45	0	40	ns
MRDハイ・レベル幅	⑩③	t _{MRMRH}	15-5	0.5t _{CYK} -10		0.5t _{CYK} -10		0.5t _{CYK} -10		ns
MRD↑→データ・セット時間	⑩④	t _{DMRHLZ}	15-6, 他	0.25t _{CYK}		0.25t _{CYK}		0.25t _{CYK}		ns
MRD↑→データ出力遅延時間	⑩⑤	t _{DMRHD}	15-6, 他	0.5t _{CYK} -15		0.5t _{CYK} -15		0.5t _{CYK} -15		ns
CLKOUT→カスケード・アドレス遅延時間	⑩⑥	t _{DKCA}	15-15, 他	5	45	5	45	5	40	ns
CLKOUT→PCLKOUT遅延時間 ^{注3}	⑩⑦	t _{DKPK}	15-1	-5	+10	-5	+10	-5	+10	ns

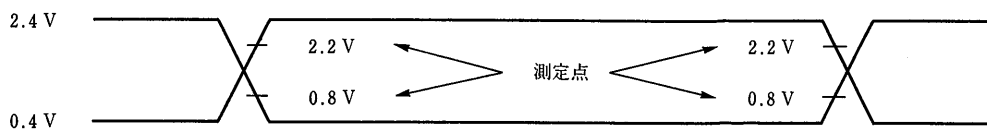
注1. nは、バス・サイクルに挿入されるウェイト・クロック数を示します。

2. TC端子をプリアップ(プリアップ抵抗1.1kΩ)することが前提です。

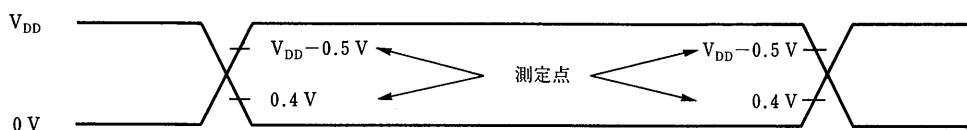
3. CLKC=00

備考 略号欄の数字は、タイミング・チャート中の数字に対応しています。

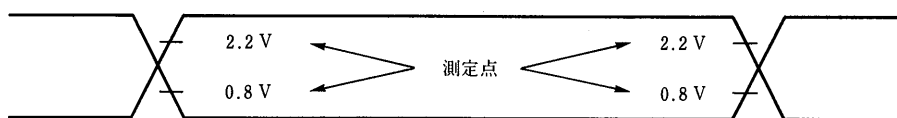
ACテスト入力波形 (X1を除く)



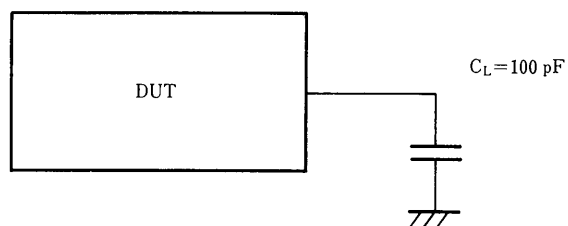
ACテスト入力波形 (X1)



ACテスト出力測定点



負荷条件



注意 回路の構成により負荷容量が100pFを越える場合は、バッファを入れるなどして、このデバイスの負荷容量を100pF以下にしてください。

(2) μ PD70236(A)絶対最大定格 ($T_A = 25^\circ\text{C}$) μ PD70236(A)

項目	略号	条件	定格	単位
電源電圧	V_{DD}		$-0.5 \sim +7.0$	V
入力電圧	V_I		$-0.5 \sim V_{DD} + 0.3$	V
クロック入力電圧	V_K		$-0.5 \sim V_{DD} + 1.0$	V
出力短絡電流	I_{OS}		50	mA
出力電圧	V_O		$-0.5 \sim V_{DD} + 0.3$	V
動作周囲温度	T_A		$-40 \sim +85$	$^\circ\text{C}$
保存温度	T_{stg}		$-65 \sim +150$	$^\circ\text{C}$

- ★ 注意1. IC製品の出力（または入出力）端子同士を直結したり、 V_{DD} または V_{CC} やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で、製品をご使用ください。
- DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

DC特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 4.5 \sim 5.25 \text{ V}$)

μPD70236(A)

項目	略号	条件	MIN.	TYP.	MAX.	単位
高レベル入力電圧	V_{IH}	$\overline{\text{RESET}}$ を除く	2.2		$V_{DD} + 0.3$	V
		$\overline{\text{RESET}}$	$0.8 V_{DD}$		$V_{DD} + 0.3$	V
低レベル入力電圧	V_{IL}	$\overline{\text{RESET}}$ を除く	-0.5		+0.6	V
		$\overline{\text{RESET}}$	-0.5		$0.2 V_{DD}$	V
高レベル・クロック入力電圧	V_{KH}	X1, X2	$0.8 V_{DD}$		$V_{DD} + 0.5$	V
低レベル・クロック入力電圧	V_{KL}	X1, X2	-0.5		+0.6	V
高レベル出力電圧	V_{OH}	$I_{OH} = -400 \mu\text{A}$	$0.7 V_{DD}$			V
低レベル出力電圧	V_{OL}	$\overline{\text{TC}}$ を除く, $I_{OL} = 2.5 \text{ mA}$, $C_L = 50 \text{ pF}$			0.45	V
		$\overline{\text{TC}}$ を除く, $I_{OL} = 2.5 \text{ mA}$, $C_L = 100 \text{ pF}$			0.8	V
		$\overline{\text{TC}}$, $I_{OL} = 5.0 \text{ mA}$, $C_L = 50 \text{ pF}$			0.45	V
高レベル入力リーク電流	I_{LIH}	$V_I = V_{DD}$			20	μA
低レベル入力リーク電流	I_{LIL}	$V_I = 0 \text{ V}$			-20	μA
高レベル出力リーク電流	I_{LOH}	$V_O = V_{DD}$			20	μA
低レベル出力リーク電流	I_{LOL}	$V_O = 0 \text{ V}$			-20	μA
ハイ・レベル・ラッチ・リーク電流	I_{LLH}	$V_I = 3.0 \text{ V}$	-20		-200	μA
ロウ・レベル・ラッチ・リーク電流	I_{LLL}	$V_I = 0.8 \text{ V}$	20		200	μA
ラッチ反転電流 (L→H)	I_{ILH}				200	μA
ラッチ反転電流 (H→L)	I_{ILL}				-200	μA
電源電流 ^注	I_{DD}	動作時 ($f_x = 2.5 \sim 12.5 \text{ MHz}$)		$10f_x + 20$	$15f_x + 40$	mA
		HALT時		20	40	mA
		STOP時		1.0	5	mA

注 設定条件：TCLK0-TCLK2はCPUクロック使用，リフレッシュ許可
値の定数10, 15の単位はmA/MHzです。

備考 TYP.値は $T_A = 25 \text{ }^\circ\text{C}$, $V_{DD} = 5.0 \text{ V}$ 時の参考値です。

容量 ($T_A=25^\circ\text{C}$, $V_{DD}=0\text{ V}$)

μPD70236(A)

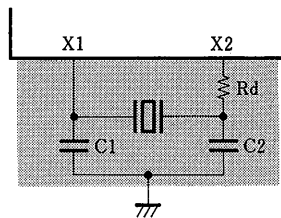
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入 力 容 量	C_i	$f_c = 1\text{ MHz}$ 被測定ピン以外は0 V			15	pF
入 出 力 容 量	C_{iO}				15	pF
出 力 容 量	C_o				15	pF

推奨発振回路

μPD70236(A)

クロック入力には下記の回路を推奨します。

(a) セラミック発振子接続 ($T_A = -20 \sim +80^\circ\text{C}$, $V_{DD} = 4.5 \sim 5.25\text{ V}$)

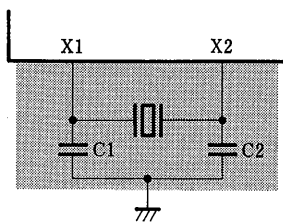


メーカ	発振周波数 f_{xx} [MHz]	品 名	推奨定数		
			$C1$ [pF]	$C2$ [pF]	Rd [Ω]
村田製作所	25	CSA25.00MXZ040	3	15	100
	20	CSA20.00MXZ040	5	22	100

- 注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。
2. の範囲にほかの信号線を通さないでください。
3. μPD70236(A)と発振子とのマッチングについては、十分な評価を行ってください。

(b) 水晶振動子接続

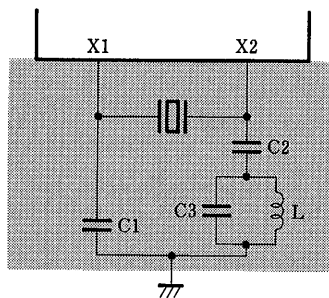
(i) 基本波による推奨発振条件 ($T_A = -20 \sim +70 \text{ }^\circ\text{C}$, $V_{DD} = 4.5 \sim 5.25 \text{ V}$)



メーカー	発振周波数 f_{XX} [MHz]	品名	推奨定数	
			C1 [pF]	C2 [pF]
キンセキ	20	HC-49/U	12	12

- 注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。
 2. 図中の影付きの範囲にほかの信号線を通さないでください。
 3. μPD70236(A)と振動子とのマッチングについては、十分な評価を行ってください。

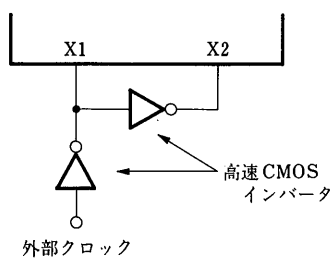
(ii) 3rd オーバ・トーンによる推奨条件 ($T_A = -20 \sim +70 \text{ }^\circ\text{C}$, $V_{DD} = 4.5 \sim 5.25 \text{ V}$)



メーカー	発振周波数 f_{XX} [MHz]	品名	推奨定数			
			C1 [pf]	C2 [pf]	C3 [pf]	L [μH]
キンセキ	25	HC-49/U	10	1000	22	3.3

- 注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。
 2. 図中の影付きの範囲にほかの信号線を通さないでください。
 3. μPD70236(A)と振動子とのマッチングについては、十分な評価を行ってください。

(c) 外部クロック入力



注意 高速CMOSインバータはX1, X2端子にできるかぎり近づけてください。

AC特性 (T_A = -40 ~ +85 °C, V_{DD} = 4.5 ~ 5.25 V, 出力端子の負荷容量 : C_L = 100 pF)

μPD70236(A)

(1/5)

項 目	略 号	図番号	μPD70236(A)-10		μPD70236(A)-12		単 位
			MIN.	MAX.	MIN.	MAX.	
外部クロック入力周期	① t _{CYX}	15-1	50	200	40	200	ns
外部クロック入力ハイ・レベル幅	② t _{XKH}	15-1	20		15		ns
外部クロック入力ロウ・レベル幅	③ t _{XKL}	15-1	20		15		ns
外部クロック入力立ち上がり時間	④ t _{XKR}	15-1		7		5	ns
外部クロック入力立ち下がり時間	⑤ t _{XKF}	15-1		7		5	ns
CLKOUT出力周期	⑥ t _{CYK}	15-1	100	400	80	400	ns
CLKOUTハイ・レベル幅	⑦ t _{KKH}	15-1	0.5t _{CYK} -12		0.5t _{CYK} -10		ns
CLKOUTロウ・レベル幅	⑧ t _{KKL}	15-1	0.5t _{CYK} -12		0.5t _{CYK} -10		ns
CLKOUT立ち上がり時間(1.0 V→3.5 V)	⑨ t _{KR}	15-1		12		10	ns
CLKOUT立ち下がり時間(3.5 V→1.0 V)	⑩ t _{KF}	15-1		12		10	ns
CLKOUT遅延時間(対外部クロック)	⑪ t _{DXK}	15-1	5	35	5	35	ns
PCLKOUT出力周期	⑫ t _{CYPK}	15-1	4t _{CYX}	800	4t _{CYX}	800	ns
PCLKOUTハイ・レベル幅	⑬ t _{PKH}	15-1	2t _{CYX} -12		2t _{CYX} -10		ns
PCLKOUTロウ・レベル幅	⑭ t _{PKL}	15-1	2t _{CYX} -12		2t _{CYX} -10		ns
PCLKOUT出力立ち上がり時間(1.0 V→3.5 V)	⑮ t _{PKR}	15-1		12		10	ns
PCLKOUT出力立ち下がり時間(3.5 V→1.0 V)	⑯ t _{PKF}	15-1		12		10	ns
入力立ち上がり時間 ^注 (0.8 V→2.2 V)	⑰ t _{IR}			15		15	ns
入力立ち下がり時間 ^注 (2.2 V→0.8 V)	⑱ t _{IF}			10		10	ns
出力立ち上がり時間 ^注 (0.8 V→2.2 V)	⑲ t _{OR}			15		15	ns
出力立ち下がり時間 ^注 (2.2 V→0.8 V)	⑳ t _{OF}			10		10	ns
RESET設定時間(対CLKOUT↓)	㉑ t _{SRSTK}	15-2	30		30		ns
RESET保持時間(対CLKOUT↓)	㉒ t _{HKRST}	15-2	15		15		ns

(次ページに続く)

注 CLKOUTとPCLKOUTを除きます。

備考 略号欄の数字は、タイミング・チャート中の数字に対応しています。

μPD70236(A)

(2/5)

項目	略号	図番号	μPD70236(A)-10		μPD70236(A)-12		単位	
			MIN.	MAX.	MIN.	MAX.		
RESOUT出力遅延時間(対CLKOUT↓)	⑳	t _{DKRO}	15-2	0	40	0	40	ns
RESETロウ・レベル幅	㉑	t _{WRSTL}	15-2	6		6		t _{CYK}
READY設定時間(対CLKOUT↑)	㉒	t _{SRYK}	15-3, 他	10		10		ns
READY保持時間(対CLKOUT↑)	㉓	t _{HKRY}	15-3, 他	20		20		ns
BCYSTハイ・レベル幅	㉔	t _{BCBCH}	15-5, 他	t _{CYK(n+1)} -10 ^{注1}		t _{CYK(n+1)} -10 ^{注1}		ns
BCYSTロウ・レベル幅	㉕	t _{BCBCL}	15-5, 他	t _{CYK} -10		t _{CYK} -10		ns
CLKOUT↓→BCYST遅延時間	㉖	t _{DKBC}	15-5, 他	5	45	5	45	ns
CLKOUT→MRD遅延時間	㉗	t _{DKMR}	15-5, 他	0	45	0	45	ns
アドレス/ステータス出力→MRD↓, IORD↓遅延時間	㉘	t _{DARL}	15-5, 他	0.5t _{CYK} -15		0.5t _{CYK} -15		ns
データ保持時間(対MRD↑, 対IORD↑)	㉙	t _{HRD}	15-5, 他	0		0		ns
CLKOUT↓→アドレス遅延時間 ^{注2}	㉚	t _{DKA}	15-5, 他	0	45	0	45	ns
データ保持時間(対R/W↓)	㉛	t _{HRWD}	15-5	0		0		ns
CLKOUT↓→ステータス遅延時間	㉜	t _{DKST}	15-5, 他	0	45	0	45	ns
CLKOUT↑→DSTB↓出力遅延時間	㉝	t _{DKDS}	15-5, 他	0	45	0	45	ns
CLKOUT→DSTB↑出力遅延時間	㉞	t _{DKDSH}	15-5, 他	5	45	5	45	ns
アドレス/ステータス出力→DSTB↓遅延時間	㉟	t _{DADSL}	15-5, 他	0.5t _{CYK} -15		0.5t _{CYK} -15		ns
DSTBハイ・レベル幅	㊱	t _{DSDSH}	15-5, 他	0.5t _{CYK} -10		0.5t _{CYK} -10		ns
DSTBロウ・レベル幅	㊲	t _{DSDSL}	15-6, 他	t _{CYK(n+1)} -10 ^{注1}		t _{CYK(n+1)} -10 ^{注1}		ns
データ保持時間(対DSTB↑)	㊳	t _{HDS}	15-5, 他	0		0		ns
データ保持時間(対アドレス/ステータス変化点)	㊴	t _{HASD}	15-5	0		0		ns

(次ページに続く)

注1. nは、バス・サイクルに挿入されるウェイト・クロック数を示します。ただし、コプロセッサ・サイクルの場合はnにTCサイクル分(+1)を加えます。

2. この規格はCLKOUT信号の立ち下がりに対する、次の①-③の遅延時間について適用されます。★

① アドレス遅延時間

② BUSLOCK遅延時間

③ バス・ホールド解除直後の、次の各信号の遅延時間

A23-A0, D15-D0, M/ \overline{IO} , BUSST1, BUSST0, \overline{UBE} , \overline{BCYST} , \overline{DSTB}

備考1. 略号欄の数字は、タイミング・チャート中の数字に対応しています。

2. ㉚t_{HRD}, ㉛t_{HRWD}, ㉜t_{HDS}, ㉝t_{HASD}, ㉞t_{HKD}の規格については、5つのうち1つ以上を守ってください。

μPD70236(A)

(3/5)

項 目	略 号	図番号	μPD70236(A)-10		μPD70236(A)-12		単位	
			MIN.	MAX.	MIN.	MAX.		
CLKOUT→コントロール1 注1 遅延時間	④③	t _{DKCT1}	15-21	0	45	0	45	ns
CLKOUT→コントロール2 注2 遅延時間	④④	t _{DKCT2}	15-5, 他	0	45	0	45	ns
データ設定時間(対CLKOUT↓)	④⑤	t _{SDK}	15-5, 他	15		15		ns
データ保持時間(対CLKOUT↓)	④⑥	t _{HKD}	15-5, 他	10		10		ns
DSTB↓→出力フローティング時間	④⑦	t _{DHZ}	15-5, 他		0		0	ns
MWR↑→アドレス/ステータス保持時間	④⑧	t _{HMWHA}	15-6	0.5t _{CYK} -15		0.5t _{CYK} -15		ns
CLKOUT→MWR遅延時間	④⑨	t _{DKMW}	15-6, 他	0	45	0	45	ns
アドレス/ステータス出力→MWR, IOWR↓ 遅延時間	⑤⑩	t _{DAWL}	15-6, 他	0.5t _{CYK} -15		0.5t _{CYK} -15		ns
MWR, IOWRロウ・レベル幅	⑤⑪	t _{WWL}	15-6, 他	t _{CYK(n+1)} -10 ^{注3}		t _{CYK(n+1)} -10 ^{注3}		ns
DSTB↑→アドレス/ステータス保持時間	⑤⑫	t _{HDSHA}	15-6, 他	0.5t _{CYK} -15		0.5t _{CYK} -15		ns
DSTB↑→データ出力遅延時間	⑤⑬	t _{DDSHD}	15-6, 他	0.5t _{CYK} -15		0.5t _{CYK} -15		ns
アドレス/ステータス出力→データ遅延時間	⑤⑭	t _{DAD}	15-6, 他	0.5t _{CYK} -15		0.5t _{CYK} -15		ns
DSTB↑→出力セット時間	⑤⑮	t _{DLZ}	15-6, 他	0.25t _{CYK}		0.25t _{CYK}		ns
CLKOUT↑→データ出力遅延時間	⑤⑯	t _{DKD}	15-6, 他	0	45	0	45	ns
CLKOUT→フロート遅延時間	⑤⑰	t _{FK}	15-6, 他	0	40	0	35	ns
CLKOUT→IORD遅延時間	⑤⑱	t _{DKIR}	15-7	0	45	0	45	ns
CLKOUT→IOWR遅延時間	⑤⑲	t _{DKIW}	15-8	0	45	0	45	ns
NMI, INTP _n (n=0-7), CPBUSY設定時間(対CLKOUT↓)	⑥⑰	t _{SIK}	15-11	15		15		ns

(次ページに続く)

注1. コントロール1は、DMAサイクル時のMWR, IOWR信号が対象になります。

2. コントロール2は、BUSEN, INTAK, REFRQ信号が対象になります。

3. nは、バス・サイクルに挿入されるウェイト・クロック数を示します。ただし、コプロセッサ・サイクルの場合はnにTCサイクル分(+1)を加えます。

備考1. 略号欄の数字は、タイミング・チャート中の数字に対応しています。

2. ③②t_{HRD}, ③④t_{HRWD}, ④①t_{HDSD}, ④②t_{HASD}, ④⑥t_{HKD}の規格については、5つのうち1つ以上を守ってください。

μPD70236(A)

(4/5)

項 目	略 号	図番号	μPD70236(A)-10		μPD70236(A)-12		単 位	
			MIN.	MAX.	MIN.	MAX.		
NMI,INTP _n (n=0-7),CPBUSY保持時間(対CLKOUT↓)	⑥1	t _{HKI}	15-11	15		15		ns
BS ₈ /BS16設定時間(対CLKOUT↑)	⑥2	t _{SBSK}	15-13	10		10		ns
BS ₈ /BS16保持時間(対CLKOUT↑)	⑥3	t _{HKBS}	15-13	15		15		ns
HLDRQ設定時間(対CLKOUT↑)	⑥4	t _{SHQK}	15-14	10		10		ns
HLDRQ保持時間(対CLKOUT↑)	⑥5	t _{HKHQ}	15-14	20		20		ns
CLKOUT↑→HLDAK遅延時間	⑥6	t _{DKHA}	15-14	0	45	0	45	ns
出力フロート→HLDAK遅延時間	⑥7	t _{DFHA}	15-14	0.5t _{CYK} -15		0.5t _{CYK} -15		ns
INTP _n (n=0-7)ロウ・レベル幅	⑥8	t _{IPIPL}	15-17	100		100		ns
TCTL _n (n=0-2)設定時間(対CLKOUT↓)	⑥9	t _{SGK}	15-18	50		50		ns
TCTL _n (n=0-2)保持時間(対CLKOUT↓)	⑦0	t _{HKG}	15-18	100		100		ns
TCTL _n (n=0-2)ハイ・レベル幅	⑦1	t _{GGH}	15-18,他	50		50		ns
TCTL _n (n=0-2)ロウ・レベル幅	⑦2	t _{GGL}	15-18,他	50		50		ns
TOUT _n (n=0-2)出力遅延時間(対TCTL↓)	⑦3	t _{DGTO}	15-18,他		100		100	ns
TOUT _n (n=0-2)出力遅延時間(対CLKOUT↓)	⑦4	t _{DKTO}	15-18		100		100	ns
TCLK周期	⑦5	t _{CYTK}	15-19	100	DC	100	DC	ns
TCLKハイ・レベル幅	⑦6	t _{TKTKH}	15-19	30		30		ns
TCLKロウ・レベル幅	⑦7	t _{TKTKL}	15-19	45		45		ns
TCLK立ち上がり時間	⑦8	t _{TKR}	15-19		15		15	ns
TCLK立ち下がり時間	⑦9	t _{TKF}	15-19		15		15	ns
TCTL _n (n=0-2)保持時間(対TCLK↑)	⑧0	t _{HTKG}	15-19	100		100		ns
TCTL _n (n=0-2)設定時間(対TCLK↑)	⑧1	t _{SGTK}	15-19	50		50		ns
TOUT _n (n=0-2)出力遅延時間(対TCLK↓)	⑧2	t _{DTKTO}	15-19		100		100	ns

(次ページに続く)

備考 略号欄の数字は、タイミング・チャート中の数字に対応しています。

μPD70236(A)

(5/5)

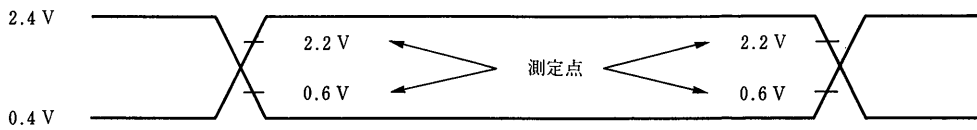
項 目	略 号	図番号	μPD70236(A)-10		μPD70236(A)-12		単位	
			MIN.	MAX.	MIN.	MAX.		
RxD設定時間(対SCU内部クロック↓)	⑧③	t _{SRX}	15-20	1		1		μs
RxD保持時間(対SCU内部クロック↓)	⑧④	t _{HRX}	15-20	1		1		μs
TOUT1↑→TxD遅延時間	⑧⑤	t _{DTX}	15-20		500		500	ns
CLKOUT↑→DMAAK _n (n=0-3)遅延時間	⑧⑥	t _{DKHDA}	15-21	0	45	0	45	ns
CLKOUT↓→MRD, IORD↓遅延時間	⑧⑦	t _{DKRL}	15-21	0	45	0	45	ns
CLKOUT↓→MRD, IORD↑遅延時間	⑧⑧	t _{DKRH}	15-21	0	45	0	45	ns
DMAAK _n (n=0-3)↑遅延時間(対IORD↑)	⑧⑨	t _{DRHDAH}	15-21	0.5t _{CYK} -15		0.5t _{CYK} -15		ns
IORD↓, IOWR↓遅延時間(対DMAAK _n (n=0-3)↓)	⑧⑩	t _{DDARW}	15-21	0.5t _{CYK} -15		0.5t _{CYK} -15		ns
IORD↑遅延時間(対MWR↑) MRD↑遅延時間(対IOWR↑)	⑧⑪	t _{DWHRH}	15-21	0	45	0	45	ns
IORD, MRDロウ・レベル幅	⑧⑫	t _{RR}	15-21	t _{CYK} (n+2)-45 ^{注1}		t _{CYK} (n+2)-45 ^{注1}		ns
IOWR, MWRロウ・レベル幅(拡張ライト時)	⑧⑬	t _{WW1}	15-21	t _{CYK} (n+2)-45 ^{注1}		t _{CYK} (n+2)-45 ^{注1}		ns
IOWR, MWRロウ・レベル幅(通常ライト時)	⑧⑭	t _{WW2}	15-21	t _{CYK} (n+1)-45 ^{注1}		t _{CYK} (n+1)-45 ^{注1}		ns
TC出力遅延時間(対CLKOUT↑)	⑧⑮	t _{DKTCL}	15-22	0	45	0	45	ns
TC OFF出力遅延時間(対CLKOUT↑)	⑧⑯	t _{DKTCF}	15-22	0	45	0	45	ns
TCプルアップ遅延時間(対CLKOUT↑) ^{注2}	⑧⑰	t _{DKTCH}	15-22	0	2t _{CYK}	0	2t _{CYK}	ns
TCロウ・レベル幅	⑧⑱	t _{TCTCL}	15-22	t _{CYK} (n+1)-20 ^{注1}		t _{CYK} (n+1)-20 ^{注1}		ns
END設定時間(対CLKOUT↑)	⑧⑲	t _{SEDK}	15-22	35		35		ns
ENDロウ・レベル幅	⑧⑳	t _{EDEDL}	15-22	100		100		ns
DMARQ _n (n=0-3)設定時間(対CLKOUT↑)	⑧㉑	t _{SDQK}	15-22, 他	20		20		ns
CLKOUT↓→DMAAK _n (n=0-3)遅延時間	⑧㉒	t _{DKLDA}	15-23	0	45	0	45	ns
MRDハイ・レベル幅	⑧㉓	t _{MRMRH}	15-5	0.5t _{CYK} -10		0.5t _{CYK} -10		ns
MRD↑→データ・セット時間	⑧㉔	t _{DMRHLZ}	15-6, 他	0.25t _{CYK}		0.25t _{CYK}		ns
MRD↑→データ出力遅延時間	⑧㉕	t _{DMRHD}	15-6, 他	0.5t _{CYK} -15		0.5t _{CYK} -15		ns
CLKOUT→カスケード・アドレス遅延時間	⑧㉖	t _{DKCA}	15-15, 他	5	45	5	45	ns

注1. nは、バス・サイクルに挿入されるウエイト・クロック数を示します。

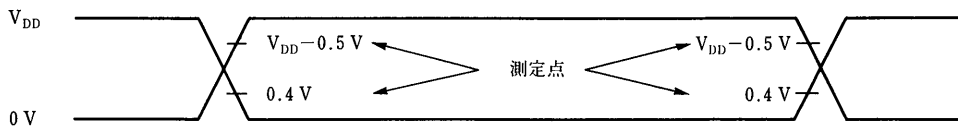
2. TC端子をプルアップ(プルアップ抵抗1.1kΩ)することが前提です。

備考 略号欄の数字は、タイミング・チャート中の数字に対応しています。

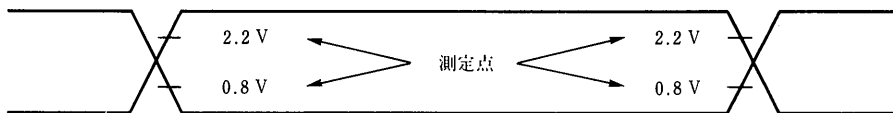
ACテスト入力波形 (X1を除く)



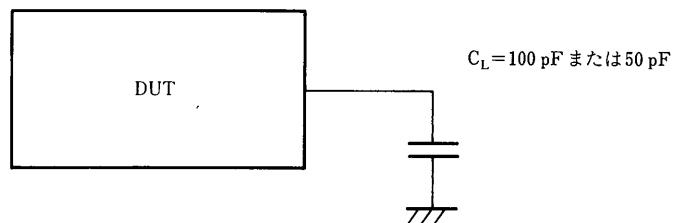
ACテスト入力波形 (X1)



ACテスト出力測定点



負荷条件



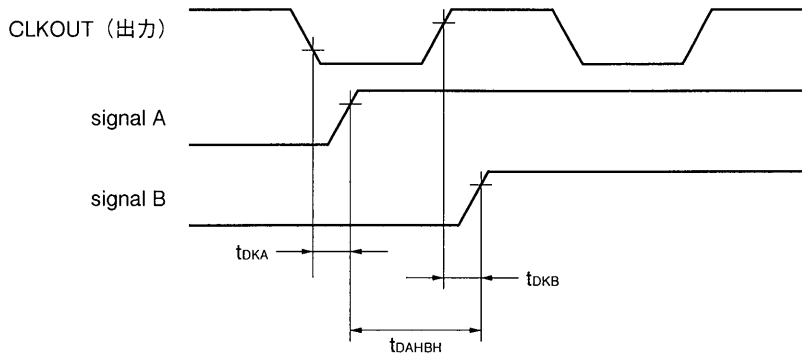
注意 回路の構成により負荷容量が100 pFまたは50 pFを越える場合は、バッファを入れるなどして、このデバイスの負荷容量を100 pFまたは50 pF以下にしてください。

(3) 相対スペック



次の図に示すsignalA, signalBのように、2つの信号がCLKOUTに対して0.5n (n=1, 2, 3, ..., n) の位相差で変化する場合、2つの信号の相対スペック (signalA ↑→signalB ↑遅延時間) のMIN.値は以下に示すようになります。

$$t_{DAHBH} = 0.5nt_{CYK} - 15 \text{ [ns]}$$



- 備考 t_{DKA} : CLKOUT ↓→signal A ↑遅延時間
 t_{DKB} : CLKOUT ↑→signal B ↑遅延時間
 t_{DAHBH} : signal A ↑→signal B ↑遅延時間

(4) タイミング・チャート

以下にμPD70236, 70236(A)のタイミング・チャートを示します。

図15-1 クロック・タイミング★

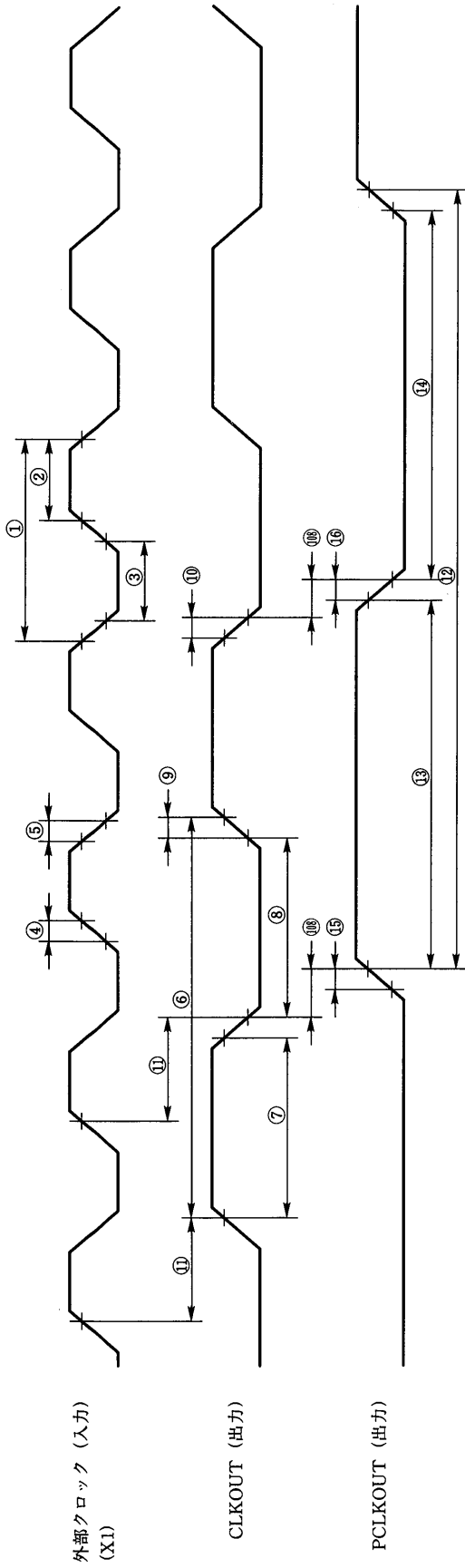
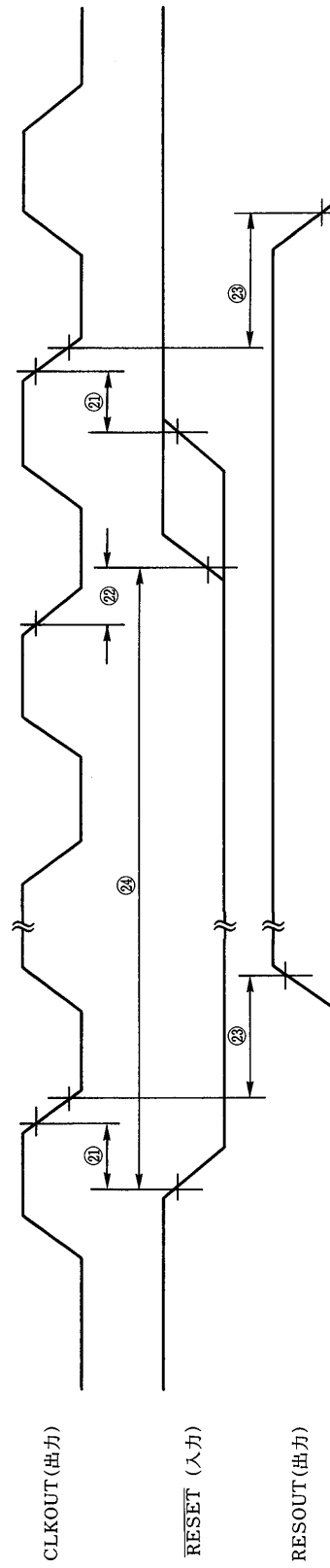


図15-2 リセット・タイミング



注意 ㉑の信号はμPD70236に有効な規格であり、μPD70236(A)に対しては保証していません。
備考 RESETはCLKOUTに対して非同期入力が可能です。

図15-3 CPUレディ・タイミング(1)

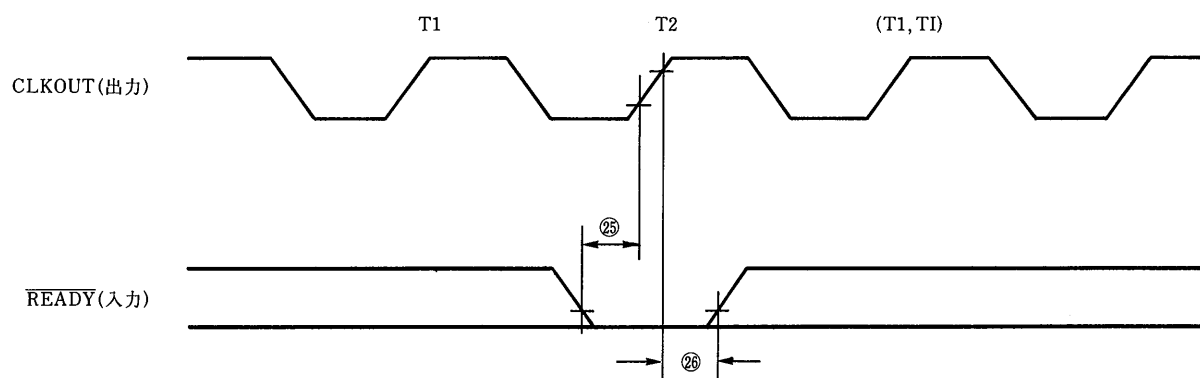


図15-4 CPUレディ・タイミング(2)

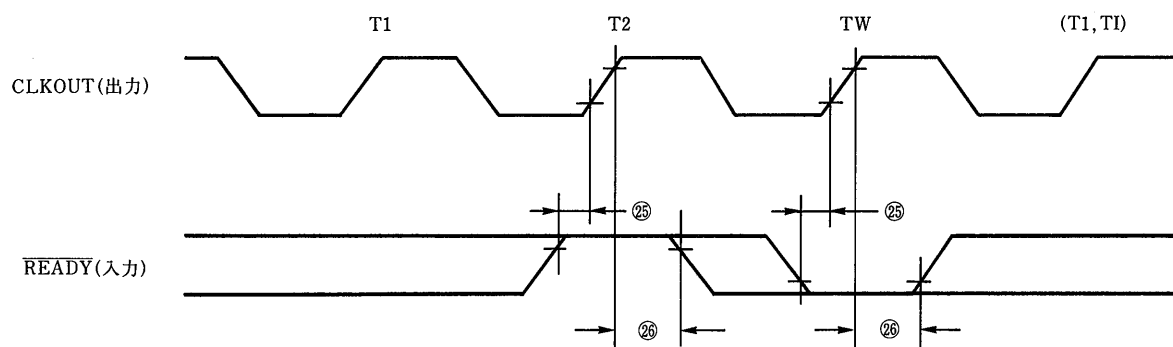
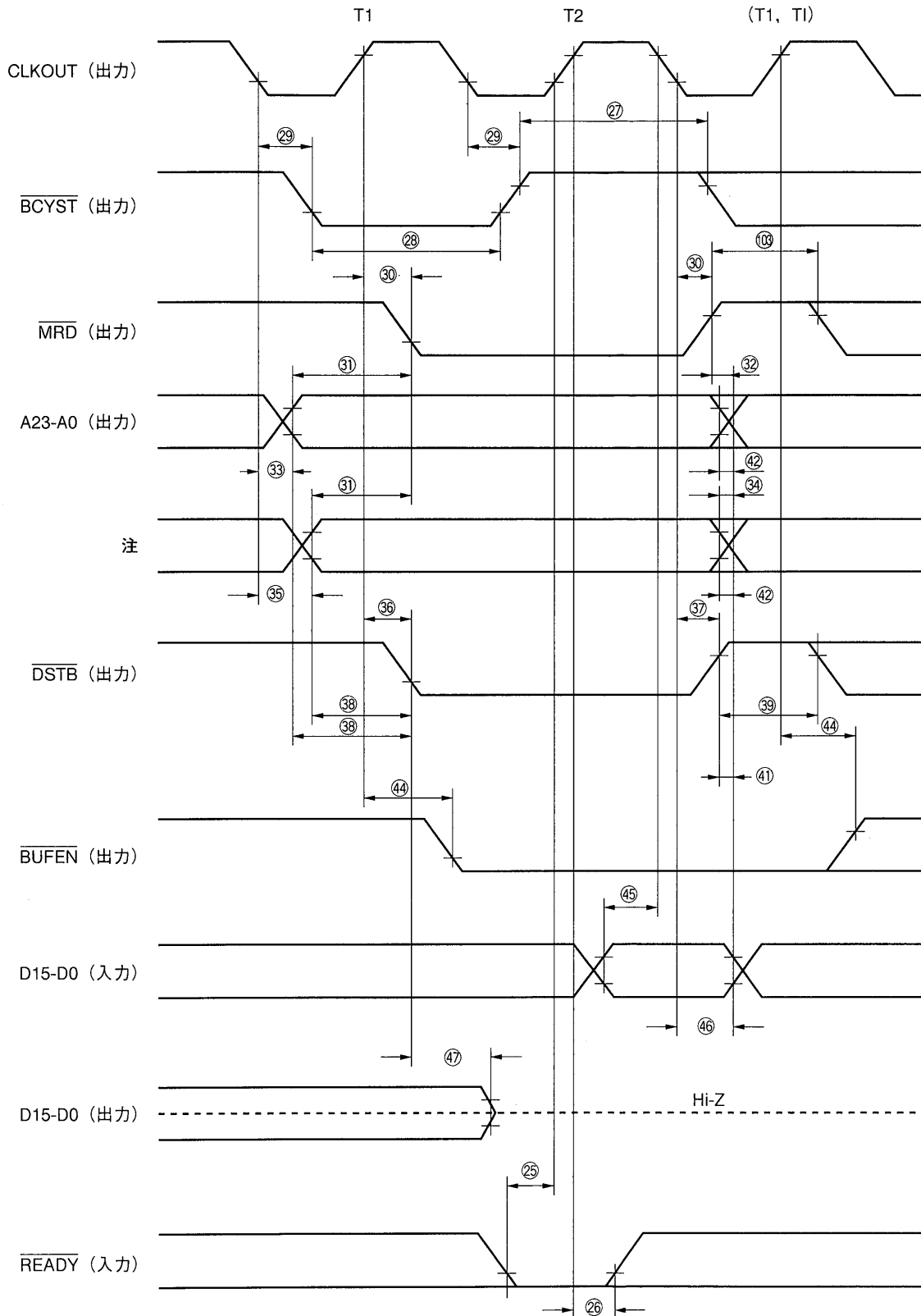
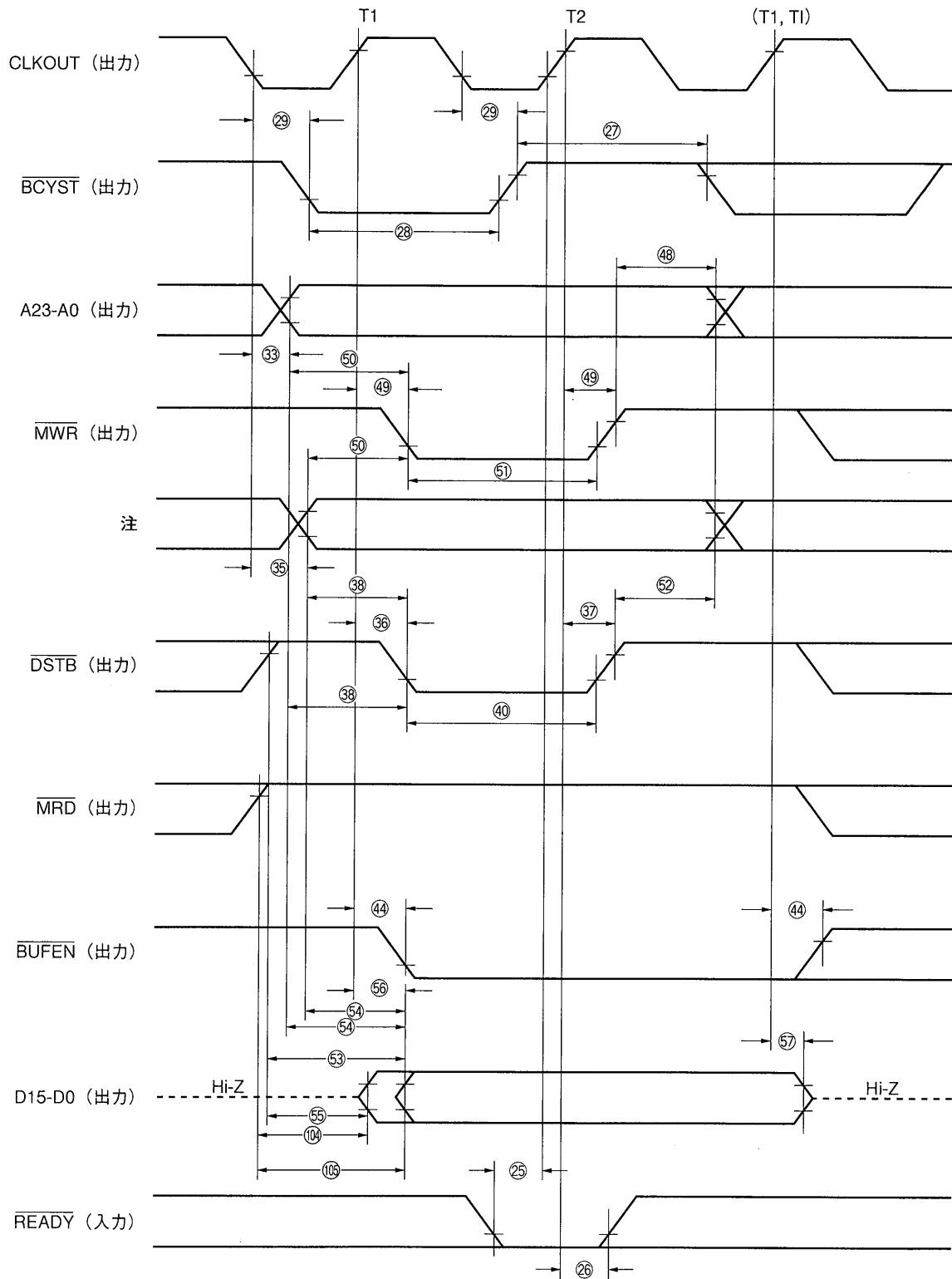


図15-5 基本リード・サイクル (ウエイトなし)



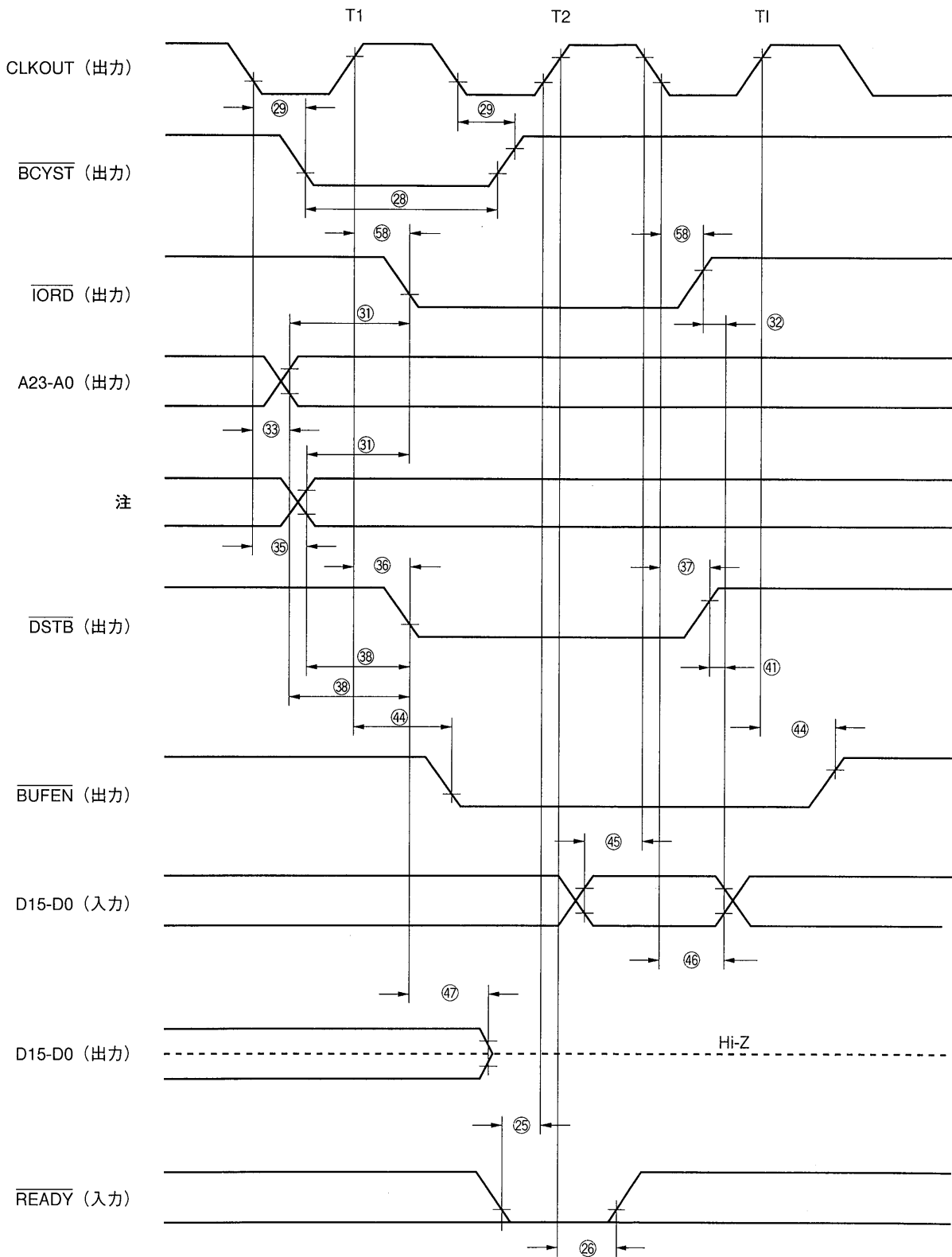
注 R/W, M/I \bar{O} , BUSST2, BUSST1, BUSST0, $\bar{U}BE$, AEX (すべて出力)

図15-6 基本ライト・サイクル (ウエイトなし)



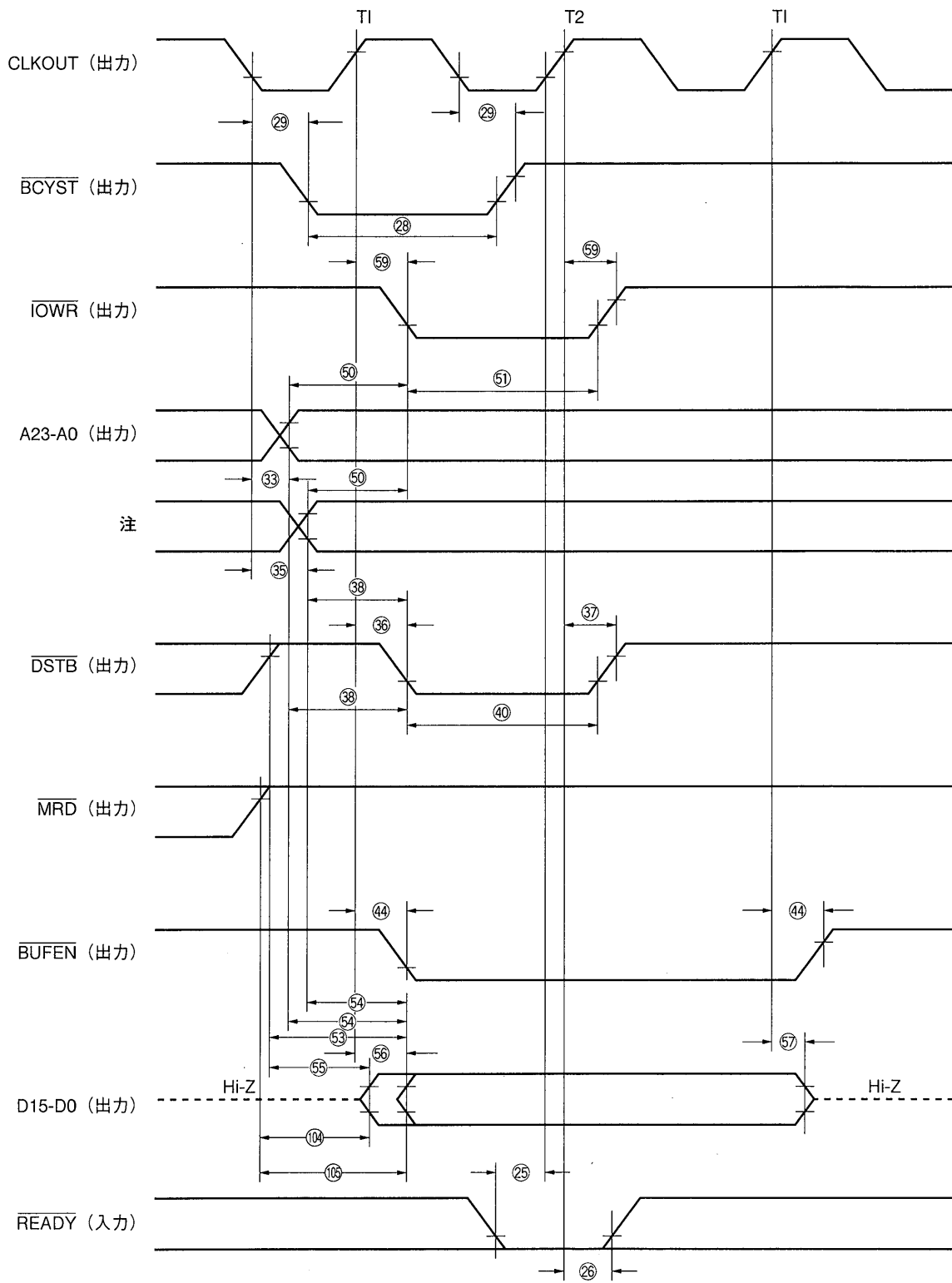
注 $R\bar{W}$, $M\bar{I}\bar{O}$, $BUSST2$, $BUSST1$, $BUSST0$, $\bar{U}\bar{B}\bar{E}$, AEX (すべて出力)

図15-7 外部I/Oリード・サイクル (ウエイトなし)



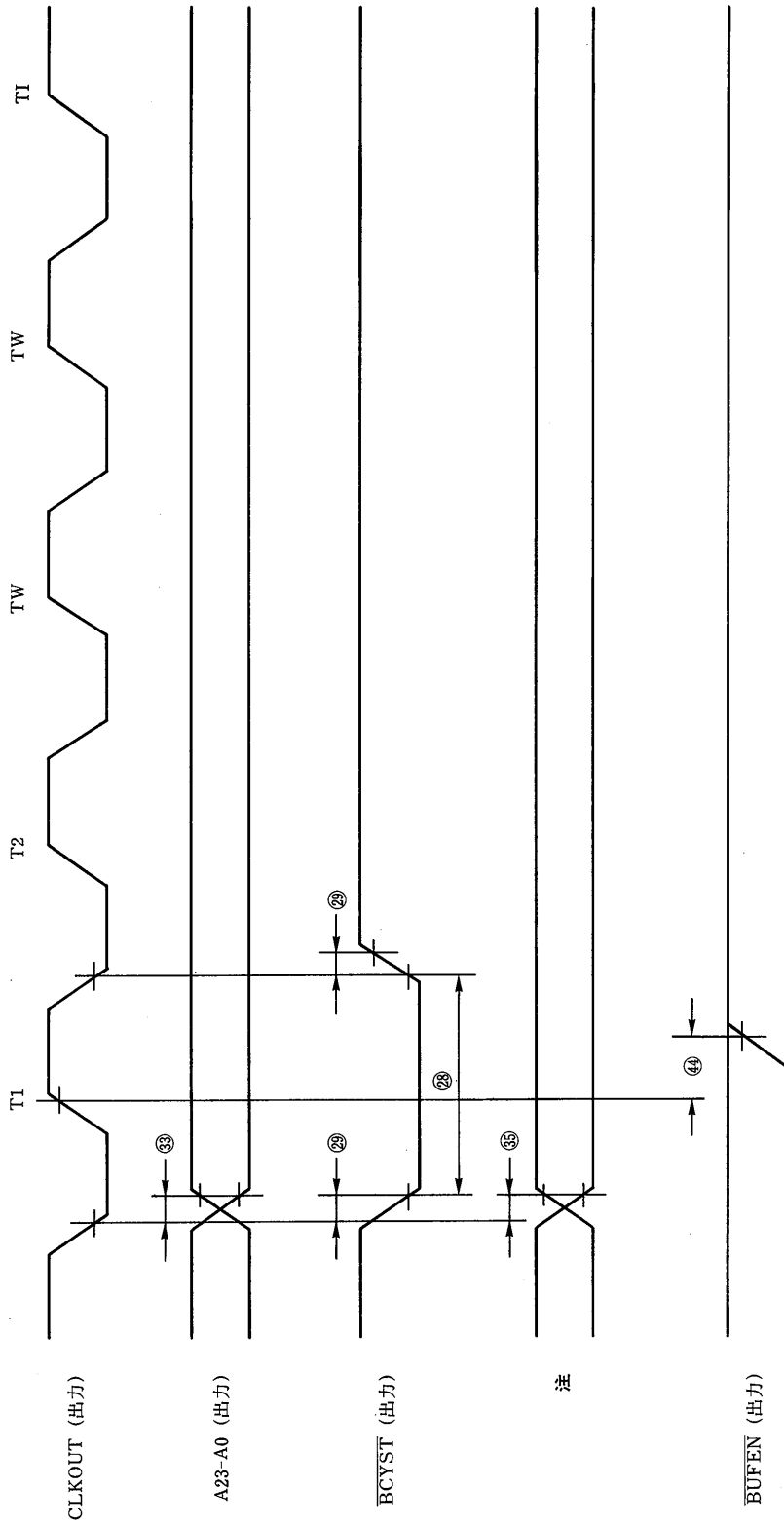
注 R \bar{W} , M $\bar{I}\bar{O}$, BUSST2, BUSST1, BUSST0, $\bar{U}\bar{B}\bar{E}$, AEX (すべて出力)

図15-8 外部I/Oライト・サイクル (ウエイトなし)



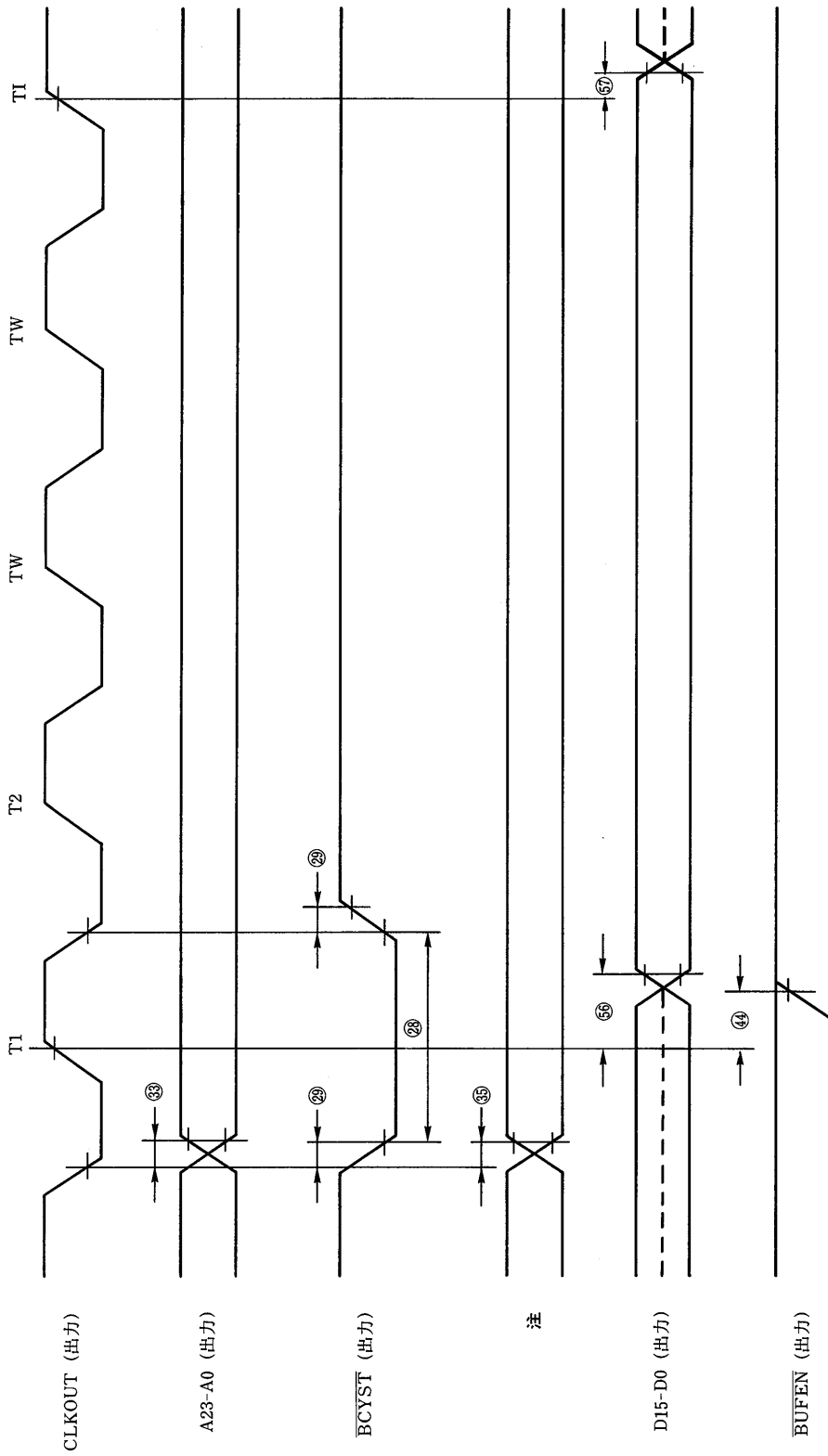
注 R/\overline{W} , $M/\overline{I/O}$, $BUSST2$, $BUSST1$, $BUSST0$, \overline{UBE} , AEX (すべて出力)

図15-9 内部I/Oリード・サイクル



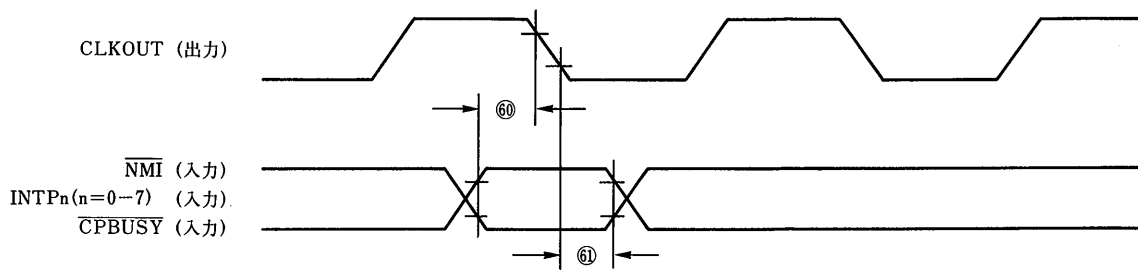
注 R/ \bar{W} , M/ $\bar{I/O}$, BUSST2, BUSST1, BUSST0, $\bar{U}B\bar{E}$, AEX (すべて出力)

図15-10 内部/オライト・サイクル



注 R/ \bar{W} , M/ \bar{IO} , BUSST2, BUSST1, BUSST0, \bar{UBE} , AEX (すべて出力)
 備考 破線はハイ・インピーダンスを示します。

図15-11 入力セットアップ, 入力ホールド時間



備考 $\overline{\text{NMI}}$, INTP0-INTP7, $\overline{\text{CPBUSY}}$ はCLKOUTに対して非同期入力が可能です。

★

図15-12 バスロック

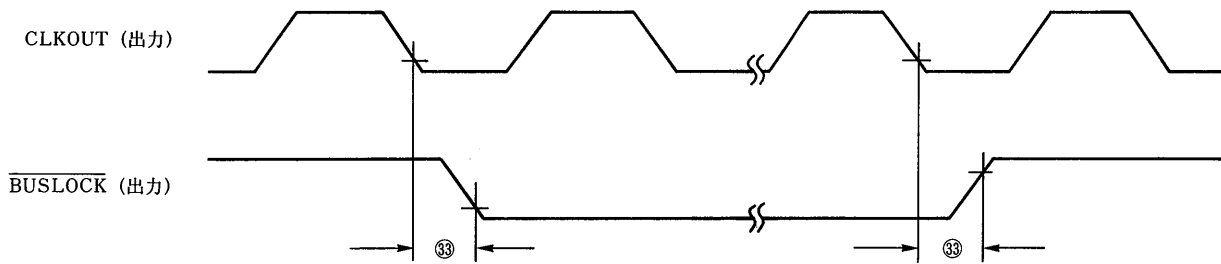
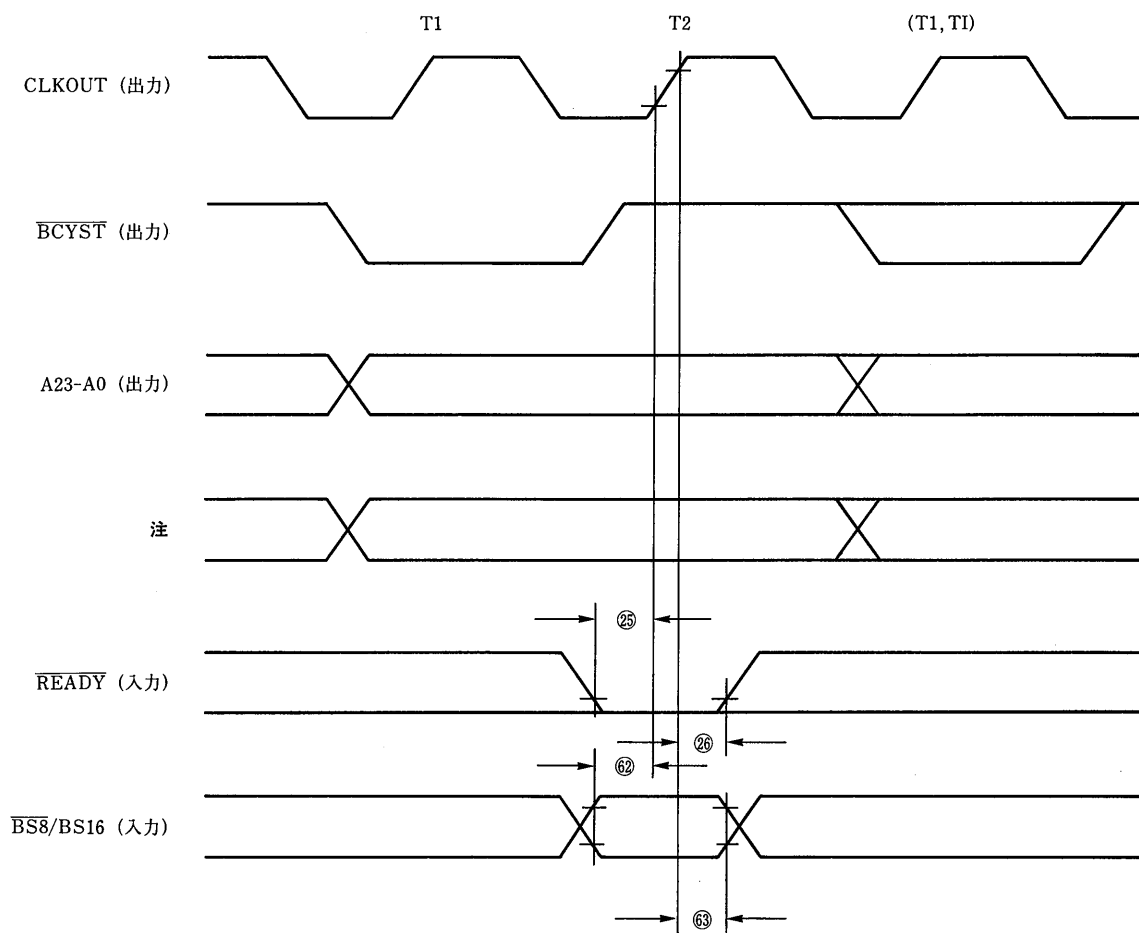


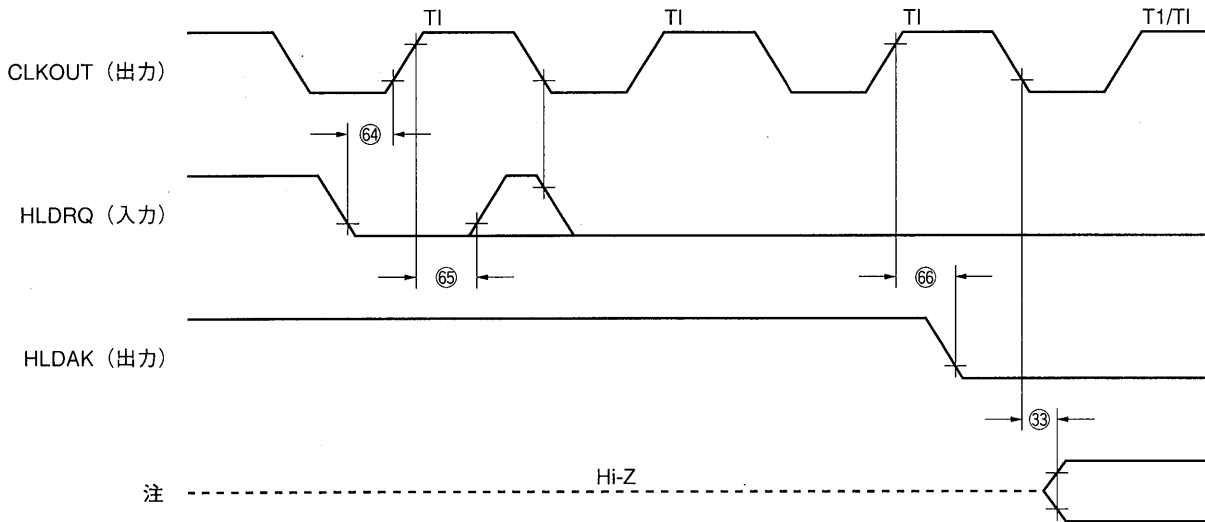
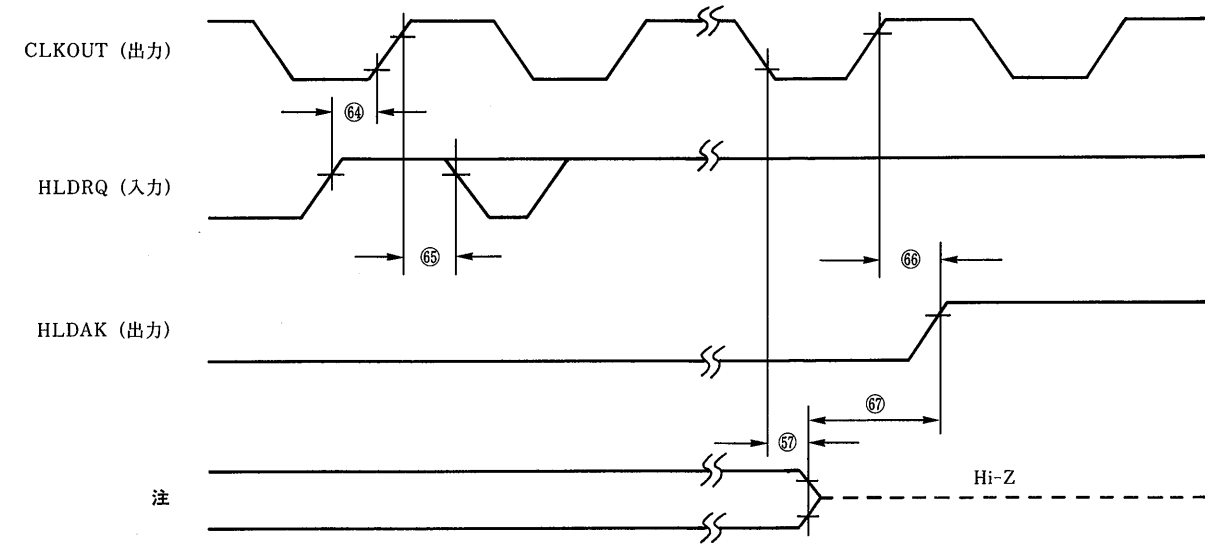
図15-13 バス・サイジング・サイクル (ウエイトなし)



注 R/W, M/I \bar{O} , BUSST2, BUSST1, BUSST0, $\bar{U}BE$, AEX (すべて出力)

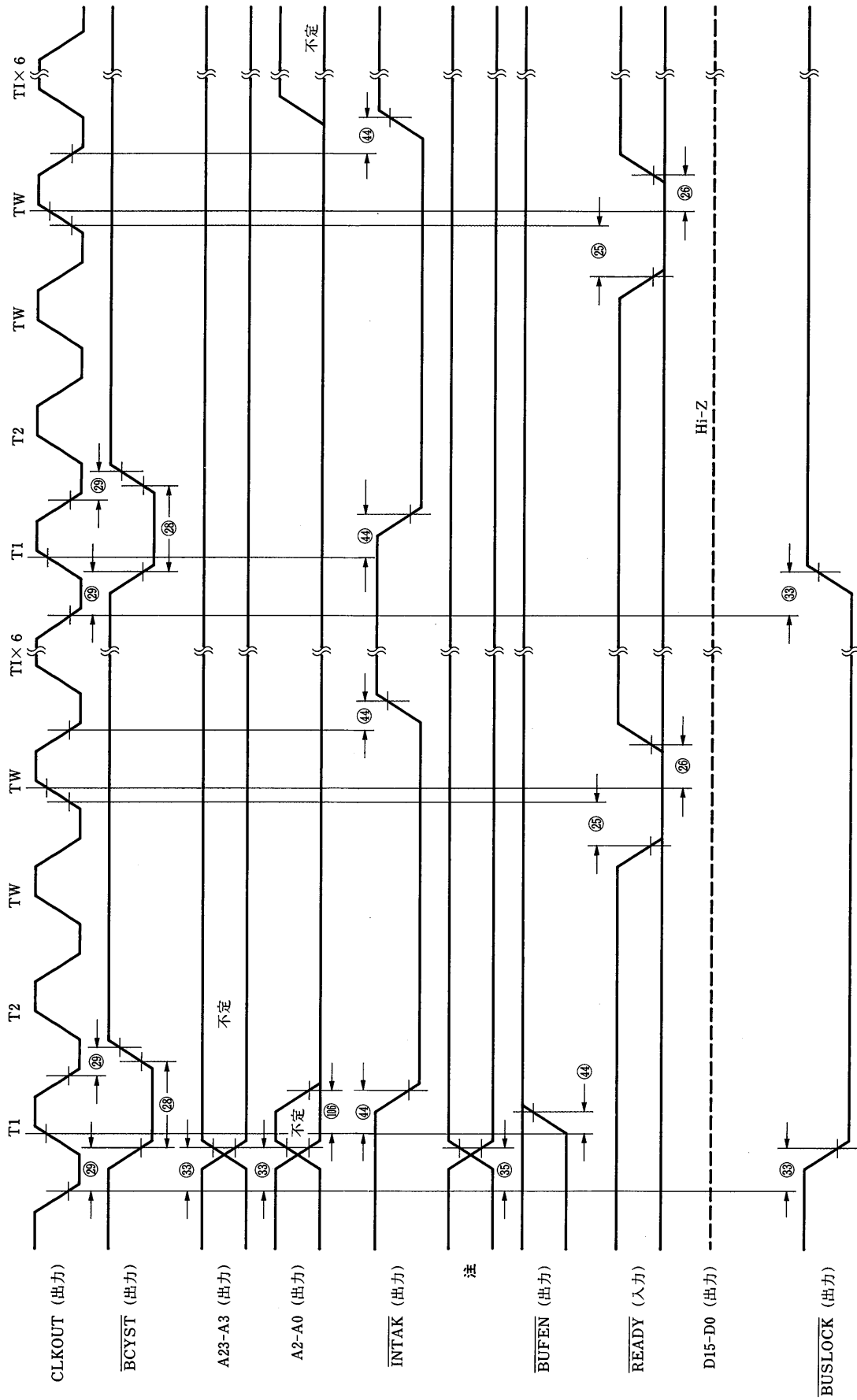
図15-14 バス・ホールド

★



注 R/ \overline{W} , M/ $\overline{I/O}$, BUSST2, BUSST1, BUSST0, \overline{UBE} (すべて出力)

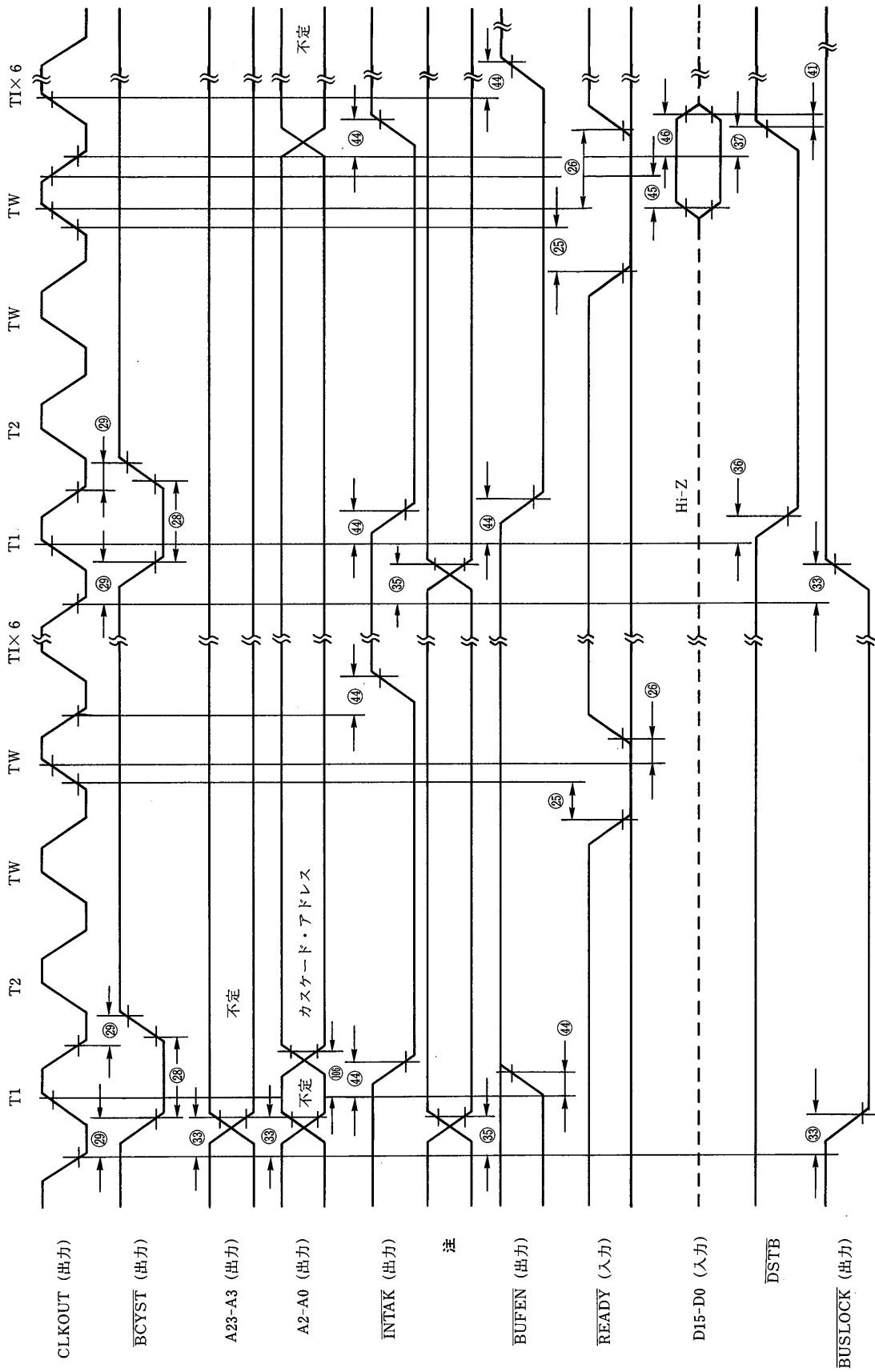
図15-15 割り込みアクリッジ (シングル・モード)



注 R/W, M/I \bar{O} , BUSST2, BUSST1, BUSST0, $\bar{U}B\bar{E}$, AEX (すべて出力)

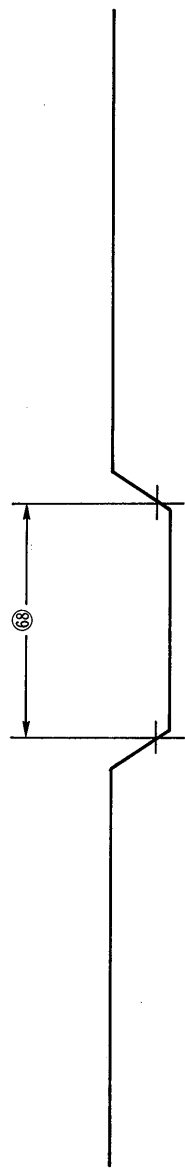
備考 $\bar{D}S\bar{T}B$ はインアクティブです。

図15-16 割り込みアクノリッジ (カスケード・モード)



注 R/ \bar{W} , M/ $\bar{I/O}$, BUSST2, BUSST1, BUSST0, $\bar{U}BE$, AEX (すべて出力)

図15-17 ICUタイミング



INTP_n (入力)
(n=0-7)

図15-18 TCUタイミング(1)

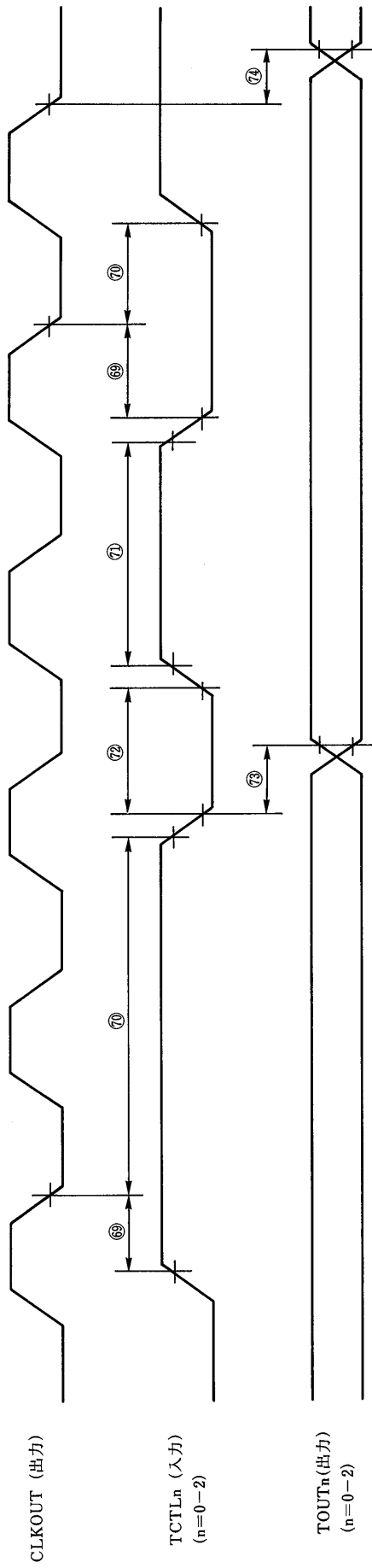


図15-19 TCUタイミング(2)

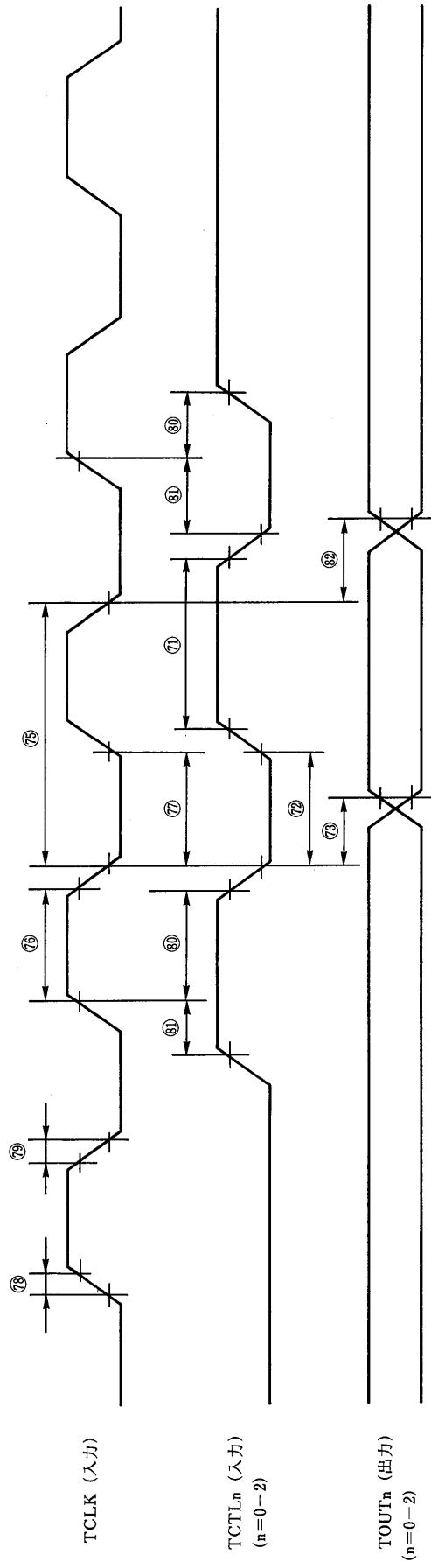


図15-20 SCUタイミング

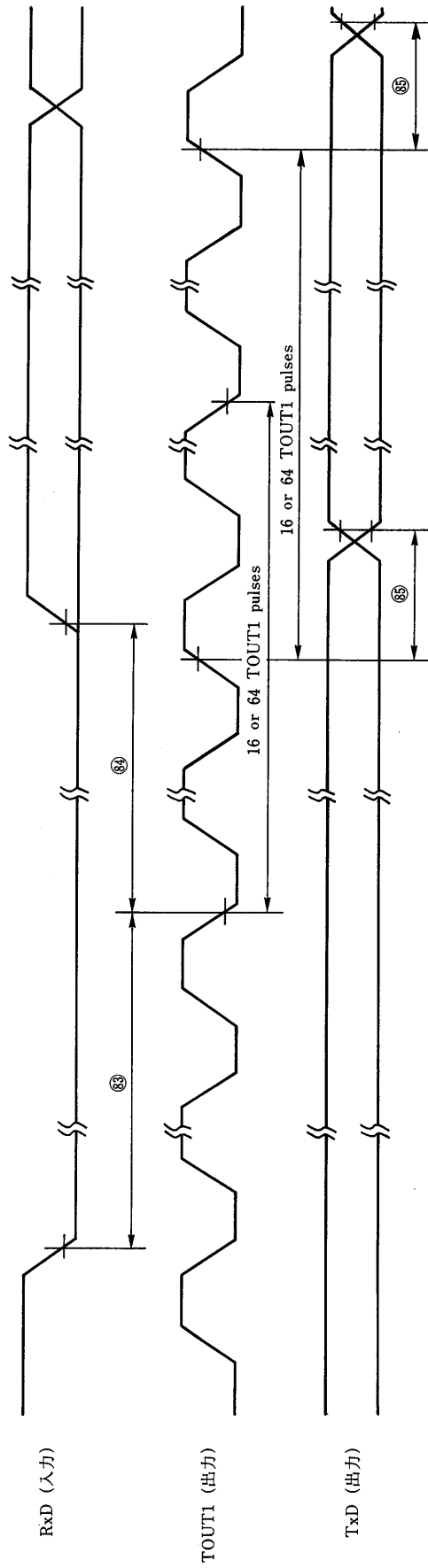
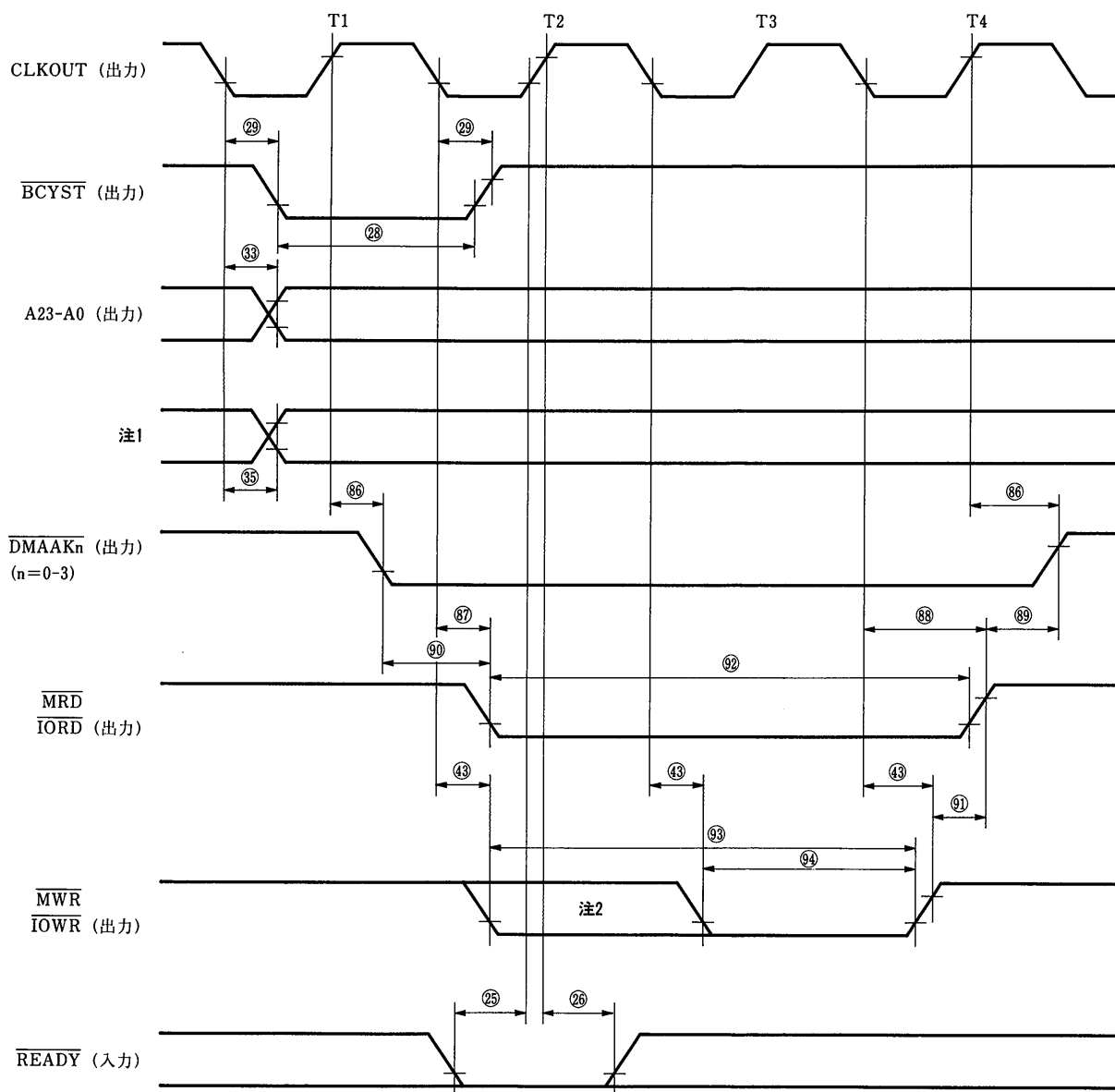


図15-21 DMAUタイミング(1)

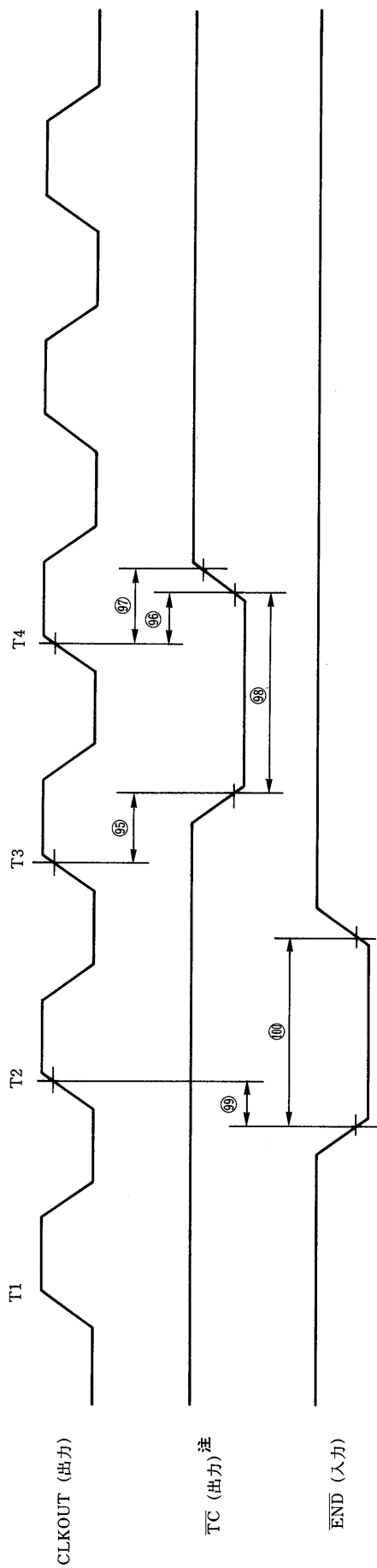


注1. R/W, M/I0, BUSST2-BUSST0, UBE (すべて出力)

2. 拡張ライト・モード時はロウ・レベルが出力されます。

備考 DSTB, BUFENはインアクティブです。

図15-22 DMAUタイミング(2)



注 $\overline{\text{TC}}$ 端子をプルアップ (プルアップ抵抗1.1kΩ) することが前提です。

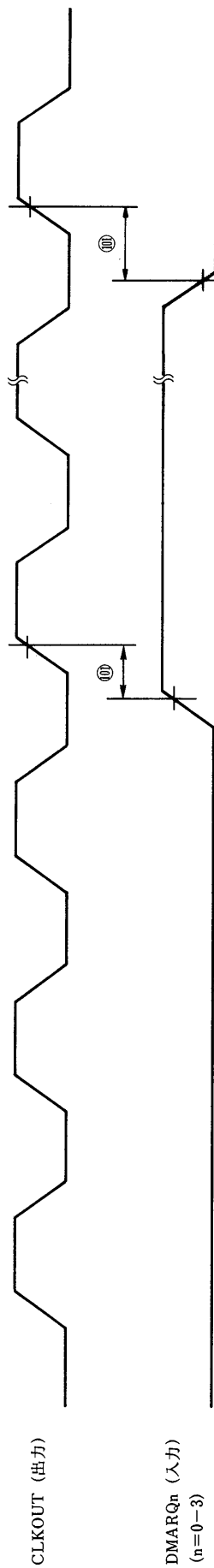
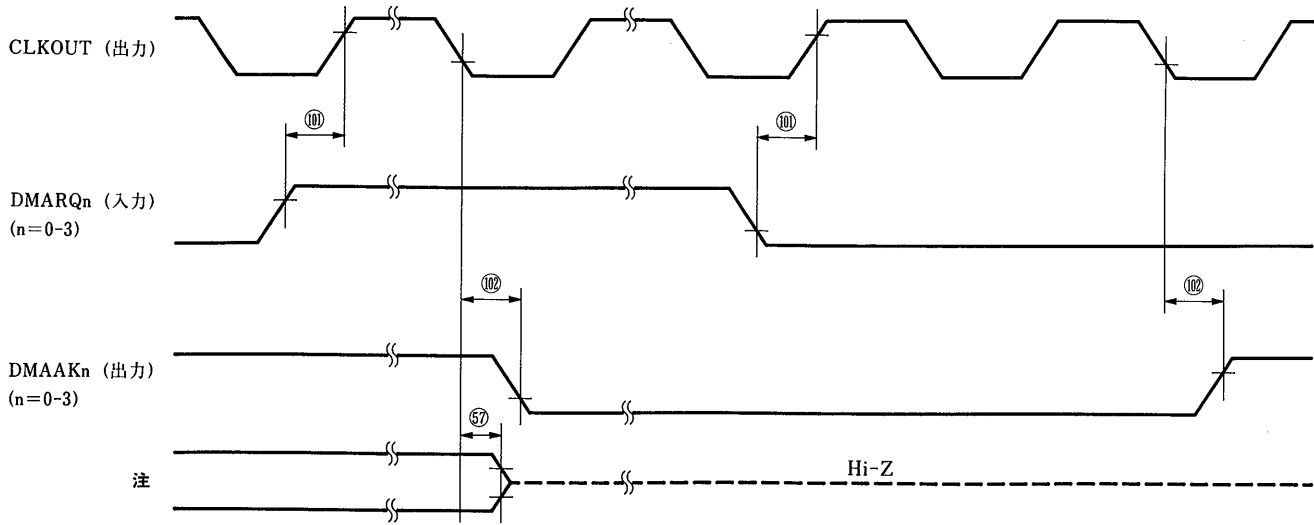


図15-23 DMAU タイミング(3) (カスケード・モード)

(a) 通常動作時



注 A23-A0, \overline{UBE} , \overline{MRD} , \overline{MWR} , \overline{IORD} , \overline{IOWR} , \overline{BUFEN} , \overline{BCYST} , \overline{DSTB}

(b) リフレッシュ・サイクルが挿入された場合

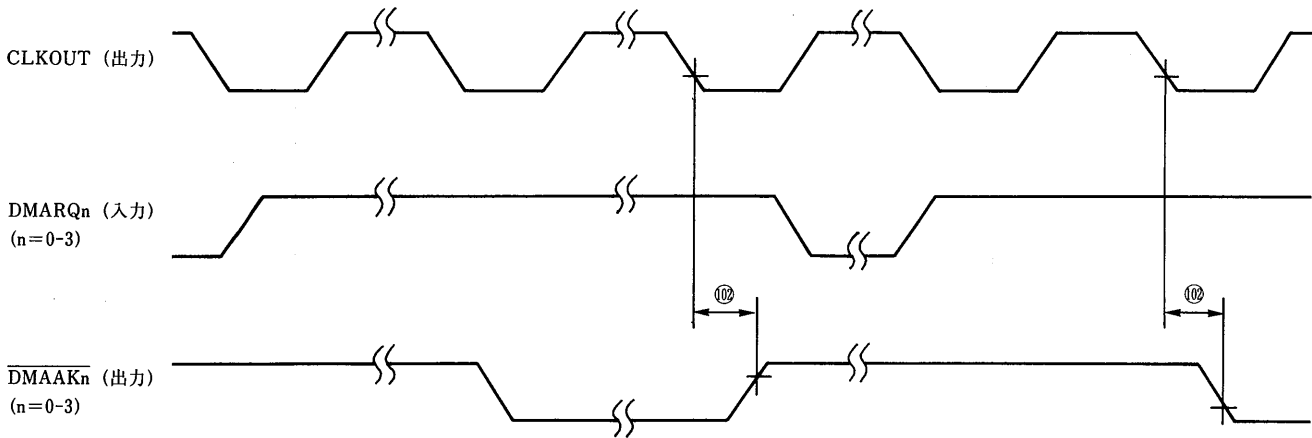
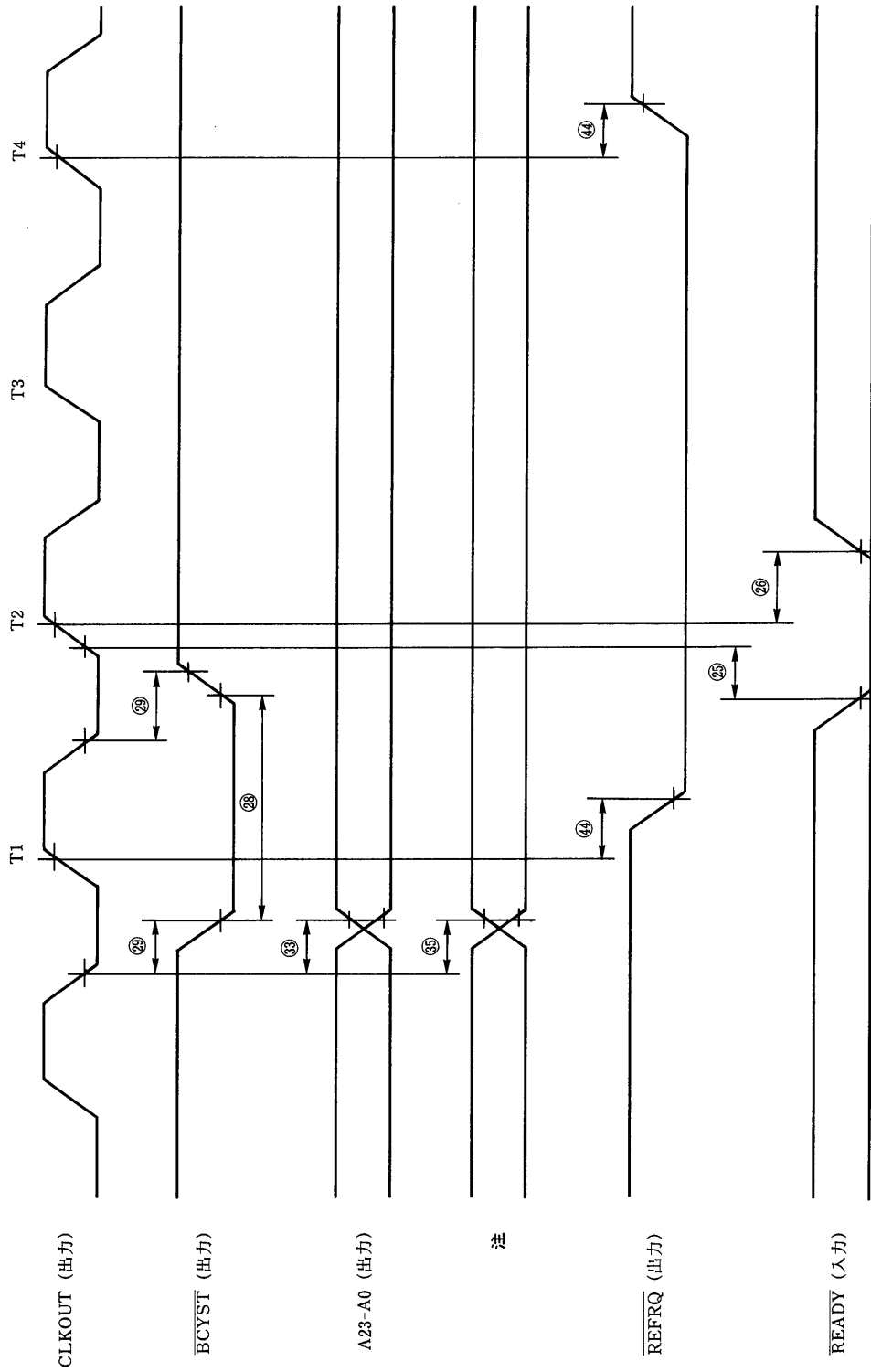
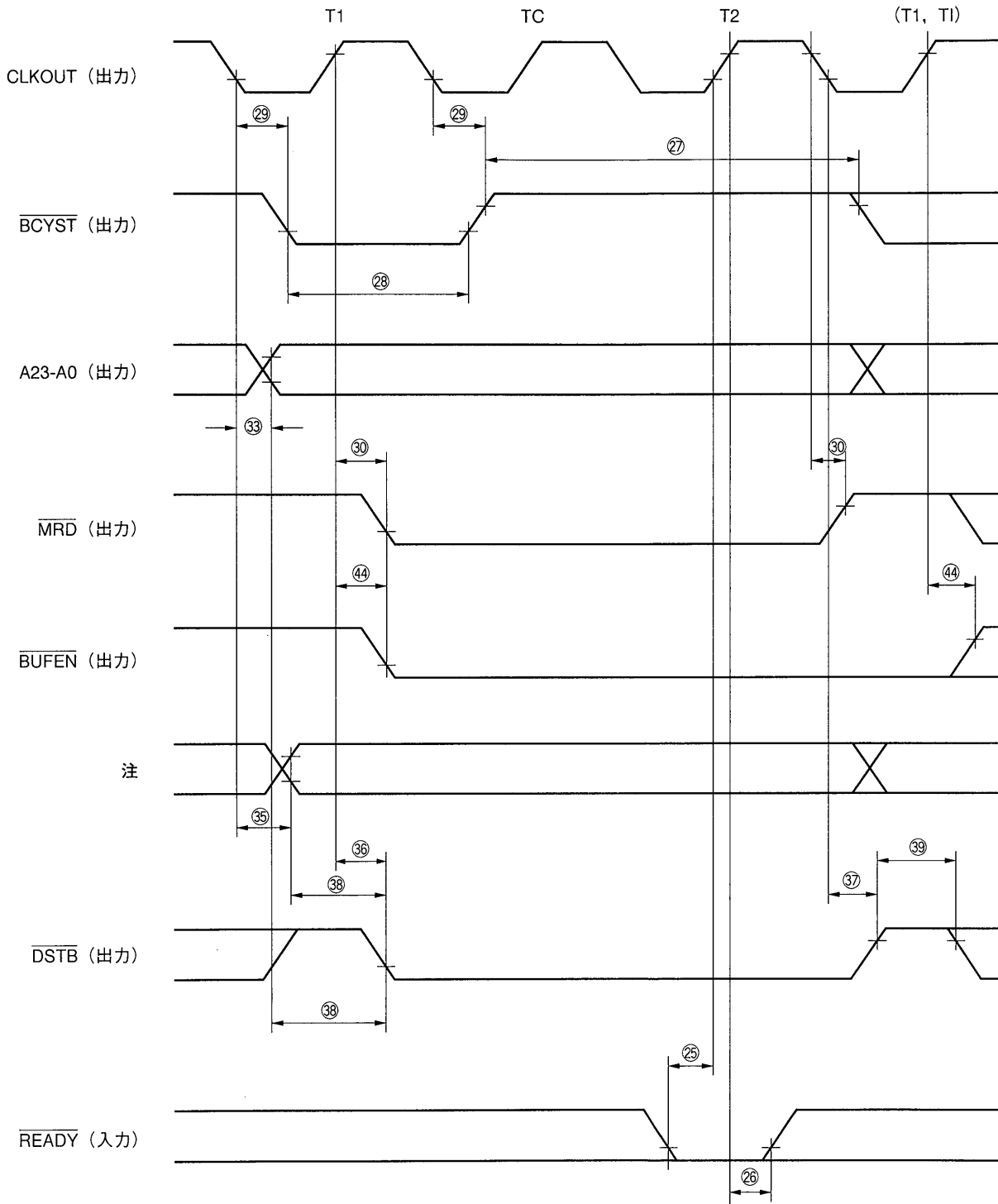


図15-24 リフレッシュ・タイミング



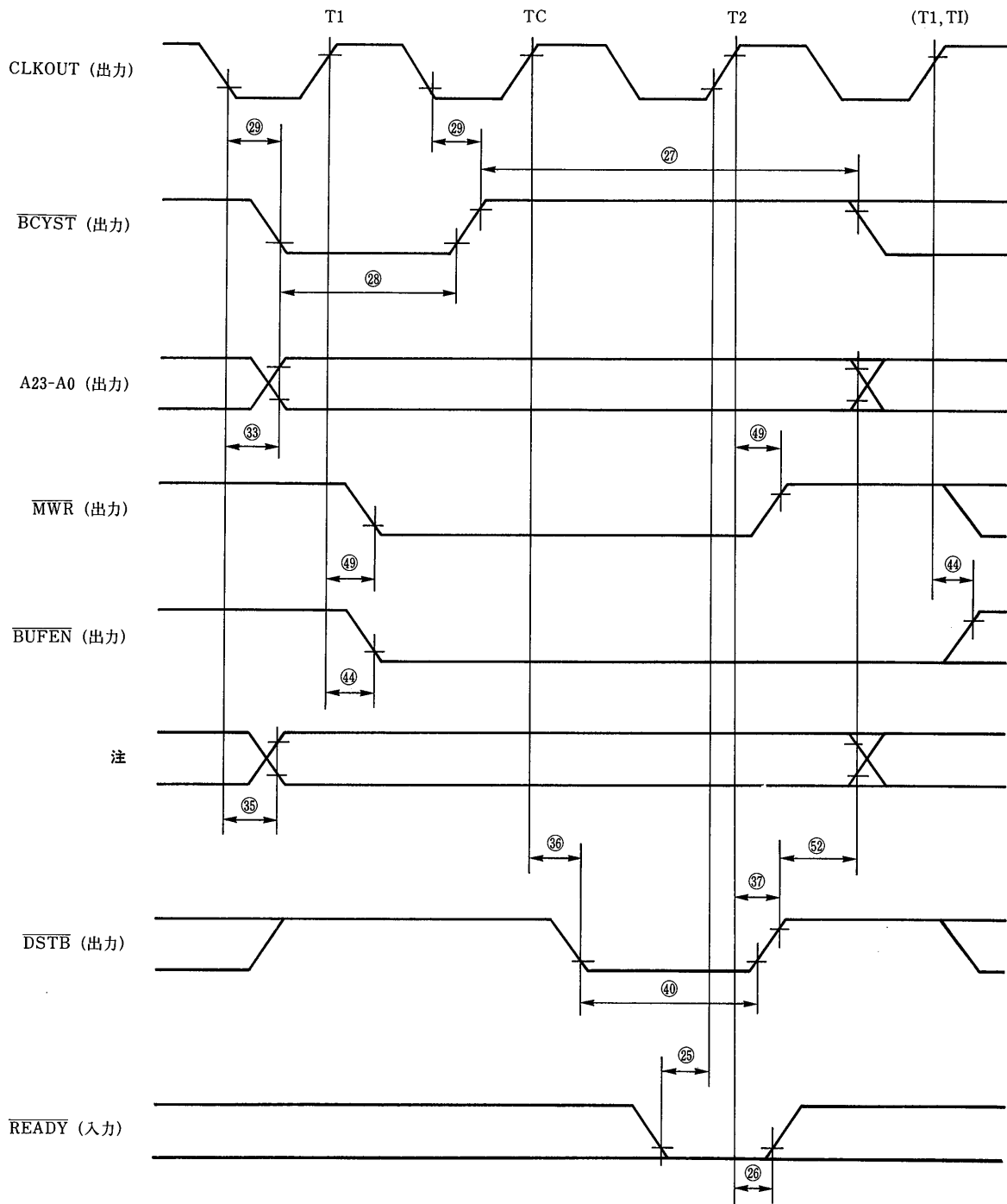
注 R/ \bar{W} , M/ \bar{IO} , BUSST2, BUSST1, BUSST0, \bar{UBE} , AEX (すべて出力)
 備考 \bar{DSTB} , \bar{BUFEN} はインアクティブです。

図15-25 メモリ・リード・フォー・コプロセッサ・サイクル (ウエイトなし)



注 $R\bar{W}$, $M\bar{I}\bar{O}$, BUSST2, BUSST1, BUSST0, $\bar{U}\bar{B}\bar{E}$, AEX (すべて出力)

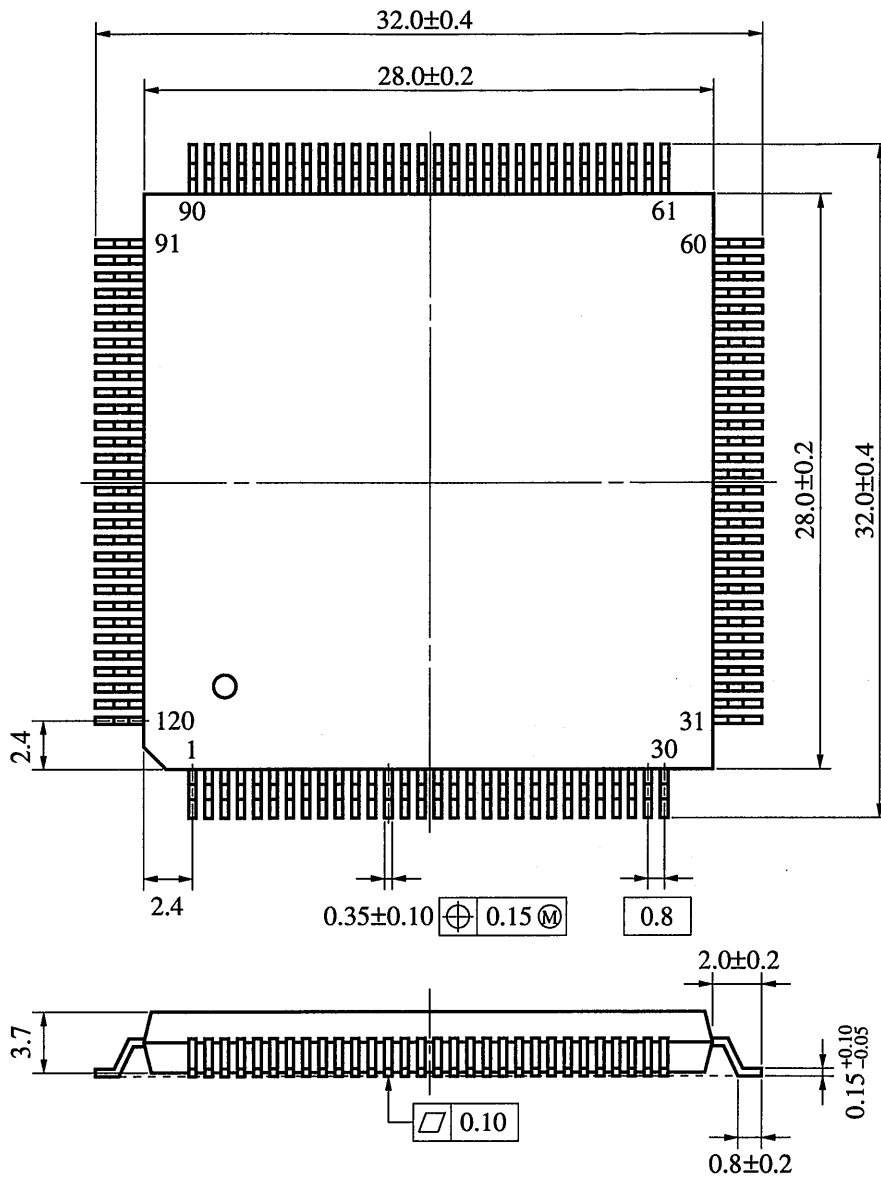
図15-26 メモリ・ライト・フォー・コプロセッサ・サイクル (ウエイトなし)



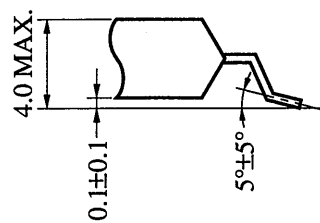
注 R/ \overline{W} , M/ \overline{IO} , BUSST2, BUSST1, BUSST0, \overline{UBE} , AEX (すべて出力)

16. 外形図

120ピン・プラスチック QFP (□28) 外形図 (単位: mm)

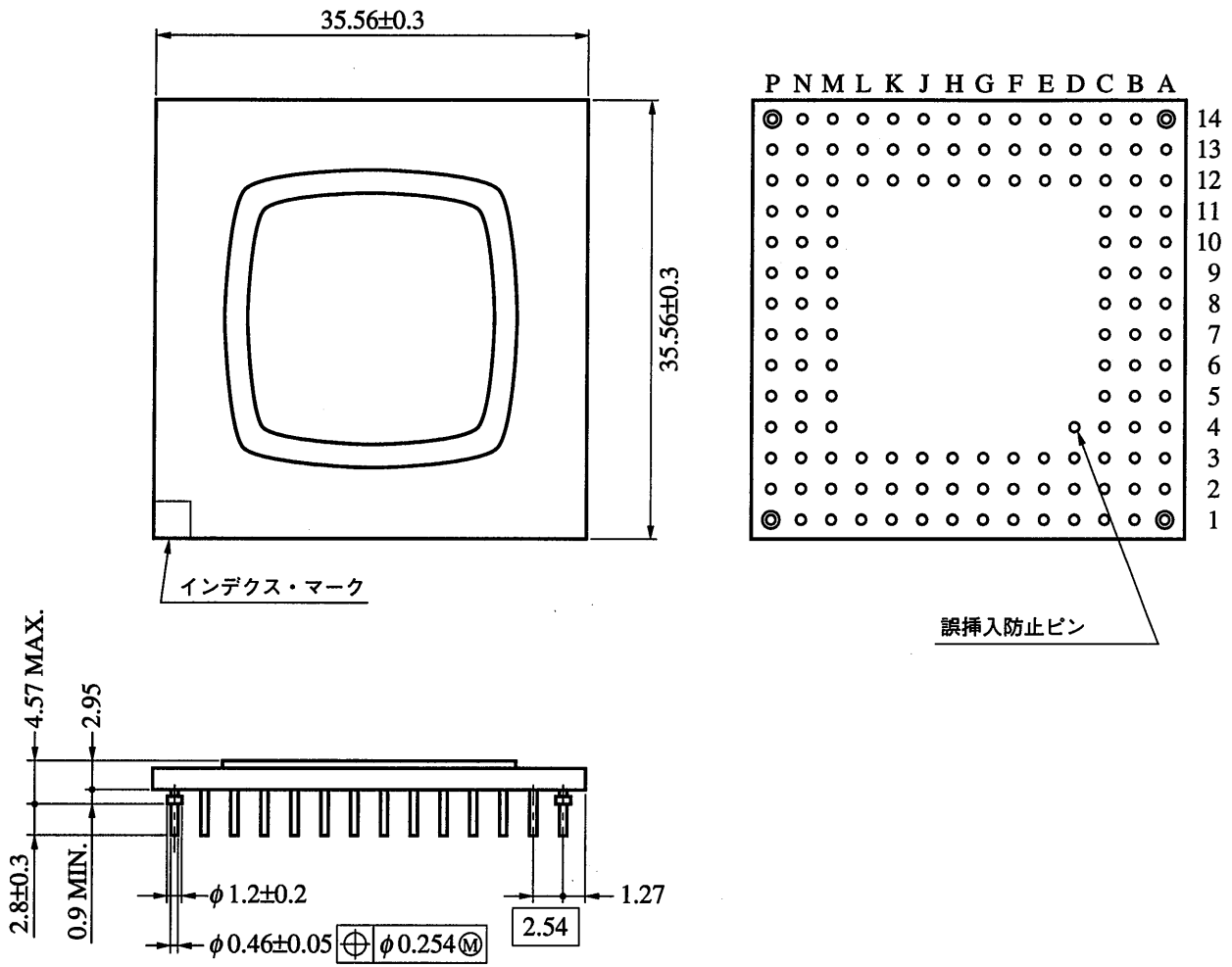


端子先端形状詳細図



P120GD-80-5BB-3

132ピン・セラミック PGA 外形図 (単位: mm)



X132R-100A-1

17. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表17-1 表面実装タイプの半田付け条件

μPD70236GD, 70236GD(A) : 120ピン・プラスチックQFP (□28 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内 (210℃以上)，回数：2回以内， 制限日数：7日間 ^注 (以降は125℃プリベーク36時間必要) 〈留意事項〉 (1)2回目のリフロは1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 (2)1回目のリフロ後の水によるフラックス洗浄はお避けください。	IR35-367-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内 (200℃以上)，回数：2回以内， 制限日数：7日間 ^注 (以降は125℃プリベーク36時間必要) 〈留意事項〉 (1)2回目のリフロは1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 (2)1回目のリフロ後の水によるフラックス洗浄はお避けください。	VP15-367-2
端子部分加熱	端子温度：300℃以下，時間：3秒以内 (デバイスの一辺当たり)	—

注 ドライパック開封後の保管日数で、保管条件は25℃，65%RH以下

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

表17-2 挿入タイプの半田付け条件

μPD70236R : 132ピン・セラミックPGA

半田付け方式	半田付け条件
ウェーブ・ソルダリング (端子のみ)	半田槽温度：260℃以下，時間：10秒以内
端子部分加熱	端子温度：300℃以下，時間：3秒以内 (一端子当たり)

注意 ウェーブ・ソルダリングは端子のみとし、噴流半田が直接本体に接触しないようご注意ください。

★ 付録 命令実行動作の相違点

命 令	V40, V50の場合	V53の場合
プリフィクス	<ul style="list-style-type: none"> ・最大3つまで記憶できます。 ・同一種類のプリフィクスを2つ以上つけた場合は、最も命令に近いプリフィクスのみが有効で、それ以外は無効です。 	<ul style="list-style-type: none"> ・異種類のプリフィクスならばいくつでも覚えられます (ただし、全部で3種類です)。 ・同一種類のプリフィクスは、2つ以上つけないでください。
DIV (符号付き除算)	商が80H (バイト演算時) または8000H (ワード演算時) になると、DIV命令ディバイド・エラーを発生します。	商が80H (バイト演算時) または8000H (ワード演算時) になるときも、正常に演算します。
ADJ4A, 注1 ADJ4S	<p>9AH ≤ AL ≤ 9FHの場合は、AC=0のときのみ上位4ビットの補正を行います。</p> <p>[命令の機能]</p> <ul style="list-style-type: none"> ・ AL ∧ 0FH > 9 または AC=1 のとき、ALレジスタの下位4ビットを補正 ・ AL > 9FH または CY=1 のとき、ALレジスタの上位4ビットを補正 ・ 99H < AL < A0H かつ AC=0 のとき、ALレジスタの上位4ビットを補正 	<p>9AH ≤ AL ≤ 9FHの場合は、常に上位4ビットの補正を行います。</p> <p>[命令の機能]</p> <ul style="list-style-type: none"> ・ AL ∧ 0FH > 9 または AC=1 のとき、ALレジスタの下位4ビットを補正 ・ AL > 99H または CY=1 のとき、ALレジスタの上位4ビットを補正
CVTBD, CVTDB	命令コードの2バイト目が0AHでなくても正常に計算します。	命令コードの2バイト目が0AH以外ならば、誤動作します。
PUSH SP POP SP	<p>(SP-2) ← SP-2^{注2}</p> <p>SP ← (SP)</p>	<p>(SP-2) ← SP</p> <p>SP ← (SP)</p>

注1. この相違点は、10進データ以外の演算結果に対して補正を行った場合に、違いとして現れます (10進データ同士の演算においては、9AH ≤ AL ≤ 9FH かつ AC=1 にはなりません)。

2. SPレジスタに対してPUSH命令、POP命令の組み合わせを実行すると、SPレジスタには命令実行前の値から(-2)された値が格納されます。

備考 プリフィクスの種類は次の3種類です。

- ・リピート … REPC, REPNC, REPZ, REPNZ
- ・セグメント・オーバーライド… PS:, DS0:, DS1:, SS:
- ・バス・ロック … BUSLOCK

命 令	V40, V50の場合	V53の場合
POP R	POPサイクルを7回起動します。 〔命令の機能〕 IY←(SP+1, SP) IX←(SP+3, SP+2) BP←(SP+5, SP+4) BW←(SP+9, SP+8) DW←(SP+11, SP+10) CW←(SP+13, SP+12) AW←(SP+15, SP+14) SP←SP+16	POPサイクルを8回起動します。 〔命令の機能〕 IY←(SP+1, SP) IX←(SP+3, SP+2) BP←(SP+5, SP+4) temp←(SP+7, SP+6) 注 BW←(SP+9, SP+8) DW←(SP+11, SP+10) CW←(SP+13, SP+12) AW←(SP+15, SP+14) SP←SP+16
POLL	POLL端子がロウ・レベルになるまでウエイトします。	・コプロセッサ不在時 コプロセッサ不在例外を発生します。 ・μPD72291持続時 $\overline{\text{CPBUSY}}$ 端子がロウ・レベルになるまでウエイトします。
PREPARE	制限事項なし	直後に実行できる命令に制限があります。
BRKEM	あり	なし
BRKXA	なし	あり
RETXA	なし	あり

注 この動作は、まったく意味を持ちません。

[メ ㇿ]

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

関連資料 V53 ユーザーズ・マニュアル U10109J

参考資料 電気的特性の考え方 マイコン編 IEI-601

V20, V30, V33, V40, V50, V53は日本電気株式会社の商標です。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 東北支社 岩手支社 山形支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 群奈川支社 群馬支店 太田支店 宇都宮支店	札幌 (011)231-0161 仙台 (022)261-5511 盛岡 (0196)51-4344 山形 (0236)23-5511 山形 (0249)23-5511 郡山 (0249)21-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (0292)26-1717 横浜 (045)324-5511 高崎 (0273)26-1255 太田 (0276)46-4011 宇都宮 (0286)21-2281	小山支店 (0285)24-5011 長野支社 (0262)35-1444 松本支店 (0263)35-1666 諏訪支店 (0266)53-5350 甲府支店 (0552)24-4141 大宮支店 (048)641-1411 立川支店 (0425)26-5981 千葉支社 (043)238-8116 静岡支社 (054)255-2211 沼津支店 (0559)63-4455 浜松支店 (053)452-2711 金沢支店 (0762)23-1621 福井支店 (0776)22-1866
富山支店 三重支店 京都支社 神戸支社 中国支社 鳥取支店 岡山支店 四国支社 新居浜支店 松山支店 九州支社 北九州支店	富山 (0764)31-8461 津 (0592)25-7341 京都 (075)344-7824 神戸 (078)333-3854 広島 (082)242-5504 鳥取 (0857)27-5311 岡山 (086)225-4455 高松 (0878)36-1200 新居浜 (0897)32-5001 松山 (0899)45-4111 福岡 (092)271-7700 北九州 (093)541-2887	

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目4番4号	川崎 (044)548-8890	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	