

V25+™

16/8 ビット・シングルチップ・マイクロコンピュータ

μ PD70325 (別名称 V25+) は、16ビット CPU, RAM, シリアル・インタフェース, タイマ, DMA コントローラ, 割り込みコントローラなどを1チップに集積したシングルチップ・マイクロコンピュータです。 μ PD70325 は、16/8 ビット・シングルチップ・マイクロコンピュータ μ PD70320 (別名称 V25™) とソフトウェア・コンパチブルです。V25+ は V25 に対し、DMA の応答性および転送レートを大幅に向上しています。

特 徴

- V25 とソフトウェア・コンパチブル
- μ PD70108, 70116 (ネイティブ・モード時) とソフトウェア・コンパチブル (追加命令あり)
- 内部16ビット・アーキテクチャ, 外部8ビット・データ・バス
- 3段パイプライン方式
- 最小インストラクション・サイクル: 250 ns/8 MHz (外部 16 MHz 時)
: 200 ns/10 MHz (外部 20 MHz 時)
- メモリ空間 1Mバイト
- 内蔵 RAM: 256ワード×8ビット
- レジスタ・バンク (メモリ・マップト方式): 8バンク
- コンパレータ付き入力ポート (ポート T): 8ビット
- I/O ライン (入力ポート: 4ビット, 入出力ポート: 20ビット)
- シリアル・インタフェース: 2チャンネル
 - 専用ポー・レート・ジェネレータ内蔵
 - アシンクロナス・モード, I/O インタフェース・モード
- 割り込みコントローラ
 - プログラマブル・プライオリティ (8レベル)
 - 3種類の割り込み応答方式
ベクタ割り込み機能, レジスタ・バンク切り替え機能, マクロ・サービス機能
- DRAM, 疑似 SRAM リフレッシュ機能
- DMA コントローラ: 2チャンネル
 - 4種類の DMA 転送モード
 - 転送レート 最大4Mバイト/秒 (ダイヤモンド・リリース・モード-DMARQ 端子による停止制御をしない場合)
最大2Mバイト/秒 (ダイヤモンド・リリース・モード-DMARQ 端子による停止制御をする場合,
バースト・モード)
 - アドレス・ポインタ (リニア): 20ビット
 - ターミナル・カウンタ: 16ビット

本資料の内容は、後日変更する場合があります。

- 16ビット・タイマ：2チャンネル
- タイム・ベース・カウンタ（20ビット）：1チャンネル
- クロック発生回路内蔵
- プログラマブル・ウェイト機能
- スタンバイ機能（STOP, HALT）

★ オーダ情報

オーダ名称	パッケージ	外部クロック (MHz)
μPD70325GJ-8-5BG	94ピン・プラスチック QFP (□20 mm)	16
μPD70325GJ-10-5BG	"	20
μPD70325L-8	84ピン・プラスチック QFJ (□1150 mil)	16
μPD70325L-10	"	20

★ V25 と V25+ との比較

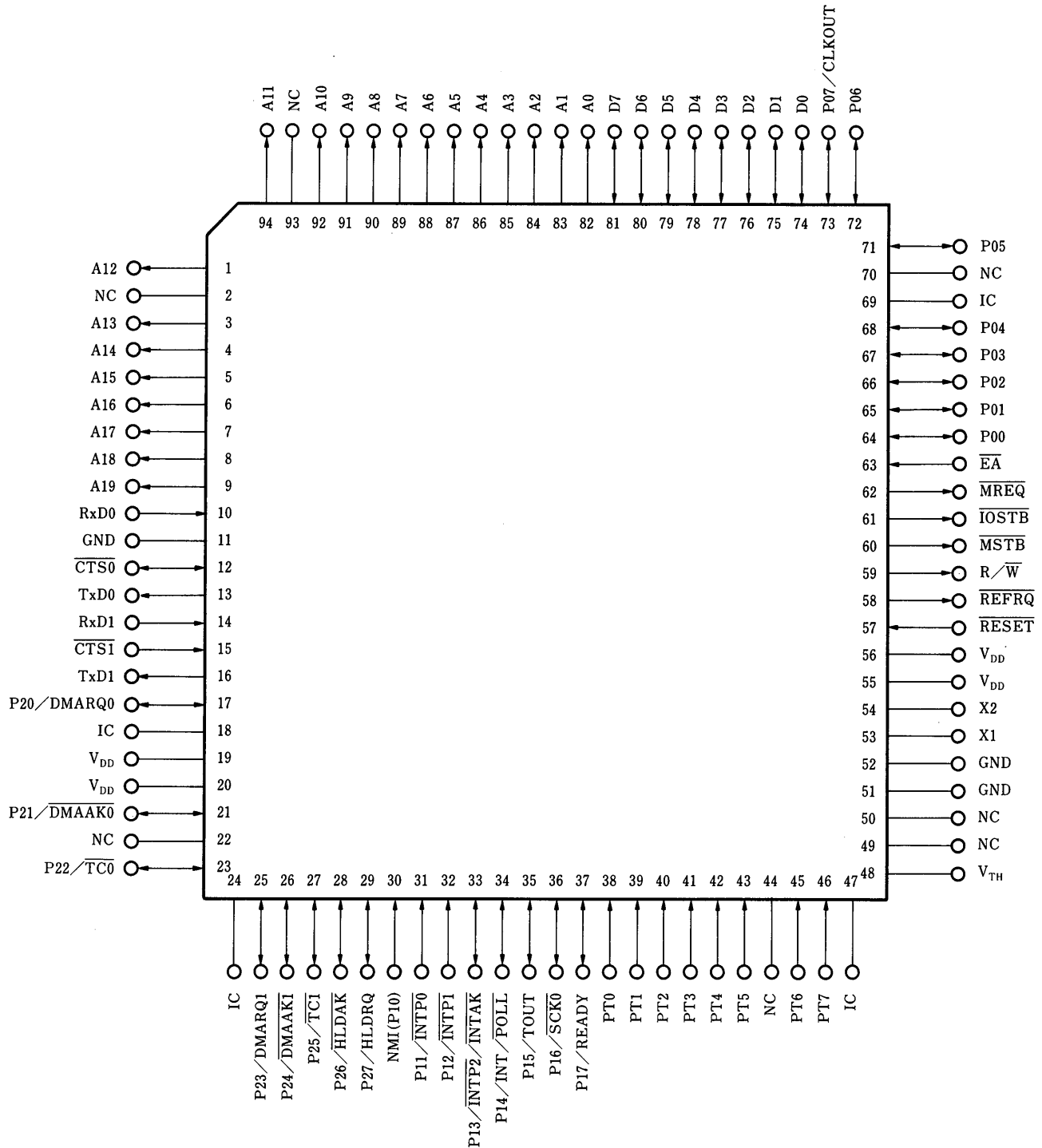
		V25	V35 TM	V25+	V35+ TM
		μPD70320	μPD70330	μPD70325	μPD70335
D M A 機 能	転送処理方法	マイクロプログラムによる		専用ハードウェアによる	
	最大転送レート (8 MHz 動作時)	0.6 Mバイト/秒	0.8 Mバイト/秒	4 Mバイト/秒	5.3 Mバイト/秒
	DMA 要求のサンプリング・タイミング	命令実行サイクル間		バス・サイクル間	
	DMA サービス・チャネル	内蔵 RAM 領域内		特殊機能レジスタ内	
	転送アドレスの指定方法	セグメント方式		リニア方式	
	シングルステップ・モードでの実行形式	1 DMA 転送 / 1 命令実行		1 DMA 転送 / 1 バス・サイクル	
	DMA 転送中の割り込み要求 (ディマンド・リリース・モード)	NMIのみ受け付ける		受け付けない	
	DMARQで停止制御するときの必要ウェイト数 (ディマンド・リリース・モード)	必要なし		2 ウェイト	
	転送処理単位	バイト/ワード	バイト/ワード	バイト	バイト/ワード
	TC (ターミナル・カウンタ) の設定値	DMA 転送回数		(DMA 転送回数) - 1	
	ターミナル・カウンタの発生タイミング	TC = 0		TC = FFFFH	
TC出力ロウ・レベル幅	固 定		ウェイト挿入により伸長		
シ リ ア ル ・ イ ン タ フ ェ ー ス	アシンクロナス・モード時の送信クロック 出力 (チャネル 0)	不 可		可 ($\overline{\text{SCK0}}$ 端子)	
	シリアル・エラー・レジスタ	あ り		シリアル・ステータス・レジスタ	
	受信バッファ・フル・フラグ	な し		シリアル・ステータス・レジスタ内	
	送信バッファ・エンプティ・フラグ	な し		シリアル・ステータス・レジスタ内	
	オール・セント・フラグ	な し		シリアル・ステータス・レジスタ内	
割り込み機能	割り込み要因レジスタ		な し		あ り
外部データ・バス	8 ビット	16 ビット	8 ビット	16 ビット	
最大動作周波数	8 MHz		10 MHz		

端子接続図 (Top View)

★ 94ピン・プラスチック QFP

μPD70325GJ-8-5BG

μPD70325GJ-10-5BG



備考1. NC : Non-Connection

2. IC : Internally Connected

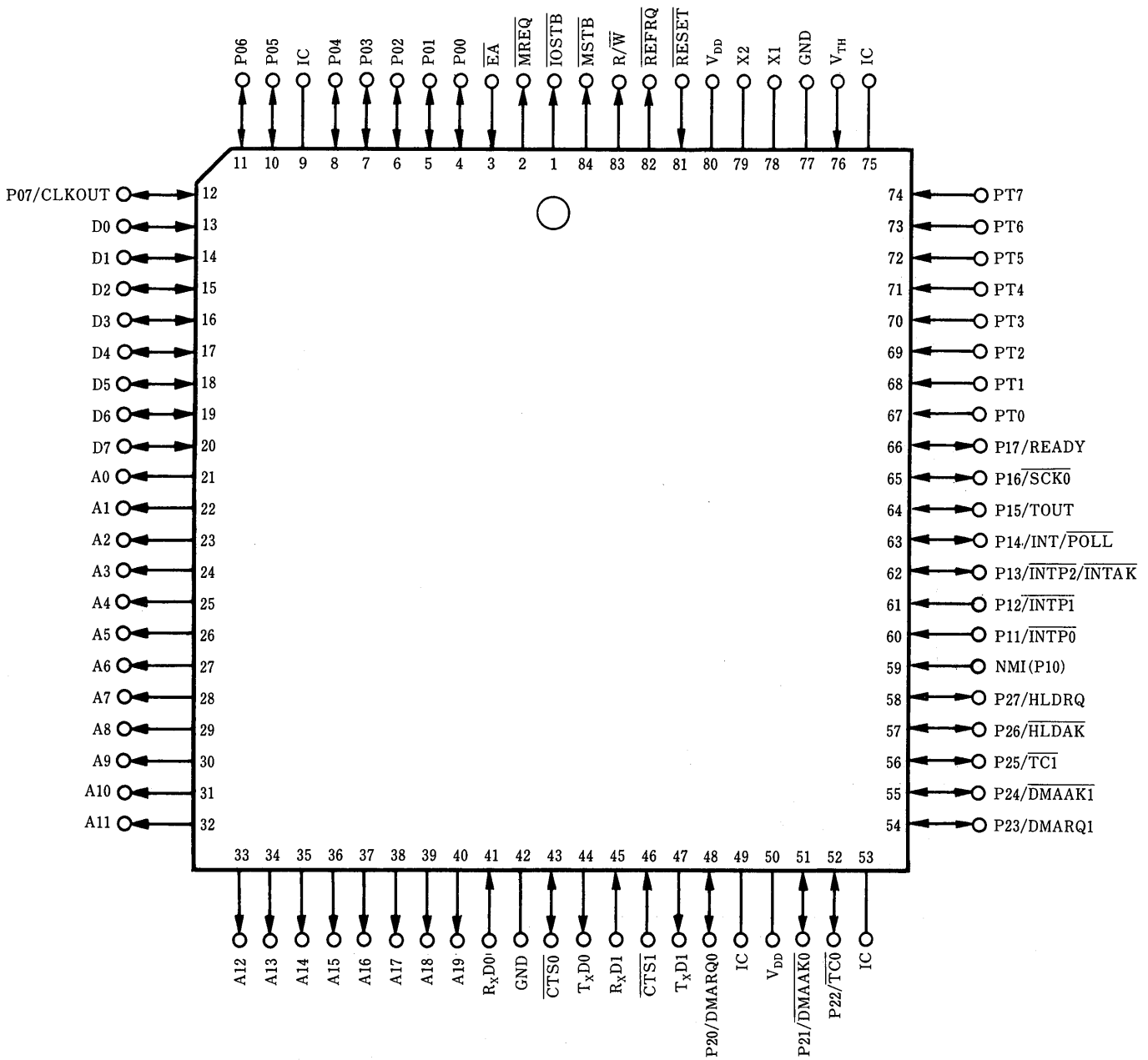
注意1. IC端子は外部で個別にプルアップ抵抗を介して、ハイ・レベルに固定してください。

2. EA端子は、ロウ・レベルに固定してください。

84ピン・プラスチック QFJ

μPD70325L-8

μPD70325L-10

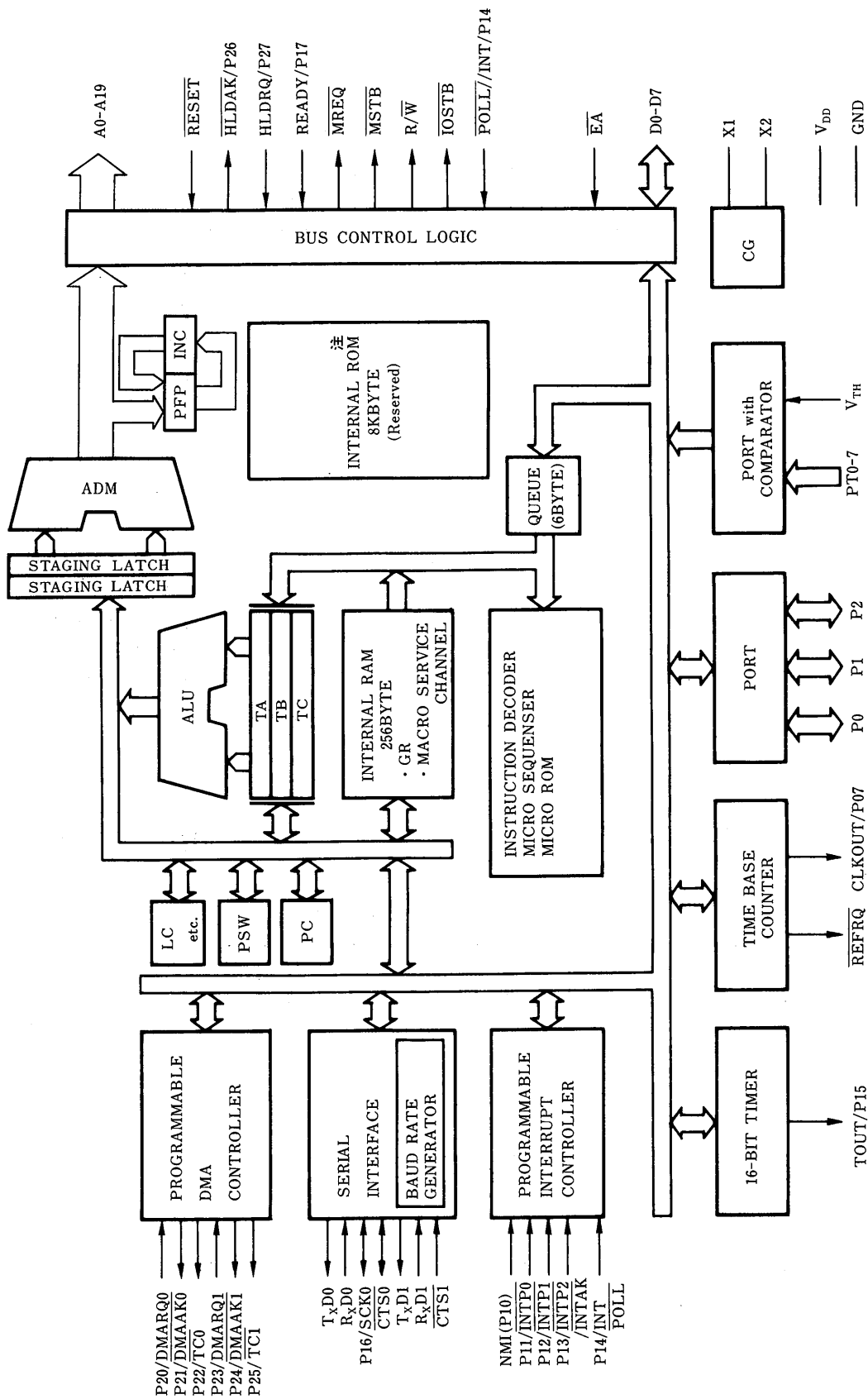


備考 IC : Internally Connected

注意1. IC端子は外部から個別にプルアップ抵抗を介して、ハイ・レベルに固定してください。

2. EA端子はロウ・レベルに固定してください。

内部ブロック図



注 8Kバイトの内蔵ROMは当社のテスト用など特殊用途向けに予約されており、ユーザーは使用できません。

目 次

- 1. 端子機能 … 8
 - 1.1 ポート端子 … 8
 - 1.2 ポート以外の端子 … 9

- 2. 命令セット … 10
 - 2.1 μ PD70108, 70116との比較 … 10
 - 2.2 命令セットのオペレーション … 12
 - 2.3 命令セット一覧表 … 15
 - 2.4 クロック数一覧 … 37

- 3. 電気的特性 … 48

- 4. 外形図 … 73

- 5. 半田付け推奨条件 … 75

1. 端子機能

1.1 ポート端子

端子名称	入出力	ポート機能	コントロール機能
P00-P06	入出力	ビット単位で入出力の指定ができる8ビット入出力ポート	—
P07/CLKOUT	入出力/出力		システム・クロック出力
NMI (P10)	入力	ノンマスクابل割り込み要求入力 (入力ポート) 外部割り込み要求入力 兼 入力ポート	—
P11/ $\overline{\text{INTP0}}$			
P12/ $\overline{\text{INTP1}}$			
P13/ $\overline{\text{INTP2}}/\overline{\text{INTAK}}$	入力/入力/出力		INTのアクノリッジ信号出力
P14/ $\overline{\text{POLL}}/\overline{\text{INT}}$	入出力/入力/入力	入出力の指定ができる入出力ポート 兼 $\overline{\text{POLL}}$ 入力	外部割り込み要求入力
P15/TOUT	入出力/出力	ビット単位で入出力の指定ができる入出力ポート	タイマ出力
P16/ $\overline{\text{SCK0}}$			シリアル・クロック出力
P17/READY	入出力/入力		READY入力
P20/DMARQ0	入出力/入力	ビット単位で入出力の指定ができる8ビット入出力ポート	DMA リクエスト入力 (CH0)
P21/ $\overline{\text{DMAAK0}}$			DMA アクノリッジ出力 (CH0)
P22/ $\overline{\text{TC0}}$	入出力/入力		DMA 終了出力 (CH0)
P23/DMARQ1	入出力/入力		DMA リクエスト入力 (CH1)
P24/ $\overline{\text{DMAAK1}}$	入出力/出力		DMA アクノリッジ出力 (CH1)
P25/ $\overline{\text{TC1}}$			DMA 終了出力 (CH1)
P26/ $\overline{\text{HLDAK}}$	入出力/出力		HOLD アクノリッジ出力
P27/HLDRQ	入出力/入力		HOLD 入力
PT0-PT7	入力	8ビット・コンパレータ付き入力ポート	—

備考 リセット解除後、各ポート端子は入力ポートとなります。P13/ $\overline{\text{INTP2}}/\overline{\text{INTAK}}$ を $\overline{\text{INTAK}}$ 端子として使用するときは、リセット解除後の外部割り込みコントローラの誤動作を回避するため必ずプルアップしてください。

1.2 ポート以外の端子

端子名称	入出力	機能
TXD0	出力	シリアル・データ出力
TXD1		
RXD0	入力	シリアル・データ入力
RXD1		
$\overline{\text{CTS0}}$	入出力	アシンクロナス・モード時, CTS 入力。I/O インタフェース・モード時, 受信クロック入出力
$\overline{\text{CTS1}}$	入力	CTS 入力
$\overline{\text{REFRQ}}$	出力	DRAM リフレッシュ・パルス出力
V_{TH}	入力	コンパレータの基準電圧入力
$\overline{\text{RESET}}$		リセット信号入力
$\overline{\text{EA}}$		ロウ・レベルに固定してください。
X1		システム・クロック発振用のクリスタル接続端子。外部クロック入力は, X1 端子と X2 端子に逆相のクロックを入力することで行う。
X2		
D0-D7	入出力	8ビット・データ・バス
A0-A19	出力	20ビット・アドレス出力
$\overline{\text{MREQ}}$		メモリ・バス・サイクルが起動されたことを示す出力
$\overline{\text{MSTB}}$		メモリ・リードまたはメモリ・ライトのストロブ出力
$\text{R}/\overline{\text{W}}$		リード・サイクル, ライト・サイクルの識別信号出力
$\overline{\text{IOSTB}}$		I/O リードまたは I/O ライトのストロブ出力
V_{DD}		正電源供給端子。2 端子とも接続してください。
GND		GND 端子。2 端子とも接続してください。
IC		インターナル・コネクタ。外部からプルアップ抵抗を介して, ハイ・レベルに固定してください。

2. 命令セット

★ μPD70325の命令セットは、μPD70320とコンパチブルです。

2.1 μPD70108, 70116との比較

μPD70325の命令セットは、μPD70108, 70116のネイティブ・モード時と上位互換性を持ちます。

μPD70108, 70116に対し、新しく追加した命令を以下に列記します。

(1) 条件付きブランチ命令

○BTCLR……特殊機能レジスタのビット・テスト命令

BTCLRの実行により、対象となる特殊機能レジスタのビットの状態が1の場合、そのビットをリセット(0)し、オペランドに記述したshort-labelへ分岐する。対象ビットが0の場合、次の命令に移る。なお、PSWは変化しません。

(記述形式)	オペランド			
	ニモニック	特殊機能レジスタのアドレス	特殊機能レジスタのビット	分岐先
BTCLR	sfr	imm3	short-label	

(2) 割り込み命令

○RETRBI……レジスタ・バンクの復帰命令

レジスタ・バンク切り替え機能を使用した割り込み処理ルーチンから、復帰する時に使用します。ベクタ割り込みからの復帰には使用できません。

(記述形式)	ニモニック	オペランド
RETRBI		なし

○FINT……割り込みコントローラに対して割り込み処理を終了したことを示す命令

NMI, INT, ソフトウェア割り込み以外の割り込みを使用した場合、割り込みからの復帰命令の前に実行する必要があります。NMI, INT, ソフトウェア割り込みでは使用してはいけません。

(記述形式)	ニモニック	オペランド
FINT		なし

(3) CPU命令

○STOP……STOP状態への移行命令

(記述形式)	ニモニック	オペランド
STOP		なし

(4) レジスタ・バンク切り替え命令

○BRKCS……レジスタ・バンクを切り替える命令

レジスタ・バンクが、オペランドに記述した16ビット・レジスタの内容の下位3ビットで示されるレジスタ・バンクに切り替わります。また、新しいレジスタ・バンク内にあらかじめストアしておいたPSとベクタPCから得られるアドレスに分岐します。

新しいレジスタ・バンクからの復帰には、RETRBI命令を使用します。

(記述形式)

ニモニック	オペランド
BRKCS	reg16

○TSKSW……レジスタ・バンクを切り替える命令

BRKCS命令と同様にレジスタ・バンクを切り替え、新しいレジスタ・バンク内にあらかじめストアしておいたPSとPC退避エリアから得られるアドレスに分岐します。

(記述形式)

ニモニック	オペランド
TSKSW	reg16

(5) データ転送命令

○MOVSPA……SS, SPの転送命令

レジスタ・バンクの切り替わる前のSS, SPの値を、現在(切り替え後)のレジスタ・バンクのSS, SPに転送します。

(記述形式)

ニモニック	オペランド
MOVSPA	なし

○MOVSPB……SS, SPの転送命令

現在(切り替え前)のレジスタ・バンクのSS, SPの値を、オペランドに記述した16ビット・レジスタの内容の下位3ビットで示される切り替え先のレジスタ・バンクのSS, SPに転送します。

(記述形式)

ニモニック	オペランド
MOVSPB	reg16

その他、μPD70108, 70116の命令セットに対して、μPD70325では使用上注意する命令セットがあります。

- { 入出力命令……PSWのIBRKフラグがリセット(0)されていると命令を実行せず割り込みが発生します。
- プリミティブ 入出力命令を使用する時は、IBRKフラグをセット(1)してください。
- 入出力命令

○FPO命令……命令を実行せず、割り込みが発生します。

2.2 命令セットのオペレーション

表2-1 オペランド・タイプの凡例

識別子	説	明
reg, reg'	8/16ビット汎用レジスタ	
reg 8, reg 8'	8ビット汎用レジスタ	
reg16, reg16'	16ビット汎用レジスタ	
dmem	8/16ビット・メモリ・ロケーション	
mem	8/16ビット・メモリ・ロケーション	
mem 8	8ビット・メモリ・ロケーション	
mem16	16ビット・メモリ・ロケーション	
mem32	32ビット・メモリ・ロケーション	
sfr	8ビット特殊機能レジスタ・ロケーション	
imm	0-FFFFHの範囲の定数	
imm 3	0-7の範囲の定数	
imm 4	0-FHの範囲の定数	
imm 8	0-FFHの範囲の定数	
imm16	0-FFFFHの範囲の定数	
acc	レジスタAWまたはAL	
sreg	セグメント・レジスタ	
src-table	256バイト変換テーブルの名称	
src-block	レジスタIXでアドレスされるブロックの名称	
dst-block	レジスタIYでアドレスされるブロックの名称	
near-proc	現在のプログラム・セグメント内のプロシージャ	
far-proc	別のプログラム・セグメント内のプロシージャ	
near-label	現在のプログラム・セグメント内のレーベル	
short-label	命令の終わりから-128~+127バイトの範囲のレーベル	
far-label	別のプログラム・セグメント内のレーベル	
memptr16	制御が移されようとしている現在のプログラム・セグメント内のロケーションのオフセットを含むワード	
memptr32	制御が移されようとしている別のプログラム・セグメント内のロケーションのオフセットとセグメント・ベース・アドレスを含むダブルワード	
regptr16	制御が移されようとしている別のプログラム・セグメント内のロケーションのオフセットを含む16ビット汎用レジスタ	
pop-value	スタックから捨てるバイト数 (0-64K, 通常は偶数)	
fp-op	外部の浮動小数点演算チップの命令コードを判別するイミーディエト値	
R	レジスタ・セット	

表2-2 オペレーション・コードの凡例

識別子	説	明
W	バイト/ワード指定ビット (0:バイト, 1:ワード)。ただしs=1のときは, W=1であってもサイン拡張のバイト・データを16ビット・オペランドとします。	
reg, reg'	レジスタ・フィールド (000-111)	
mem	メモリ・フィールド (000-111)	
mod	モード・フィールド (00-10)	
s	サイン拡張指定ビット (0:サイン拡張なし, 1:サイン拡張あり)	
X, XXX, YYY, ZZZ	外部の浮動小数点演算チップの命令コードを判別するためのデータ。	

表 2-3 オペレーション説明上の凡例

識別子	説明
AW	アキュムレータ (16ビット)
AH	" (上位バイト)
AL	" (下位バイト)
BW	レジスタBW (16ビット)
CW	レジスタCW (")
CL	" (下位バイト)
DW	レジスタDW (16ビット)
SP	スタック・ポインタ (16ビット)
PC	プログラム・カウンタ (16ビット)
PSW	プログラム・ステータス・ワード (16ビット)
IX	インデクス・レジスタ (ソース) (16ビット)
IY	" (デスティネーション) (16ビット)
PS	プログラム・セグメント・レジスタ (16ビット)
DS 1	データ・セグメント 1 ・レジスタ (16ビット)
DS 0	データ・セグメント 0 ・レジスタ (16ビット)
SS	スタック・セグメント・レジスタ (16ビット)
AC	補助キャリー・フラグ
CY	キャリー・フラグ
P	パリティ・フラグ
S	サイン・フラグ
Z	ゼロ・フラグ
DIR	方向フラグ
IE	割り込み許可フラグ
V	オーバフロー・フラグ
BRK	ブレイク・フラグ
(…)	() 内で示されるメモリの内容
disp	ディスプレイメント (8/16ビット)
ext-disp 8	8ビット・ディスプレイメントをサイン拡張した16ビット
temp	テンポラリー・レジスタ (8/16/32ビット)
tmpcy	テンポラリー・キャリー・フラグ (1ビット)
seg	イミューディエト・セグメント・データ (16ビット)
offset	イミューディエト・オフセット・データ (16ビット)
←	転送方向
+	加算
-	減算
×	乗算
÷	除算
%	モジュロ
∧	論理積
∨	論理和
⊕	排他的論理和
××H	16進数 2 桁の数値
××××H	16進数 4 桁の数値

表2-4 フラグの動作の凡例

識別子	説明
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
×	結果に従ってセットまたはクリアされる
U	不定
R	以前に退避した値がリストアされる

表2-5 メモリ・アドレッシング

mem \ mod	0 0	0 1	1 0
0 0 0	BW+IX	BW+IX+disp 8	BW+IX+disp 16
0 0 1	BW+IY	BW+IY+disp 8	BW+IY+disp 16
0 1 0	BP+IX	BP+IX+disp 8	BP+IX+disp 16
0 1 1	BP+IY	BP+IY+disp 8	BP+IY+disp 16
1 0 0	IX	IX+disp 8	IX+disp 16
1 0 1	IY	IY+disp 8	IY+disp 16
1 1 0	DIRECT ADDRESS	BP+disp 8	BP+disp 16
1 1 1	BW	BW+disp 8	BW+disp 16

表2-6 8/16ビット汎用レジスタの選択

reg, reg'	W=0	W=1
0 0 0	AL	AW
0 0 1	CL	CW
0 1 0	DL	DW
0 1 1	BL	BW
1 0 0	AH	SP
1 0 1	CH	BP
1 1 0	DH	IX
1 1 1	BH	IY

表2-7 セグメント・レジスタの選択

sreg	
0 0	DS1
0 1	PS
1 0	SS
1 1	DS0

2.3 命令セット一覧表

命令群	ニモニック	オペランド	オペレーション・コード								バイト数	オペレーション	フラグ												
			7	6	5	4	3	2	1	0			AC	CY	V	P	S	Z							
MOV	reg,reg'	reg,reg'	1	0	0	0	1	0	1	1	0	1	1	0	0	0	0	2	reg←reg'						
	mem,reg	mem,reg	1	0	0	0	1	0	0	0	0	1	0	0	0	1	0	2-4	(mem)←reg						
	reg,mem	reg,mem	1	0	0	0	1	0	1	1	0	1	0	0	0	1	1	2-4	reg←(mem)						
	mem,imm	mem,imm	1	1	0	0	0	1	1	1	0	1	0	0	0	0	0	3-6	(mem)←imm						
	reg,imm	reg,imm	1	0	1	1	1	0	0	0	0	1	0	1	1	0	0	2-3	reg←imm						
	acc,dmem	acc,dmem	1	0	1	0	0	0	0	0	0	1	0	1	0	0	0	3	W=0のとき AL←(dmem) W=1のとき AH←(dmem+1),AL←(dmem)						
	dmem,acc	dmem,acc	1	0	1	0	0	0	1	1	0	1	0	1	0	0	1	3	W=0のとき (dmem)←AL W=1のとき (dmem+1)←AH,(dmem)←AL						
	sreg,reg16	sreg,reg16	1	0	0	0	1	1	1	0	0	1	1	0	0	1	0	2	sreg←reg16						
	sreg,mem16	sreg,mem16	1	0	0	0	1	1	1	0	0	1	0	0	0	1	0	2-4	sreg←(mem16)						
	reg16,sreg	reg16,sreg	1	0	0	0	1	1	0	0	0	1	1	0	0	1	0	2	reg16←sreg						
転送	mem16,sreg	mem16,sreg	1	0	0	0	1	1	0	0	1	0	0	0	1	0	2-4	(mem16)←sreg							
	DS0,reg16,mem32	DS0,reg16,mem32	1	1	0	0	0	1	0	1	1	0	0	1	0	1	2-4	reg16←(mem32) DS0←(mem32+2)							
	DS1,reg16,mem32	DS1,reg16,mem32	1	1	0	0	0	1	0	0	1	0	0	1	0	0	2-4	reg16←(mem32) DS1←(mem32+2)							
	AH,PSW	AH,PSW	1	0	0	1	1	1	1	1	1	1	0	0	1	1	1	1	AH←S,Z,F1,AC,F0,P,IBRK,CY						
	PSW,AH	PSW,AH	1	0	0	1	1	1	1	0	1	0	0	1	1	1	1	S,Z,F1,AC,F0,P,IBRK,CY←AH							
	reg16,mem16	reg16,mem16	1	0	0	0	1	1	0	1	0	1	0	0	0	1	1	2-4	reg16←mem16						
	src-table	src-table	1	1	0	1	0	1	1	1	1	1	1	0	1	0	1	1	AL←(BW+AL)						
	reg,reg'	reg,reg'	1	0	0	0	0	1	1	1	0	1	0	0	0	1	1	2	reg←reg'						
	mem,reg,reg,mem	mem,reg,reg,mem	1	0	0	0	0	1	1	1	0	1	0	0	0	1	1	2-4	(mem)←reg						
	AW,reg16,reg16,AW	AW,reg16,reg16,AW	1	0	0	1	0	0	0	0	0	1	0	0	1	0	0	1	AW←reg16						
MOVSPA注			0	0	0	0	1	1	1	1	0	0	1	0	0	1	2	新レジスタ・バンクのSS, SP←旧レジスタ・バンクのSS, SP							
	MOVSPB注	reg16	0	0	0	0	1	1	1	1	1	0	0	1	0	1	3	reg16で示される新しいレジスタ・バンクのSS, SP←旧レジスタ・バンクのSS, SP							

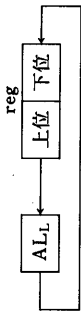
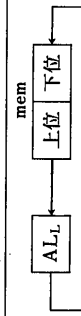
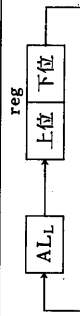
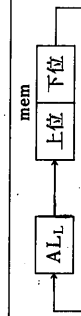
注 μPD70108, 70116に対して、新しく追加した命令

命令群	オペランド	オペレーション・コード		バイト数	オペレ	レシ	ョ	ン	フラグ					
		76543210	76543210						AC	CY	V	P	S	Z
REPC		01100101		1	CW≠0の間、続くバイトのプリミティブ・ブロック転送命令を実行し、CWをデクリメント(-1)する。保留割り込みがあれば処理する。CY≠1のときループを抜け出る。									
REPNC		01100100		1	同上									
REP		11110011		1	CW≠0の間、続くバイトのプリミティブ・ブロック転送命令を実行し、CWをデクリメント(-1)する。保留割り込みがあれば処理する。プリミティブ・ブロック転送命令がCMPBKまたはCMPMでかつ、Z≠1のときループを抜け出る。									
REPNE		11110010		1	同上									
REPZ		11110010		1	Z≠0のときループを抜け出る。									
MOVBK	dst-block, src-block	1010010W		1	W=0のとき (IX)←(IX) DIR=0 : IX←IX+1, IY←IY+1 DIR=1 : IX←IX-1, IY←IY-1 W=1のとき (IY+1, IY)←(IX+1, IX) DIR=0 : IX←IX+2, IY←IY+2 DIR=1 : IX←IX-2, IY←IY-2									
CMPBK	src-block, dst-block	1010011W		1	W=0のとき (IX)←(IY) DIR=0 : IX←IX+1, IY←IY+1 DIR=1 : IX←IX-1, IY←IY-1 W=1のとき (IX+1, IX)←(IY+1, IY) DIR=0 : IX←IX+2, IY←IY+2 DIR=1 : IX←IX-2, IY←IY-2									
CMPM	dst-block	1010111W		1	W=0のとき AL←(IY) DIR=0 : IY←IY+1; DIR=1 : IY←IY-1 W=1のとき AW←(IY+1, IY) DIR=0 : IY←IY+2; DIR=1 : IY←IY-2									
LDM	src-block	1010110W		1	W=0のとき AL←(IX) DIR=0 : IX←IX+1; DIR=1 : IX←IX-1 W=1のとき AW←(IX+1, IX) DIR=0 : IX+2; DIR=1 : IX←IX-2									
STM	dst-block	1010101W		1	W=0のとき (IY)←AL DIR=0 : IY←IY+1; DIR=1 : IY←IY-1 W=1のとき (IY+1, IY)←AW DIR=0 : IY←IY+2; DIR=1 : IY←IY-2									

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	オペレ	シ	ヨ	ン	フ			
			76543210	76543210						AC	CY	V	P
INS	reg8,reg8'	reg8,imm4	00001111	00110001	3	16ビット・フィールド←AW							
			11 reg' reg										
EXT	reg8,reg8'	reg8,imm4	00001111	00111001	4	16ビット・フィールド←AW							
			11000 reg										
IN	acc,imm8	acc,DW	00001111	00110011	3	AW←16ビット・フィールド							
			11 reg' reg										
OUT	imm8,acc	DW,acc	00001111	00111011	4	AW←16ビット・フィールド							
			11000 reg										
INM	dst-block, DW	DW,acc	1110010W		2	W=0のとき AL←(imm8) W=1のとき AH←(imm8+1), AL←(imm8)							
			1110110W										
OUTM	DW, src-block	DW, src-block	1110011W		2	W=0のとき (imm8)←AL W=1のとき (imm8+1)←AH, (imm8)←AL							
			1110111W										
INM	dst-block, DW	DW,acc	1110111W		1	W=0のとき (DW)←AL W=1のとき (DW+1)←AH, (DW)←AL							
			0110110W										
OUTM	DW, src-block	DW, src-block	1110111W		1	W=0のとき (DY)←(DW) DIR=0 : IY←IY+1; DIR=1 : IY←IY-1 W=1のとき (IY+1, IY)←(DW+1, DW) DIR=0 : IY←IY+2; DIR=1 : IY←IY-2							
			0110111W										
OUTM	DW, src-block	DW, src-block	1110111W		1	W=0のとき (DW)←(IX) DIR=0 : IX←IX+1 : DIR=1 : IX←IX-1 W=1のとき (DW+1, DW)←(IX+1, IX) DIR=0 : IX←IX+2; DIR=1 : IX←IX-2							
			0110111W										

注 IBRK = 0 のとき、ソフトウェア割り込みが自動的に発生し、命令は実行されません。

命令群	二モニック	オペランド	オペレーション・コード				バイト数	オペレーション	フラグ														
			7	6	5	4			3	2	1	0	AC	CY	V	P	S	Z					
加	ADD	reg,reg'	0	0	0	0	1	W	1	1	reg	reg'	2	reg←reg+reg'	×	×	×	×	×	×			
		mem,reg	0	0	0	0	0	0	W	mod	reg	mem	2-4	(mem)←(mem)+reg	×	×	×	×	×	×			
		reg,mem	0	0	0	0	0	1	W	mod	reg	mem	2-4	reg←reg+(mem)	×	×	×	×	×	×			
		reg,imm	1	0	0	0	0	s	W	1	1	0	0	reg	3-4	reg←reg+imm	×	×	×	×	×	×	
		mem,imm	1	0	0	0	0	s	W	mod	0	0	0	mem	3-6	(mem)←(mem)+imm	×	×	×	×	×	×	
		acc,imm	0	0	0	0	1	0	W					2-3	W=0のとき AL←AL+imm W=1のとき AW←AW+imm	×	×	×	×	×	×		
減	ADDC	reg,reg'	0	0	0	1	0	1	W	1	1	reg	reg'	2	reg←reg+reg'+CY	×	×	×	×	×	×		
		mem,reg	0	0	0	1	0	0	W	mod	reg	mem	2-4	(mem)←(mem)+reg+CY	×	×	×	×	×	×			
		reg,mem	0	0	0	1	0	1	W	mod	reg	mem	2-4	reg←reg+(mem)+CY	×	×	×	×	×	×			
		reg,imm	1	0	0	0	0	s	W	1	1	0	1	reg	3-4	reg←reg+imm+CY	×	×	×	×	×	×	
		mem,imm	1	0	0	0	0	s	W	mod	0	1	0	mem	3-6	(mem)←(mem)+imm+CY	×	×	×	×	×	×	
		acc,imm	0	0	0	1	0	1	W					2-3	W=0のとき AL←AL+imm+CY W=1のとき AW←AW+imm+CY	×	×	×	×	×	×		
算	SUB	reg,reg'	0	0	1	0	1	0	1	W	1	1	reg	reg'	2	reg←reg-reg'	×	×	×	×	×	×	
		mem,reg	0	0	1	0	1	0	W	mod	reg	mem	2-4	(mem)←(mem)-reg	×	×	×	×	×	×			
		reg,mem	0	0	1	0	1	0	1	W	mod	reg	mem	2-4	reg←reg-(mem)	×	×	×	×	×	×		
		reg,imm	1	0	0	0	0	s	W	1	1	1	0	1	reg	3-4	reg←reg-imm	×	×	×	×	×	×
		mem,imm	1	0	0	0	0	s	W	mod	1	0	1	mem	3-6	(mem)←(mem)-imm	×	×	×	×	×	×	
		acc,imm	0	0	1	0	1	1	0	W					2-3	W=0のとき AL←AL-imm W=1のとき AW←AW-imm	×	×	×	×	×	×	
命	SUBC	reg,reg'	0	0	0	1	1	0	1	W	1	1	reg	reg'	2	reg←reg-reg'-CY	×	×	×	×	×	×	
		mem,reg	0	0	0	1	1	0	0	W	mod	reg	mem	2-4	(mem)←(mem)-reg-CY	×	×	×	×	×	×		
		reg,mem	0	0	0	1	1	0	1	W	mod	reg	mem	2-4	reg←reg-(mem)-CY	×	×	×	×	×	×		
		reg,imm	1	0	0	0	0	s	W	1	1	0	1	1	reg	3-4	reg←reg-imm-CY	×	×	×	×	×	×
		mem,imm	1	0	0	0	0	s	W	mod	0	1	1	mem	3-6	(mem)←(mem)-imm-CY	×	×	×	×	×	×	
		acc,imm	0	0	0	1	1	1	0	W					2-3	W=0のとき AL←AL-imm-CY W=1のとき AW←AW-imm-CY	×	×	×	×	×	×	

命令群	ニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ
			76543210	76543210			
B	ADD4S		00001111	00100000	2	dst BCD string ← dst BCD string + src BCD string	U × U × U × U ×
	SUB4S		00001111	00100010	2	dst BCD string ← dst BCD string - src BCD string	U × U × U × U ×
	CMP4S		00001111	00100110	2	dst BCD string - src BCD string	U × U × U × U ×
D	ROL4	reg8	00001111	00101000	3		
		mem8	11000 reg mod 000 mem	00101000	3-5		
演算命令	ROR4	reg8	00001111	00101010	3		
		mem8	00001111 mod 000 mem	00101010	3-5		
	INC	reg8	11111110	11000 reg	2	reg8 ← reg8 + 1	× × × × × ×
		mem	1111111W	mod 000 mem	2-4	(mem) ← (mem) + 1	× × × × × ×
増減命令	DEC	reg16	01000 reg		1	reg16 ← reg16 - 1	× × × × × ×
		reg8	11111110	11001 reg	2	reg8 ← reg8 - 1	× × × × × ×
	mem	1111111W	mod 001 mem	2-4	(mem) ← (mem) - 1	× × × × × ×	
		reg16	01001 reg	1	reg16 ← reg16 - 1	× × × × × ×	

注 BCD桁数はCLレジスタで与えられ、1から254の値が設定可能です。

命令群	二モニック	オペランド	オペレーション・コード				バイト数	オペレシヨ	シン	フラグ										
			7	6	5	4				3	2	1	0	AC	CY	V	P	S	Z	
乗算命令	MULU	reg8	1	1	1	1	0	1	1	0	reg	2	AW←AL×reg8 AH=0:CY←0, V←0 AH≠0:CY←1, V←1	U	X	X	U	U		
		mem8	1	1	1	1	0	1	1	0	mem	2-4	AW←AL×(mem8) AH=0:CY←0, V←0 AH≠0:CY←1, V←1	U	X	X	U	U		
		reg16	1	1	1	1	0	1	1	1	reg	2	DW←AW×reg16 DW=0:CY←0, V←0 DW=1:CY←1, V←1	U	X	X	U	U		
		mem16	1	1	1	1	0	1	1	1	mem	2-4	DW←AW×(mem16) DW=0:CY←0, V←0 DW=1:CY←1, V←1	U	X	X	U	U		
		reg8	1	1	1	1	0	1	1	0	reg	2	AW←AL×reg8 AH=ALのサイン拡張:CY←0, V←0 AH≠ALのサイン拡張:CY←1, V←1	U	X	X	U	U		
		mem8	1	1	1	1	0	1	1	0	mem	2-4	AW←AL×(mem8) AH=ALのサイン拡張:CY←0, V←0 AH≠ALのサイン拡張:CY←1, V←1	U	X	X	U	U		
	MUL	reg16	1	1	1	1	0	1	1	1	reg	2	DW←AW×reg16 DW=AWのサイン拡張:CY←0, V←0 DW≠AWのサイン拡張:CY←1, V←1	U	X	X	U	U		
		mem16	1	1	1	1	0	1	1	1	mem	2-4	DW←AW×(mem16) DW=AWのサイン拡張:CY←0, V←0 DW≠AWのサイン拡張:CY←1, V←1	U	X	X	U	U		
		reg16, (reg16')注 imm8	0	1	1	0	1	0	1	1	1	reg reg'	3	reg16←reg16'×imm8 積≤16ビット:CY←0, V←0 積>16ビット:CY←1, V←1	U	X	X	U	U	
		reg16, mem16, imm8	0	1	1	0	1	0	1	1	1	mod reg mem	3-5	reg16←(mem16)×imm8 積≤16ビット:CY←0, V←0 積>16ビット:CY←1, V←1	U	X	X	U	U	
		reg16, (reg16')注 imm16	0	1	1	0	1	0	0	1	1	1	reg reg'	4	reg16←reg16'×imm16 積≤16ビット:CY←0, V←0 積>16ビット:CY←1, V←1	U	X	X	U	U
		reg16, mem16, imm16	0	1	1	0	1	0	0	1	1	mod reg mem	4-6	reg16←(mem16)×imm16 積≤16ビット:CY←0, V←0 積>16ビット:CY←1, V←1	U	X	X	U	U	

注 第2オペランドは省略可。省略した場合は第1オペランドと同じレジスタを指定したことになります。

命令群	メモニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			76543210	76543210			AC	CY	V	P	S	Z
DIVU	reg8	11110110	11110	reg	2	temp←AW temp÷reg8≤FFHのとき AH←temp%reg8,AL←temp÷reg8 temp÷reg8>FFHのとき (SP-1,SP-2)←PSW,(SP-3,SP-4)←PS (SP-5,SP-6)←PC,SP←SP-6 IE←0,BRK←0,PS←(3,2),PC←(1,0)	U	U	U	U	U	U
		11110110	mod110	mem	2-4	temp←AW temp÷(mem8)≤FFHのとき AH←temp%(mem8),AL←temp÷(mem8) temp÷(mem8)>FFHのとき (SP-1,SP-2)←PSW,(SP-3,SP-4)←PS (SP-5,SP-6)←PC,SP←SP-6 IE←0,BRK←0,PS←(3,2),PC←(1,0)	U	U	U	U	U	U
	reg16	11110111	11110	reg	2	temp←DW,AW temp÷reg16≤FFFFHのとき DW←temp%reg16,AW←temp÷reg16 temp÷reg16>FFFFHのとき (SP-1,SP-2)←PSW,(SP-3,SP-4)←PS (SP-5,SP-6)←PC,SP←SP-6 IE←0,BRK←0,PS←(3,2),PC←(1,0)	U	U	U	U	U	U
DIVU	mem16	11110111	mod110	mem	2-4	temp←DW,AW temp÷(mem16)≤FFFFHのとき DW←temp%(mem16),AW←temp÷(mem16) temp÷(mem16)>FFFFHのとき (SP-1,SP-2)←PSW,(SP-3,SP-4)←PS (SP-5,SP-6)←PC,SP←SP-6 IE←0,BRK←0,PS←(3,2),PC←(1,0)	U	U	U	U	U	U

命令群	二モニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			76543210	11111110			AC	CY	V	P	S	Z
DIV	reg8	mem8	76543210	11111110	2	temp←AW temp÷reg8>0℃temp÷reg8≤7FHまたは temp÷reg8<0℃temp÷reg8>0-7FFH-1のとき AH←temp%reg8,AL←temp÷reg8 temp÷reg8>0℃temp÷reg8>7FHまたは temp÷reg8>0℃temp÷reg8<0-7FH-1のとき (SP-1,SP-2)←PSW,(SP-3,SP-4)←PS (SP-5,SP-6)←PC,SP←SP-6 IE←0,BRK←0,PS←(3,2),PC←(1,0)	U	U	U	U	U	U
			11110110	mod1111 mem	2-4	temp←AW temp÷(mem8)>0℃temp÷(mem8)≤7FHまたは temp÷(mem8)<0℃temp÷(mem8)>0-7FFH-1のとき AH←temp%(mem8),AL←temp÷(mem8) temp÷(mem8)>0℃temp÷(mem8)>7FHまたは temp÷(mem8)>0℃temp÷(mem8)<0-7FH-1のとき (SP-1,SP-2)←PSW,(SP-3,SP-4)←PS (SP-5,SP-6)←PC,SP←SP-6 IE←0,BRK←0,PS←(3,2),PC←(1,0)	U	U	U	U	U	U
除算	reg16	mem16	11110111	111111 reg	2	temp←DW,AW temp÷reg16>0℃temp÷reg16≤7FFFHまたは temp÷reg16<0℃temp÷reg16>0-7FFFH-1のとき DW←temp%reg16,AW←temp÷reg16 temp÷reg16>0℃temp÷reg16>7FFFHまたは temp÷reg16>0℃temp÷reg16<0-7FFFH-1のとき (SP-1,SP-2)←PSW,(SP-3,SP-4)←PS (SP-5,SP-6)←PC,SP←SP-6 IE←0,BRK←0,PS←(3,2),PC←(1,0)	U	U	U	U	U	U
			11110111	mod1111 mem	2-4	temp←DW,AW temp÷(mem16)>0℃temp÷(mem16)≤7FFFHまたは temp÷(mem16)<0℃temp÷(mem16)>0-7FFFH-1のとき DW←temp%(mem16),AW←temp÷(mem16) temp÷(mem16)>0℃temp÷(mem16)>7FFFHまたは temp÷(mem16)>0℃temp÷(mem16)<0-7FFFH-1のとき (SP-1,SP-2)←PSW,(SP-3,SP-4)←PS (SP-5,SP-6)←PC,SP←SP-6 IE←0,BRK←0,PS←(3,2),PC←(1,0)	U	U	U	U	U	U

命令群	二モニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ						
			76543210	76543210			AC	CY	V	P	S	Z	
B	ADJBA		00110111		1	AL∧0FH>9 or AC=1のときAL←AL+6 AH←AH+1,AC←1,CY←AC,AL←AL∧0FH	X	X	U	U	U	U	U
			00100111		1	AL∧0FH>9 or AC=1のとき AL←AL+6,AC←1 AL>9FH or CY=1のとき AL←AL+60H,CY←1	X	X	U	X		X	
補正命令	ADJBS		00111111		1	AL∧0FH>9 or AC=1のとき AL←AL-6,AH←AH-1,AC←1 CY←AC,AL←AL∧0FH	X	X	U	U	U	U	U
			00101111		1	AL∧0FH>9 or AC=1のとき AL←AL-6,AC←1 AL>9FH or CY=1のとき AL←AL-60H,CY←1	X	X	U	X		X	
データ変換命令	CVTBD		11010100	00001010	2	AH←AL÷0AH,AL←AL%0AH	U	U	U	X	X	X	X
			11010101	00001010	2	AL←AH×0AH+AL,AH←0	U	U	U	X	X	X	X
	CVTBW		10011000		1	AL<80HのときAH←0,それ以外のときAH←FFH							
	CVTWL		10011001		1	AW<8000HのときDW←0,それ以外のときDW←FFFFH							
比較命令	CMP	reg,reg'	0011101W	11 reg reg'	2	reg-reg'	X	X	X	X	X	X	X
		mem,reg	0011100W	mod reg mem	2-4	(mem)-reg	X	X	X	X	X	X	X
		reg,mem	0011101W	mod reg mem	2-4	reg-(mem)	X	X	X	X	X	X	X
		reg,imm	100000sW	11111 reg	3-4	reg-imm	X	X	X	X	X	X	X
		mem,imm	100000sW	mod 111 mem	3-6	(mem)-imm	X	X	X	X	X	X	X
		acc,imm	0011110W		2-3	W=0のとき AL-imm W=1のとき AW-imm	X	X	X	X	X	X	X
		reg	1111011W	11010 reg	2	reg-reg							
補数演算命令	NEG	mem	1111011W	mod 010 mem	2-4	(mem)←(mem)							
		reg	1111011W	11011 reg	2	reg←reg+1	X	X	X	X	X	X	X
		mem	1111011W	mod 011 mem	2-4	(mem)←(mem)+1	X	X	X	X	X	X	X
		reg	1111011W	11011 reg	2	reg←reg+1	X	X	X	X	X	X	X

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ						
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z	
ビット操作命令	TEST1	reg8,CL	0 0 0 1 0 0 0 0	1 1 0 0 0 reg	3	reg8のビットNO.CL=0 : Z←1 " = 1 : Z←0	U	0	0	U	U	X	
		mem8,CL	0 0 0 0	mod 0 0 0 mem	3-5	(mem8)のビットNO.CL=0 : Z←1 " = 1 : Z←0	U	0	0	U	U	X	
		reg16,CL	0 0 0 1	1 1 0 0 0 reg	3	reg16のビットNO.CL=0 : Z←1 " = 1 : Z←0	U	0	0	U	U	X	
		mem16,CL	0 0 0 1	mod 0 0 0 mem	3-5	(mem16)のビットNO.CL=0 : Z←1 " = 1 : Z←0	U	0	0	U	U	X	
		reg8,imm3	1 0 0 0	1 1 0 0 0 reg	4	reg8のビットNO.imm3=0 : Z←1 " = 1 : Z←0	U	0	0	U	U	X	
		mem8,imm3	1 0 0 0	mod 0 0 0 mem	4-6	(mem8)のビットNO.imm3=0 : Z←1 " = 1 : Z←0	U	0	0	U	U	X	
		reg16,imm4	1 0 0 1	1 1 0 0 0 reg	4	reg16のビットNO.imm4=0 : Z←1 " = 1 : Z←0	U	0	0	U	U	X	
		mem16,imm4	1 0 0 1	mod 0 0 0 mem	4-6	(mem16)のビットNO.imm4=0 : Z←1 " = 1 : Z←0	U	0	0	U	U	X	
		reg8,CL	0 1 1 0	1 1 0 0 0 reg	3	reg8のビットNO.CL←reg8のビットNO.CL							
		mem8,CL	0 1 1 0	mod 0 0 0 mem	3-5	(mem8)のビットNO.CL←(mem8)のビットNO.CL							
		reg16,CL	0 1 1 1	1 1 0 0 0 reg	3	reg16のビットNO.CL←reg16のビットNO.CL							
		命令	NOT1	mem16,CL	0 1 1 1	mod 0 0 0 mem	3-5	(mem16)のビットNO.CL←(mem16)のビットNO.CL					
reg8,imm3	1 1 1 0			1 1 0 0 0 reg	4	reg8のビットNO.imm3←reg8のビットNO.imm3							
mem8,imm3	1 1 1 0			mod 0 0 0 mem	4-6	(mem8)のビットNO.imm3←(mem8)のビットNO.imm3							
reg16,imm4	1 1 1 1			1 1 0 0 0 reg	4	reg16のビットNO.imm4←reg16のビットNO.imm4							
mem16,imm4	↓ 1 1 1 1			mod 0 0 0 mem	4-6	(mem)16のビットNO.imm4←(mem16)のビットNO.imm4							

2バイト目注 3バイト目注 注 1バイト目=0FH

NOT1	CY	1 1 1 1 0 1 0 1	1	CY←CY	X
------	----	-----------------	---	-------	---

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			76543210	76543210			AC	CY	V	P	S	Z
ビット操作命令	CLR1	reg8,CL	00010010	11000 reg	3	reg8のビットNO.CL←0						
		mem8,CL	0010	mod000 mem	3-5	(mem8)のビットNO.CL←0						
		reg16,CL	0011	11000 reg	3	reg16のビットNO.CL←0						
		mem16,CL	0011	mod000 mem	3-5	(mem16)のビットNO.CL←0						
		reg8,imm3	1010	11000 reg	4	reg8のビットNO.imm3←0						
		mem8,imm3	1010	mod000 mem	4-6	(mem8)のビットNO.imm3←0						
		reg16,imm4	1011	11000 reg	4	reg16のビットNO.imm4←0						
	SET1	mem16,imm4	1011	mod000 mem	4-6	(mem16)のビットNO.imm4←0						
		reg8,CL	0100	11000 reg	3	reg8のビットNO.CL←1						
		mem8,CL	0100	mod000 mem	3-5	(mem8)のビットNO.CL←1						
		reg16,CL	0101	11000 reg	3	reg16のビットNO.CL←1						
		mem16,CL	0101	mod000 mem	3-5	(mem16)のビットNO.CL←1						
		reg8,imm3	1100	11000 reg	4	reg8のビットNO.imm3←1						
		mem8,imm3	1100	mod000 mem	4-6	(mem8)のビットNO.imm3←1						
命令	reg16,imm4	1101	11000 reg	4	reg16のビットNO.imm4←1							
	mem16,imm4	↓ 1101	mod000 mem	4-6	(mem16)のビットNO.imm4←1							

2バイト目注 3バイト目注 注 1バイト目=0FH

CLR1	CY	11111000	1	CY←0							
	DIR	11111100	1	DIR←0							
SET1	CY	11111001	1	CY←1							1
	DIR	11111101	1	DIR←1							

命令群	二モニック	オペランド	オペレーション・コード		バイト数	オペレ	シ	ヨ	ン	フラグ				
			76543210	76543210						AC	CY	V	P	S
シフト命令	SHL	reg,1	1101000W	11100 reg	2	オペレ	シ	ヨ	ン	U	X	X	X	X
		mem,1	1101000W	mod 100 mem	2-4	レ	シ	ヨ	ン	U	X	X	X	X
		reg,CL	1101001W	11100 reg	2	ベ	シ	ヨ	ン	U	X	U	X	X
		mem,CL	1101001W	mod 100 mem	2-4	レ	シ	ヨ	ン	U	X	U	X	X
		reg,imm8	1100000W	11100 reg	3	オペレ	シ	ヨ	ン	U	X	U	X	X
		mem,imm8	1100000W	mod 100 mem	3-5	レ	シ	ヨ	ン	U	X	U	X	X

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ						
			76543210	76543210			AC	CY	V	P	S	Z	
SHR	reg,l	reg,1	76543210	76543210	2	CY←regのLSB,reg←reg÷2 regのMSB←regのMSBの次のビット:V←1 regのMSB←regのMSBの次のビット:V←0	U	X	X	X	X	X	
			1101000W	11101 reg			U	X	X	X	X	X	
	mem,l	mem,1	1101000W	mod101 mem	2-4	CY←(mem)のLSB,(mem)←(mem)÷2 (mem)のMSB←(mem)のMSBの次のビット:V←1 (mem)のMSB←(mem)のMSBの次のビット:V←0	U	X	X	X	X	X	
			1101001W	11101 reg	2	temp←CL,temp←0の間, 次の動作をくり返す temp←regのLSB,reg←reg÷2 temp←temp-1	U	X	X	X	X	X	
	mem,CL	mem,CL	1101001W	mod101 mem	2-4	temp←CL,temp←0の間, 次の動作をくり返す CY←(mem)のLSB,(mem)←(mem)÷2 temp←temp-1	U	X	X	X	X	X	
			1100000W	11101 reg	3	temp←imm8,temp←0の間, 次の動作をくり返す CY←regのLSB,reg←reg÷2 temp←temp-1	U	X	X	X	X	X	
	mem,imm8	mem,imm8	1100000W	mod101 mem	3-5	temp←imm8,temp←0の間, 次の動作をくり返す CY←(mem)のLSB,(mem)←(mem)÷2 temp←temp-1	U	X	X	X	X	X	
			1101000W	11111 reg	2	CY←regのLSB,reg←reg÷2,V←0 オペランドのMSBは変化しません。	U	X	0	X	X	X	
	SHRA	mem,l	mem,1	1101000W	mod111 mem	2-4	CY←(mem)のLSB,(mem)←(mem)÷2,V←0 オペランドのMSBは変化しません。	U	X	0	X	X	X
				1101001W	11111 reg	2	temp←CL,temp←0の間, 次の動作をくり返す CY←regのLSB,reg←reg÷2 temp←temp-1, オペランドのMSBは変化しません。	U	X	X	X	X	X
mem,CL	mem,CL	mem,CL	1101001W	mod111 mem	2-4	temp←CL,temp←0の間, 次の動作をくり返す CY←(mem)のLSB,(mem)←(mem)÷2 temp←temp-1, オペランドのMSBは変化しません。	U	X	X	X	X	X	
			1100000W	11111 reg	3	temp←imm8,temp←0の間, 次の動作をくり返す CY←regのLSB,reg←reg÷2 temp←temp-1, オペランドのMSBは変化しません。	U	X	X	X	X	X	
mem,imm8	mem,imm8	mem,imm8	1100000W	mod111 mem	3-5	temp←imm8,temp←0の間, 次の動作をくり返す CY←(mem)のLSB,(mem)←(mem)÷2 temp←temp-1, オペランドのMSBは変化しません。	U	X	X	X	X	X	
			1100000W	mod111 mem	3-5	temp←imm8,temp←0の間, 次の動作をくり返す CY←(mem)のLSB,(mem)←(mem)÷2 temp←temp-1, オペランドのMSBは変化しません。	U	X	X	X	X	X	

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	オベレシヨ	フ	ラ			グ
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0				AC	CY	V	
ROL	reg,1	mem,1	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0	2	CY←regのMSB,reg←reg×2+CY regのMSB←CY:V←1 regのMSB←CY:V←0	×	×			
			1 1 0 1 0 0 0 W	1 1 0 0 0 reg							
	reg,CL	mem,CL	1 1 0 1 0 0 0 W	mod 0 0 0 mem	2-4	CY←(mem)のMSB,(mem)←(mem)×2+CY (mem)のMSB←CY:V←1 (mem)のMSB←CY:V←0	×	×			
			1 1 0 1 0 0 1 W	1 1 0 0 0 reg	2	temp←CL,temp←0の間,次の動作をくり返す CY←regのMSB,reg←reg×2+CY temp←temp-1	×	×			
	mem,CL	reg,imm8	1 1 0 1 0 0 1 W	mod 0 0 0 mem	2-4	temp←CL,temp←0の間,次の動作をくり返す CY←(mem)のMSB,(mem)←(mem)×2+CY temp←temp-1	×	×			
			1 1 0 0 0 0 W	1 1 0 0 0 reg	3	temp←imm8,temp←0の間,次の動作をくり返す CY←regのMSB,reg←reg×2+CY temp←temp-1	×	×			
	mem,imm8	reg,imm8	1 1 0 0 0 0 W	mod 0 0 0 mem	3-5	temp←imm8,temp←0の間,次の動作をくり返す CY←(mem)のMSB,(mem)←(mem)×2+CY temp←temp-1	×	×			
			1 1 0 0 0 0 W	mod 0 0 0 mem	2	CY←regのLSB,reg←reg÷2 regのMSB←CY	×	×			
	reg,1	mem,1	1 1 0 1 0 0 0 W	1 1 0 0 1 reg	2	regのMSB←regのMSBの次のビット:V←1 regのMSB←regのMSBの次のビット:V←0 CY←(mem)のLSB,(mem)←(mem)÷2 (mem)のMSB←CY	×	×			
			1 1 0 1 0 0 0 W	mod 0 0 1 mem	2-4	(mem)のMSB←(mem)のMSBの次のビット:V←1 (mem)のMSB←(mem)のMSBの次のビット:V←0 (mem)のMSB←(mem)のMSBの次のビット:V←0	×	×			
reg,CL	mem,CL	1 1 0 1 0 0 1 W	1 1 0 0 1 reg	2	temp←CL,temp←0の間,次の動作をくり返す CY←regのLSB,reg←reg÷2 regのMSB←CY	×	×				
		1 1 0 1 0 0 1 W	mod 0 0 1 mem	2-4	temp←temp-1 temp←CL,temp←0の間,次の動作をくり返す CY←(mem)のLSB,(mem)←(mem)÷2 (mem)のMSB←CY	×	×				
reg,imm8	mem,imm8	1 1 0 0 0 0 W	1 1 0 0 1 reg	3	temp←imm8,temp←0の間,次の動作をくり返す CY←regのLSB,reg←reg÷2 regのMSB←CY	×	×				
		1 1 0 0 0 0 W	mod 0 0 1 mem	3-5	temp←temp-1 temp←imm8,temp←0の間,次の動作をくり返す CY←(mem)のLSB,(mem)←(mem)÷2 (mem)のMSB←CY	×	×				

ロ | テ | ト | 命 | 令

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ						
			76543210	76543210			AC	CY	V	P	S	Z	
ROLC	ROLC	reg,l	1101000W	11010 reg	2	$tmpcy \leftarrow CY, CY \leftarrow reg \text{ の MSB}$ $reg \leftarrow reg \times 2 + tmpcy$ $reg \text{ の MSB} \neq CY : V \leftarrow 1$ $reg \text{ の MSB} = CY : V \leftarrow 0$	×		×				
		mem,l	1101000W	mod 010 mem	2-4	$tmpcy \leftarrow CY, CY \leftarrow (mem) \text{ の MSB}$ $(mem) \leftarrow (mem) \times 2 + tmpcy$ $(mem) \text{ の MSB} \neq CY : V \leftarrow 1$ $(mem) \text{ の MSB} = CY : V \leftarrow 0$	×		×				
		reg,CL	1101001W	11010 reg	2	$temp \leftarrow CL, temp \neq 0 \text{ の間, 次の動作をくり返す}$ $tmpcy \leftarrow CY, CY \leftarrow reg \text{ の MSB}$ $reg \leftarrow reg \times 2 + tmpcy$ $temp \leftarrow temp - 1$	×			U			
		mem,CL	1101001W	mod 010 mem	2-4	$temp \leftarrow CL, temp \neq 0 \text{ の間, 次の動作をくり返す}$ $tmpcy \leftarrow CY, CY \leftarrow (mem) \text{ の MSB}$ $(mem) \leftarrow (mem) \times 2 + tmpcy$ $temp \leftarrow temp - 1$	×			U			
		reg,imm8	1100000W	11010 reg	3	$temp \leftarrow imm8, temp \neq 0 \text{ の間, 次の動作をくり返す}$ $tmpcy \leftarrow CY, CY \leftarrow reg \text{ の MSB}$ $reg \leftarrow reg \times 2 + tmpcy$ $temp \leftarrow temp - 1$	×			U			
		mem,imm8	1100000W	mod 010 mem	3-5	$temp \leftarrow imm8, temp \neq 0 \text{ の間, 次の動作をくり返す}$ $tmpcy \leftarrow CY, CY \leftarrow (mem) \text{ の MSB}$ $(mem) \leftarrow (mem) \times 2 + tmpcy$ $temp \leftarrow temp - 1$	×			U			

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	説明	フラグ				
			76543210	76543210			AC	CY	V	P	S
RORC	reg,l	mem,l	1101000W	11011 reg	2	$tmpcy \leftarrow CY, CY \leftarrow reg$ のLSB $reg \leftarrow reg \div 2$ reg のMSB $\leftarrow tmpcy$ reg のMSB $\neq reg$ のMSBの次のビット: $V \leftarrow 1$ reg のMSB = reg のMSBの次のビット: $V \leftarrow 0$	X	X			
			1101000W	mod 011 mem	2-4	$tmpcy \leftarrow CY, CY \leftarrow (mem)$ のLSB $(mem) \leftarrow (mem) \div 2$ (mem) のMSB $\leftarrow tmpcy$ (mem) のMSB $\neq (mem)$ のMSBの次のビット: $V \leftarrow 1$ (mem) のMSB = (mem) のMSBの次のビット: $V \leftarrow 0$	X				
	reg,CL		1101001W	11011 reg	2	$temp \leftarrow CL, temp \neq 0$ の間, 次の動作をくり返す $tmpcy \leftarrow CY, CY \leftarrow reg$ のLSB $reg \leftarrow reg \div 2$ reg のMSB $\leftarrow tmpcy$ $temp \leftarrow temp - 1$	X				
	mem,CL		1101001W	mod 011 mem	2-4	$temp \leftarrow CL, temp \neq 0$ の間, 次の動作をくり返す $tmpcy \leftarrow CY, CY \leftarrow (mem)$ のLSB $(mem) \leftarrow (mem) \div 2$ (mem) のMSB $\leftarrow tmpcy$ $temp \leftarrow temp - 1$	X				
	reg,imm8		1100000W	11011 reg	3	$temp \leftarrow imm8, temp \neq 0$ の間, 次の動作をくり返す $tmpcy \leftarrow CY, CY \leftarrow reg$ のLSB $reg \leftarrow reg \div 2$ reg のMSB $\leftarrow tmpcy$ $temp \leftarrow temp - 1$	X				
	mem,imm8		1100000W	mod 011 mem	3-5	$temp \leftarrow imm8, temp \neq 0$ の間, 次の動作をくり返す $tmpcy \leftarrow CY, CY \leftarrow (mem)$ のLSB $(mem) \leftarrow (mem) \div 2$ (mem) のMSB $\leftarrow tmpcy$ $temp \leftarrow temp - 1$	X				

命令群	メモニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			76543210	76543210			AC	CY	V	P	S	Z
サブ ルー チ ン	CALL	near-proc	11101000		3	(SP-1,SP-2)←PC,SP←SP-2 PC←PC+disp						
		regptr16	11111111	11010 reg	2	(SP-1,SP-2)←PC,PC←regptr16 SP←SP-2						
		memptr16	11111111	mod 010 mem	2-4	(SP-1,SP-2)←PC,SP←SP-2 PC←(memptr16)						
		far-proc	10011010		5	(SP-1,SP-2)←PS,(SP-3,SP-4)←PC SP←SP-4 PS←seg,PC←offset						
		memptr32	11111111	mod 011 mem	2-4	(SP-1,SP-2)←PS,(SP-3,SP-4)←PC SP←SP-4 PS←(memptr32+2),PC←(memptr32)						
制御 命令	RET		11000011		1	PC←(SP+1,SP) SP←SP+2						
		pop-value	11000010		3	PC←(SP+1,SP) SP←SP+2,SP←SP+pop-value						
			11001011		1	PC←(SP+1,SP) PS←(SP+3,SP+2) SP←SP+4						
		pop-value	11001010		3	PC←(SP+1,SP) PS←(SP+3,SP+2) SP←SP+4,SP←SP+pop-value						

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			76543210	76543210			AC	CY	V	P	S	Z
スタック操作命令	PUSH	mem16	11111111	mod110 mem	2-4	(SP-1,SP-2)←(mem16) SP←SP-2						
		reg16	01010 reg		1	(SP-1,SP-2)←reg16 SP←SP-2						
		sreg	000 sreg110		1	(SP-1,SP-2)←sreg SP←SP-2						
		PSW	10011100		1	(SP-1,SP-2)←PSW SP←SP-2						
		R	01100000		1	Push registers on the stack						
	POP	imm8	01101010		2	(SP-1,SP-2)←imm8のサイン拡張 SP←SP-2						
		imm16	01101000		3	(SP-1,SP-2)←imm16 SP←SP-2						
		mem16	10001111	mod000 mem	2-4	(mem16)←(SP+1,SP) SP←SP+2						
		reg16	01011 reg		1	reg16←(SP+1,SP) SP←SP+2						
		sreg	000 sreg111		1	sreg←(SP+1,SP) SP←SP+2						
ブランチ命令	PREPARE	PSW	10011101		1	PSW←(SP+1,SP) SP←SP+2						
		R	01100001		1	Pop registers from the stack						
	DISPOSE	imm16,imm8	11001000		4	Prepare New Stack Frame						
			11001001		1	Dispose of Stack Frame						
	BR	near-label	11101001		3	PC←PC+disp						
		short-label	11101011		2	PC←PC+ext-disp8						
		regptr16	11111111	11100 reg	2	PC←regptr16						
		memptr16	11111111	mod100 mem	2-4	PC←(memptr16)						
		far-label	11101010		5	PS←seg PC←offset						
		memptr32	11111111	mod101 mem	2-4	PS←(memptr32+2) PC←(memptr32)						

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	オペレール	シン	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0				AC	CY	V	P	S	Z
	BV	short-label	0 1 1 0 0 0 0		2	if V=1	PC←PC+ext-disp8						
	BNV	"	0 0 0 1		"	if V=0	"						
	BC	"	0 0 1 0		"	if CY=1	"						
	BL	"	0 0 1 1		"	if CY=0	"						
	BNC	"	0 1 0 0		"	if Z=1	"						
	BNL	"	0 1 0 1		"	if Z=0	"						
	BE	"	0 1 1 0		"	if CY∨Z=1	"						
	BZ	"	0 1 1 1		"	if CY∨Z=0	"						
	BNE	"	1 0 0 0		"	if S=1	"						
	BNZ	"	1 0 0 1		"	if S=0	"						
	BNH	"	1 0 1 0		"	if P=1	"						
	BH	"	1 0 1 1		"	if P=0	"						
	BN	"	1 1 0 0		"	if S∨V=1	"						
	BP	"	1 1 0 1		"	if S∨V=0	"						
	BPE	"	1 1 1 0		"	if (S∨V)∨Z=1	"						
	BPO	"	1 1 1 1		"	if (S∨V)∨Z=0	"						
	BLT	"	1 1 1 0 0 0 0 0		"	CW=CW-1 if Z=0 and CW≠0	"						
	BGE	"	0 0 0 1		"	CW=CW-1 if Z=1 and CW≠0	"						
	BLE	"	0 0 1 0		"	CW=CW-1 if CW≠0	"						
	BGT	"	0 0 1 1		"	if CW=0	"						
	DBNZNE	"	0 0 0 0 1 1 1 1	1 0 0 1 1 1 0 0	5	(sfr)のビット No. imm 3 = 1 のとき PC←PC+ext-disp8,(sfr)のビット No. imm 3 ← 0							
	DBNZE	"	0 0 0 0 1 1 1 1	1 0 0 1 1 1 0 0	5								
	DBNZ	"	0 0 0 0 1 1 1 1	1 0 0 1 1 1 0 0	5								
	BCWZ	"	0 0 0 0 1 1 1 1	1 0 0 1 1 1 0 0	5								
	BTCLR 注	sfr, imm3, short-label	0 0 0 0 1 1 1 1	1 0 0 1 1 1 0 0	5								

注 μPD70108, 70116に対して, 新しく追加した命令

命令群	二モニック	オペランド	オペレーション・コード										バイト数	オペレーション	フラグ										
			7	6	5	4	3	2	1	0	AC	CY			V	P	S	Z							
割り込み	BRK	3	7	6	5	4	3	2	1	0	1	1	0	0	1	1	0	0	(SP-1,SP-2)←PSW,(SP-3,SP-4)←PS (SP-5,SP-6)←PC,SP←SP-6 IE←0,BRK←0 PS←(15,14),PC←(13,12)						
		imm8 (≠3)	1	1	0	0	1	1	0	1	2	(SP-1,SP-2)←PSW,(SP-3,SP-4)←PS, (SP-5,SP-6)←PC,SP←SP-6 IE←0,BRK←0 PS←(n×4+3,n×4+2),PC←(n×4+1,n×4) n=imm8 V=1のとき													
			1	1	0	0	1	1	1	0	1	(SP-1,SP-2)←PSW,(SP-3,SP-4)←PS, (SP-5,SP-6)←PC,SP←SP-6 IE←0,BRK←0 PS←(19,18),PC←(17,16)													
命令	RETI		1	1	0	0	1	1	1	1	1	PC←(SP+1,SP),PS←(SP+3,SP+2), PSW←(SP+5,SP+4),SP←SP+6													
	RETRB ^注		0	0	0	0	1	1	1	1	2	PC←Save PC,PSW←Save PSW	R	R	R	R	R	R							
	FINT ^注		0	0	0	0	1	1	1	1	2	CPUに内蔵される割り込みコントローラへ割り込み処理ルーチンが終了したことを示す													
命令	CHKIND	reg16,mem32	0	1	1	0	0	0	1	0	2-4	(mem32)>reg16または(mem32+2)<reg16のとき (SP-1,SP-2)←PSW,(SP-3,SP-4)←PS, (SP-5,SP-6)←PC,SP←SP-6 IE←0,BRK←0 PS←(23,22),PC←(21,20)													
		reg16	0	0	0	0	1	1	1	1	3	RB2←reg16の下位3ビット, IE←0, BRK←0, Save PSW←PSW, Save PC←PC, PC←Vector PC													
命令	TSKSW ^注	reg16	0	0	0	0	1	1	1	1	3	RB2←reg16の下位3ビット, 旧レジスタ・バンク Save PSW, Save PC←PSW, PC, PSW, PC←新レジスタ・バンク Save PSW, Save PC													
			1	1	1	1	1	1	1																

注 μPD70108, 70116に対して新しく追加した命令

命令群	ニモニック	オペランド	オペレーション・コード				バイト数	オペレーション	フラグ							
			7	6	5	4			3	2	1	0	AC	CY	V	P
C	HALT		11110100					1	CPU Halt							
	STOP 注2		00001111				10011110	2	CPU Stop							
P	POLL		10011011					1	Poll and wait							
	DI		11111010					1	IE←0							
U	EI		11111011					1	IE←1							
	BUSLOCK		11110000					1	Bus Lock Prefix							
制御命令	FPO1	fp-op	11011XXX				11YYZZZ	2	No Operation							
	注3	fp-op,mem	11011XXX				mod YYY mem	2-4	data bus ← (mem)							
命令	FPO2	fp-op	0110011X				11YYZZZ	2	No Operation							
	注3	fp-op,mem	0110011X				mod YYY mem	2-4	data bus ← (mem)							
	NOP		10010000					1	No Operation							
	注1		001sreg110					1	セグメント・オーバーライド・プリフィクス							

- 注1. DS0 :, DSI :, PS :, SS :
- 2. μPD70108, 70116に対して, 新しく追加した命令
- 3. μPD70320では命令を実行せず, 割り込みが発生します。

★

2.4 クロック数一覧

(1) 凡 例

クロック数は、メモリ・オペランドの場合アドレッシング・モードにより異なるため、クロック数の一覧表で“EA”と書かれている分について次に示す数値を適用してください。

表2-8 各メモリ・アドレッシングに対するクロック数

mem \ mod	0 0		0 1		1 0	
		クロック数		クロック数		クロック数
0 0 0	BW+IX	3	BW+IX+disp 8	3	BW+IX+disp 16	4
0 0 1	BW+IY	3	BW+IY+disp 8	3	BW+IY+disp 16	4
0 1 0	BP+IX	3	BP+IX+disp 8	3	BP+IX+disp 16	4
0 1 1	BP+IY	3	BP+IY+disp 8	3	BP+IY+disp 16	4
1 0 0	IX	3	IX+disp 8	3	IX+disp 16	4
1 0 1	IY	3	IY+disp 8	3	IY+disp 16	4
1 1 0	ダイレクト・アドレス	3	BP+disp 8	3	BP+disp 16	4
1 1 1	BW	3	BW+disp 8	3	BW+disp 16	4

また、“T”はウェイト・ステート数を示します。“0”(ウェイトなし)から任意のウェイト数を適用してください。

(2) クロック数

表 2-9 クロック数 (1/10)

命令群	ニモニック	オペランド	クロック数			
			バイト処理		ワード処理	
			内蔵RAM アクセス許可	内蔵RAM アクセス禁止	内蔵RAM アクセス許可	内蔵RAM アクセス禁止
データ 転送 命令	MOV	reg, reg'	2	2	2	2
		mem, reg	EA+4+T	EA+2	EA+6+2・T	EA+2
		reg, mem	EA+6+T	EA+6+T	EA+8+2・T	EA+8+2・T
		mem, imm	EA+5+T	EA+5+T	EA+5+2・T	EA+5+T
		reg, imm	5	5	6	6
		acc, dmem	9+T	9+T	11+2・T	11+2・T
		dmem, acc	7+T	5	9+2・T	5
		sreg, reg16	—	—	4	4
		sreg, mem16	—	—	EA+10+2・T	EA+10+2・T
		reg16, sreg	—	—	3	3
		mem16, sreg	—	—	EA+7+2・T	EA+3
		DS0, reg16, mem32	—	—	EA+19+4・T	EA+19+4・T
		DS1, reg16, mem32	—	—	EA+19+4・T	EA+19+4・T
		AH, PSW	2	2	—	—
	PSW, AH	3	3	—	—	
	LDEA	reg16, mem16	—	—	EA+2	EA+2
	TRANS	src-table	10+T	10+T	—	—
	XCH	reg, reg'	3	3	3	3
mem, reg/ reg, mem		EA+10+2・T	EA+8+2・T	EA+14+2・T	EA+10+2・T	
AW, reg16/ reg16, AW		—	—	4	4	
MOVSPA		—	—	16	16	
MOVSPB	reg16	—	—	11	11	
リピート・ プリフィクス	REPC		2	2	2	2
	REPNC		2	2	2	2
	REP/ REPE/ REPZ		2	2	2	2
	REPNE/ REPZ		2	2	2	2
プリミティブ・ 転送命令	MOVKB 注1 注2	dst-block, src-block	20+2・T	16+T	24+4・T	20+2・T
			16+(16+2・T)・n	16+(12+T)・n	16+(20+4・T)・n	16+(12+2・T)・n
	CMPKB 注1 注2	dst-block, src-block	23+2・T	19+T	27+4・T	21+4・T
			16+(21+2・T)・n	16+(21+2・T)・n	16+(25+4・T)・n	16+(25+2・T)・n

注1. 繰返しなし

2. 繰返しあり, n : 転送回数 (n ≥ 1)

表2-9 クロック数 (2/10)

命令群	ニモニック	オペランド	クロック数			
			バイト処理		ワード処理	
			内蔵RAM アクセス許可	内蔵RAM アクセス禁止	内蔵RAM アクセス許可	内蔵RAM アクセス禁止
プリミティブ・ブロック 転送命令	CMPM 注1 注2	dst-block	17+T	17+T	19+2・T	19+2・T
		src-block	16+(15+T)・n	16+(15+T)・n	16+(17+2・T)・n	16+(17+2・T)・n
	LDM 注1 注2	src-block	12+T	12+T	14+2・T	14+2・T
			16+(10+T)・n	16+(10+T)・n	16+(12+2・T)・n	16+(12+2・T)・n
	STM 注1 注2	dst-block	12+T	10	14+2・T	10
			16+(8+T)・n	16+(6+T)・n	16+(10+2・T)・n	16+(6+2・T)・n
ビット・ワールド 操作命令	INS	reg8, reg8'	63-155 (ビット長によって異なります)			
		reg8, imm4	64-156 (ビット長によって異なります)			
	EXT	reg8, reg8'	41-121 (ビット長によって異なります)			
		reg8, imm4	42-122 (ビット長によって異なります)			
入出力命令	IN 注3	acc, imm8	14+T	14+T	16+2・T	16+2・T
		acc, DW	13+T	13+T	15+2・T	15+2・T
	OUT 注3	imm8, acc	10+T	10+T	10+2・T	10+2・T
		DW, acc	9+T	9+T	9+2・T	9+2・T
プリミティブ 入出力命令	INM 注3	dst-block, DW	19+2・T	17+2・T	21+4・T	17+4・T
			18+(13+2・T)・n	18+(11+2・T)・n	18+(15+4・T)・n	18+(11+4・T)・n
	OUTM 注3	DW, src-block	19+2・T	17+2・T	21+4・T	17+4・T
			18+(13+2・T)・n	18+(11+2・T)・n	18+(15+4・T)・n	18+(11+4・T)・n
加減算命令	ADD	reg, reg'	2	2	2	2
		mem, reg	EA+8+2・T	EA+6+T	EA+12+4・T	EA+8+2・T
		reg, mem	EA+6+T	EA+6+T	EA+8+2・T	EA+8+2・T
		reg, imm	5	5	6	6
		mem, imm	EA+9+2・T	EA+7+2・T	EA+14+4・T	EA+10+4・T
		acc, imm	5	5	6	6
	ADDC	reg, reg'	2	2	2	2
		mem, reg	EA+8+2・T	EA+6+T	EA+12+4・T	EA+8+2・T
		reg, mem	EA+6+T	EA+6+T	EA+8+2・T	EA+8+2・T
		reg, imm	5	5	6	6
		mem, imm	EA+9+2・T	EA+7+2・T	EA+14+4・T	EA+10+4・T
		acc, imm	5	5	6	6

- 注1. 繰り返しなし
- 2. 繰り返しあり, n: 転送回数 (n ≥ 1)
- 3. $\overline{\text{IBRK}} = 1$ のとき

表 2-9 クロック数 (3/10)

命令群	ニモニック	オペランド	クロック数			
			バイト処理		ワード処理	
			内蔵RAM アクセス許可	内蔵RAM アクセス禁止	内蔵RAM アクセス許可	内蔵RAM アクセス禁止
加 減 算 命 令	SUB	reg, reg'	2	2	2	2
		mem, reg	EA+8+2・T	EA+6+T	EA+12+4・T	EA+8+2・T
		reg, mem	EA+6+T	EA+6+T	EA+8+2・T	EA+8+2・T
		reg, imm	5	5	6	6
		mem, imm	EA+9+2・T	EA+7+2・T	EA+14+4・T	EA+10+4・T
		acc, imm	5	5	6	6
	SUBC	reg, reg'	2	2	2	2
		mem, reg	EA+8+2・T	EA+6+T	EA+12+4・T	EA+8+2・T
		reg, mem	EA+6+T	EA+6+T	EA+8+2・T	EA+8+2・T
		reg, imm	5	5	6	6
		mem, imm	EA+9+2・T	EA+7+2・T	EA+14+4・T	EA+10+4・T
		acc, imm	5	5	6	6
B C D 演 算 命 令	ADD 4 S 注		$22 + (27 + 3 \cdot T) \cdot n$	$22 + (25 + 3 \cdot T) \cdot n$	—	—
	SUB 4 S 注		$22 + (27 + 3 \cdot T) \cdot n$	$22 + (25 + 3 \cdot T) \cdot n$	—	—
	CMP 4 S 注		$22 + (23 + 3 \cdot T) \cdot n$	$22 + (23 + 3 \cdot T) \cdot n$	—	—
	ROL 4	reg8	17	17	—	—
		mem8	EA+18+2・T	EA+16+2・T	—	—
	ROR 4	reg8	21	21	—	—
mem8		EA+24+2・T	EA+22+2・T	—	—	
増 減 命 令	INC	reg8	5	5	—	—
		mem8	EA+11+2・T	EA+9+2・T	EA+15+4・T	EA+11+4・T
		reg16	—	—	2	2
	DEC	reg8	5	5	—	—
		mem8	EA+11+2・T	EA+9+2・T	EA+15+4・T	EA+11+4・T
		reg16	—	—	2	2
乗 算 命 令	MULU	reg8	24	24	—	—
		mem8	EA+26+T	EA+26+T	—	—
		reg16	—	—	32	32
		mem16	—	—	EA+34+2・T	EA+34+2・T

注 n: BCD桁数の1/2

表2-9 クロック数 (4/10)

命令群	ニモニック	オペランド	クロック数			
			バイト処理		ワード処理	
			内蔵RAM アクセス許可	内蔵RAM アクセス禁止	内蔵RAM アクセス許可	内蔵RAM アクセス禁止
乗算命令	MUL	reg8	31~40	31~40	—	—
		mem8	EA+33+T~EA+42+T	EA+33+T~EA+42+T	—	—
		reg16	—	—	39~48	39~48
		mem16	—	—	EA+43+2・T~EA+52+2・T	EA+43+2・T~EA+52+2・T
		reg16, (reg16') imm8	—	—	39~49	39~49
		reg16, mem16, imm8	—	—	EA+43+2・T~EA+53+2・T	EA+43+2・T~EA+53+2・T
		reg16, (reg16') imm16	—	—	40~50	40~50
		reg16, mem16, imm16	—	—	EA+44+2・T~EA+54+2・T	EA+44+2・T~EA+54+2・T
符号なし除算命令	DIVU	reg8	31	31	—	—
		mem8	EA+33+T	EA+33+T	—	—
		reg16	—	—	39	39
		mem16	—	—	EA+43+2・T	EA+43+2・T
符号付き除算命令	DIV	reg8	46~56	46~56	—	—
		mem8	EA+48+T~EA+58+T	EA+48+T~EA+58+T	—	—
		reg16	—	—	54~64	54~64
		mem16	—	—	EA+58+2・T~EA+68+2・T	EA+58+2・T~EA+68+2・T
BCD補正命令	ADJBA		17	17	—	—
	ADJ4A		9	9	—	—
	ADJBS		17	17	—	—
	ADJ4S		9	9	—	—
データ変換命令	CVTBD		19	19	—	—
	CVTDB		20	20	—	—
	CVTBW		3	3	—	—
	CVTWL		—	—	8	8
比較命令	CMP	reg, reg'	2	2	2	2
		mem, reg	EA+6+T	EA+6+T	EA+8+2・T	EA+8+2・T
		reg, mem	EA+6+T	EA+6+T	EA+8+2・T	EA+8+2・T
		reg, imm	5	5	6	6
		mem, imm	EA+7+T	EA+7+T	EA+10+2・T	EA+10+2・T
		acc, imm	5	5	6	6
補数演算命令	NOT	reg	5	5	5	5
		mem	EA+11+2・T	EA+9+T	EA+15+4・T	EA+11+2・T
	NEG	reg	5	5	5	5
		mem	EA+11+2・T	EA+9+T	EA+15+4・T	EA+11+2・T

表 2-9 クロック数 (5/10)

命令群	ニモニック	オペランド	クロック数			
			バイト処理		ワード処理	
			内蔵RAM アクセス許可	内蔵RAM アクセス禁止	内蔵RAM アクセス許可	内蔵RAM アクセス禁止
論 理 演 算 命 令	TEST	reg, reg'	4	4	4	4
		mem, reg/ reg, mem	EA+8+T	EA+8+T	EA+10+2·T	EA+10+2·T
		reg, imm	7	7	8	8
		mem, imm	EA+11+T	EA+11+T	EA+11+2·T	EA+11+2·T
		acc, imm	5	5	6	6
	AND	reg, reg'	2	2	2	2
		mem, reg	EA+8+2·T	EA+6+T	EA+12+4·T	EA+8+2·T
		reg, mem	EA+6+T	EA+6+T	EA+8+2·T	EA+8+2·T
		reg, imm	5	5	6	6
		mem, imm	EA+9+T	EA+7+T	EA+14+4·T	EA+10+4·T
		acc, imm	5	5	6	6
	OR	reg, reg'	2	2	2	2
		mem, reg	EA+8+2·T	EA+6+T	EA+12+4·T	EA+8+2·T
		reg, mem	EA+6+T	EA+6+T	EA+8+2·T	EA+8+2·T
		reg, imm	5	5	6	6
		mem, imm	EA+9+T	EA+7+T	EA+14+4·T	EA+10+4·T
		acc, imm	5	5	6	6
	XOR	reg, reg'	2	2	2	2
		mem, reg	EA+8+2·T	EA+6+T	EA+12+4·T	EA+8+2·T
		reg, mem	EA+6+T	EA+6+T	EA+8+2·T	EA+8+2·T
		reg, imm	5	5	6	6
		mem, imm	EA+9+T	EA+7+T	EA+14+4·T	EA+10+4·T
		acc, imm	5	5	6	6
	ビ ツ ト 操 作 命 令	TEST1	reg8, CL	7	7	—
mem8, CL			EA+11+T	EA+11+T	—	—
reg16, CL			—	—	7	7
mem16, CL			—	—	EA+13+2·T	EA+13+2·T
reg8, imm3			6	6	—	—
mem8, imm3			EA+8+T	EA+8+T	—	—
reg16, imm4			—	—	6	6
mem16, imm4			—	—	EA+10+2·T	EA+10+2·T
NOT1		reg8, CL	7	7	—	—
		mem8, CL	EA+13+2·T	EA+11+T	—	—
	reg16, CL	—	—	7	7	

表 2-9 クロック数 (6/10)

命令群	ニモニック	オペランド	クロック数				
			バイト処理		ワード処理		
			内蔵RAM アクセス許可	内蔵RAM アクセス禁止	内蔵RAM アクセス許可	内蔵RAM アクセス禁止	
ビット 操作命令	NOT1	mem16, CL	—	—	EA+17+4・T	EA+13+2・T	
		reg8, imm3	6	6	—	—	
		mem8, imm3	EA+10+2・T	EA+8+T	—	—	
		reg16, imm4	—	—	6	6	
		mem16, imm4	—	—	EA+14+4・T	EA+10+2・T	
	NOT1	CY	2	2	2	2	
ビ ッ ト 操 作 命 令	CLR1	reg8, CL	8	8	—	—	
		mem8, CL	EA+14+2・T	EA+12+T	—	—	
		reg16, CL	—	—	8	8	
		mem16, CL	—	—	EA+18+4・T	EA+14+2・T	
		reg8, imm3	7	7	—	—	
		mem8, imm3	EA+11+2・T	EA+9+T	—	—	
		reg16, imm4	—	—	7	7	
		mem16, imm4	—	—	EA+15+4・T	EA+10+2・T	
	SET1	reg8, CL	7	7	—	—	
		mem8, CL	EA+13+2・T	EA+11+T	—	—	
		reg16, CL	—	—	7	7	
		mem16, CL	—	—	EA+17+4・T	EA+13+2・T	
		reg8, imm3	6	6	—	—	
		mem8, imm3	EA+10+2・T	EA+8+T	—	—	
		reg16, imm4	—	—	6	6	
		mem16, imm4	—	—	EA+14+4・T	EA+10+2・T	
	CLR1	CY	2	2	2	2	
		DIR	2	2	2	2	
		SET1	CY	2	2	2	2
			DIR	2	2	2	2
	シ フ ト 命 令	SHL	reg, 1	8	8	8	8
mem, 1			EA+14+2・T	EA+12+T	EA+18+4・T	EA+14+2・T	
reg, CL			11+2・n	11+2・n	11+2・n	11+2・n	
mem, CL			EA+17+2・T+2・n	EA+15+T+2・n	EA+21+4・T+2・n	EA+17+2・T+2・n	
reg, imm8			9+2・n	9+2・n	9+2・n	9+2・n	
mem, imm8			EA+13+2・T+2・n	EA+11+T+2・n	EA+17+4・T+2・n	EA+13+2・T+2・n	
SHR		reg, 1	8	8	8	8	
		mem, 1	EA+14+2・T	EA+12+T	EA+18+4・T	EA+14+2・T	

注 n:シフト数

表2-9 クロック数 (7/10)

命令群	ニモニック	オペランド	クロック数				
			バイト処理		ワード処理		
			内蔵RAM アクセス許可	内蔵RAM アクセス禁止	内蔵RAM アクセス許可	内蔵RAM アクセス禁止	
シフト命令	SHR	reg, CL	$11+2\cdot n$	$11+2\cdot n$	$11+2\cdot n$	$11+2\cdot n$	
		注	mem, CL	$EA+17+2\cdot T+2\cdot n$	$EA+15+T+2\cdot n$	$EA+21+4\cdot T+2\cdot n$	$EA+17+2\cdot T+2\cdot n$
		reg, imm8	$9+2\cdot n$	$9+2\cdot n$	$9+2\cdot n$	$9+2\cdot n$	
		mem, imm8	$EA+13+2\cdot T+2\cdot n$	$EA+11+T+2\cdot n$	$EA+17+4\cdot T+2\cdot n$	$EA+13+2\cdot T+2\cdot n$	
	SHRA	reg, 1	8	8	8	8	
		mem, 1	$EA+14+2\cdot T$	$EA+12+T$	$EA+18+4\cdot T$	$EA+14+2\cdot T$	
		注	reg, CL	$11+2\cdot n$	$11+2\cdot n$	$11+2\cdot n$	$11+2\cdot n$
		mem, CL	$EA+17+2\cdot T+2\cdot n$	$EA+15+T+2\cdot n$	$EA+21+4\cdot T+2\cdot n$	$EA+17+2\cdot T+2\cdot n$	
		reg, imm8	$9+2\cdot n$	$9+2\cdot n$	$9+2\cdot n$	$9+2\cdot n$	
		mem, imm8	$EA+13+2\cdot T+2\cdot n$	$EA+11+T+2\cdot n$	$EA+17+4\cdot T+2\cdot n$	$EA+13+2\cdot T+2\cdot n$	
	ロケット命令	ROL	reg, 1	8	8	8	8
			mem, 1	$EA+14+2\cdot T$	$EA+12+T$	$EA+18+4\cdot T$	$EA+14+2\cdot T$
注			reg, CL	$11+2\cdot n$	$11+2\cdot n$	$11+2\cdot n$	$11+2\cdot n$
mem, CL			$EA+17+2\cdot T+2\cdot n$	$EA+15+T+2\cdot n$	$EA+21+4\cdot T+2\cdot n$	$EA+17+2\cdot T+2\cdot n$	
reg, imm8			$9+2\cdot n$	$9+2\cdot n$	$9+2\cdot n$	$9+2\cdot n$	
mem, imm8			$EA+13+2\cdot T+2\cdot n$	$EA+11+T+2\cdot n$	$EA+17+4\cdot T+2\cdot n$	$EA+13+2\cdot T+2\cdot n$	
ROR		reg, 1	8	8	8	8	
		mem, 1	$EA+14+2\cdot T$	$EA+12+T$	$EA+18+4\cdot T$	$EA+14+2\cdot T$	
		注	reg, CL	$11+2\cdot n$	$11+2\cdot n$	$11+2\cdot n$	$11+2\cdot n$
		mem, CL	$EA+17+2\cdot T+2\cdot n$	$EA+15+T+2\cdot n$	$EA+21+4\cdot T+2\cdot n$	$EA+17+2\cdot T+2\cdot n$	
		reg, imm8	$9+2\cdot n$	$9+2\cdot n$	$9+2\cdot n$	$9+2\cdot n$	
		mem, imm8	$EA+13+2\cdot T+2\cdot n$	$EA+11+T+2\cdot n$	$EA+17+4\cdot T+2\cdot n$	$EA+13+2\cdot T+2\cdot n$	
ROLC		reg, 1	8	8	8	8	
		mem, 1	$EA+14+2\cdot T$	$EA+12+T$	$EA+18+4\cdot T$	$EA+14+2\cdot T$	
		注	reg, CL	$11+2\cdot n$	$11+2\cdot n$	$11+2\cdot n$	$11+2\cdot n$
		mem, CL	$EA+17+2\cdot T+2\cdot n$	$EA+15+T+2\cdot n$	$EA+21+4\cdot T+2\cdot n$	$EA+17+2\cdot T+2\cdot n$	
		reg, imm8	$9+2\cdot n$	$9+2\cdot n$	$9+2\cdot n$	$9+2\cdot n$	
		mem, imm8	$EA+13+2\cdot T+2\cdot n$	$EA+11+T+2\cdot n$	$EA+17+4\cdot T+2\cdot n$	$EA+13+2\cdot T+2\cdot n$	
RORC	reg, 1	8	8	8	8		
	mem, 1	$EA+14+2\cdot T$	$EA+12+T$	$EA+18+4\cdot T$	$EA+14+2\cdot T$		

注 n: シフト数

表2-9 クロック数 (8/10)

命令群	ニモニック	オペランド	クロック数			
			バイト処理		ワード処理	
			内蔵RAM アクセス許可	内蔵RAM アクセス禁止	内蔵RAM アクセス許可	内蔵RAM アクセス禁止
ローテート命令	RORC 注1	reg, CL	$11+2\cdot n$	$11+2\cdot n$	$11+2\cdot n$	$11+2\cdot n$
		mem, CL	$EA+17+2\cdot T+2\cdot n$	$EA+15+T+2\cdot n$	$EA+21+4\cdot T+2\cdot n$	$EA+17+2\cdot T+2\cdot n$
		reg, imm8	$9+2\cdot n$	$9+2\cdot n$	$9+2\cdot n$	$9+2\cdot n$
		mem, imm8	$EA+13+2\cdot T+2\cdot n$	$EA+11+T+2\cdot n$	$EA+17+4\cdot T+2\cdot n$	$EA+13+2\cdot T+2\cdot n$
サブルーチン制御命令	CALL	near-proc	—	—	$22+2\cdot T$	$18+2\cdot T$
		regptr16	—	—	$22+2\cdot T$	$18+2\cdot T$
		memptr16	—	—	$EA+26+4\cdot T$	$EA+24+4\cdot T$
		far-proc	—	—	$38+4\cdot T$	$34+4\cdot T$
		memptr32	—	—	$EA+36+8\cdot T$	$EA+24+8\cdot T$
	RET		—	—	$20+2\cdot T$	$20+2\cdot T$
		pop-value	—	—	$20+2\cdot T$	$20+2\cdot T$
			—	—	$29+4\cdot T$	$29+4\cdot T$
pop-value		—	—	$30+4\cdot T$	$30+4\cdot T$	
スタック操作命令	PUSH	mem16	—	—	$EA+18+4\cdot T$	$EA+14+4\cdot T$
		reg16	—	—	$10+2\cdot T$	6
		sreg	—	—	$11+2\cdot T$	7
		PSW	—	—	$10+2\cdot T$	6
		R	—	—	$82+16\cdot T$	50
		imm8	—	—	$13+2\cdot T$	9
		imm16	—	—	$14+2\cdot T$	10
	POP	mem16	—	—	$EA+16+4\cdot T$	$EA+12+2\cdot T$
		reg16	—	—	$12+2\cdot T$	$12+2\cdot T$
		sreg	—	—	$13+2\cdot T$	$13+2\cdot T$
		PSW	—	—	$14+2\cdot T$	$14+2\cdot T$
		R	—	—	$82+16\cdot T$	58
	PREPARE 注2	imm16, imm8	imm8=0のとき $27+2\cdot T$ imm8=1のとき $39+4\cdot T$ imm8=n, n>1のとき $46+19(n-1)+4\cdot T$			
	DISPOSE		—	—	$12+2\cdot T$	$12+2\cdot T$

注1. n : シフト数

2. n : プロシージャ・ブロックの深さ (レキシカル・レベル)

表2-9 クロック数 (9/10)

命令群	ニモニック	オペランド	クロック数			
			バイト処理		ワード処理	
			内蔵RAM アクセス許可	内蔵RAM アクセス禁止	内蔵RAM アクセス許可	内蔵RAM アクセス禁止
ブランチ命令	BR	near-label	—	—	12	12
		short-label	—	—	12	12
		regptr16	—	—	13	13
		memptr16	—	—	EA+17+2・T	EA+17+2・T
		far-label	—	—	15	15
		memptr32	—	—	EA+25+4・T	EA+25+4・T
注 条件付き ブラ ンチ 命令	BV	short-label	—	—	15/8	15/8
	BNV	short-label	—	—	15/8	15/8
	BC/BL	short-label	—	—	15/8	15/8
	BNC/BNL	short-label	—	—	15/8	15/8
	BE/BZ	short-label	—	—	15/8	15/8
	BNE/BNZ	short-label	—	—	15/8	15/8
	BNH	short-label	—	—	15/8	15/8
	BH	short-label	—	—	15/8	15/8
	BN	short-label	—	—	15/8	15/8
	BP	short-label	—	—	15/8	15/8
	BPE	short-label	—	—	15/8	15/8
	BPO	short-label	—	—	15/8	15/8
	BLT	short-label	—	—	15/8	15/8
	BGE	short-label	—	—	15/8	15/8
	BLE	short-label	—	—	15/8	15/8
	BGT	short-label	—	—	15/8	15/8
	DBNZNE	short-label	—	—	17/8	17/8
	DBNZE	short-label	—	—	17/8	17/8
	DBNZ	short-label	—	—	17/8	17/8
	BCWZ	short-label	—	—	15/8	15/8
BTCLR	sfr, imm3, short-label	29/21	29/21	—	—	

注 クロック数で/の左側の数値は条件が真の場合、また、右側の数値は条件が偽の場合

表2-9 クロック数 (10/10)

命令群	ニモニック	オペランド	クロック数			
			バイト処理		ワード処理	
			内蔵RAM アクセス許可	内蔵RAM アクセス禁止	内蔵RAM アクセス許可	内蔵RAM アクセス禁止
割り込み命令	BRK	3	—	—	55+10・T	43+10・T
		imm8(≠3)	—	—	56+10・T	44+10・T
	BRKV		—	—	55+10・T	43+10・T
	RETI		—	—	45+6・T	37+2・T
	RETRBI		—	—	12	12
	FINT		2	2	2	2
	CHKIND	reg16, mem32	—	—	EA+26+4・T	EA+26+4・T
レジスタ・バンク切り替え命令	BRKCS	reg16	—	—	15	15
	TSKSW	reg16	—	—	20	20
制御命令	HALT		—	—	—	—
	STOP		—	—	—	—
	POLL		—	—	—	—
	DI		4	4	4	4
	EI		12	12	12	12
	BUSLOCK		2	2	2	2
	FPO1	fp-op	—	—	60+10・T	48+10・T
		fp-op, mem	—	—	60+10・T	48+10・T
	FPO2	fp-op	—	—	60+10・T	48+10・T
		fp-op, mem	—	—	60+10・T	48+10・T
NOP		4	4	4	4	
注			2	2	2	2

注 セグメント・オーバーライド・プリフィクス (DS0:, DS1:, PS:, SS:)

★ 3. 電気的特性

絶対最大定格 ($T_A = 25^\circ\text{C}$)

項目	略号	条件	定格	単位
電源電圧	V_{DD}		$-0.5 \sim +7.0$	V
	V_{TH}		$-0.5 \sim V_{DD} + 0.5$	V
入力電圧	V_I		$-0.5 \sim V_{DD} + 0.5$	V
出力電圧	V_O		$-0.5 \sim V_{DD} + 0.5$	V
ロウ・レベル出力電流	I_{OL}	1端子	4.0	mA
		全端子合計	50	mA
ハイ・レベル出力電流	I_{OH}	1端子	-2.0	mA
		全端子合計	-20	mA
動作周囲温度	T_A		$-10 \sim +70$	$^\circ\text{C}$
保存温度	T_{stg}		$-65 \sim +150$	$^\circ\text{C}$

注意1. IC製品の出力（または入出力）端子同士を直結したり、 V_{DD} または V_{CC} やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。

また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

発振器特性

μPD70325-8 ($T_A = -10 \sim +70 \text{ }^\circ\text{C}$, $V_{DD} = +5.0 \text{ V} \pm 10 \%$, $V_{SS} = 0 \text{ V}$, $0 \text{ V} \leq V_{TH} \leq V_{DD} + 0.1 \text{ V}$)

μPD70325-10 ($T_A = -10 \sim +70 \text{ }^\circ\text{C}$, $V_{DD} = +5.0 \text{ V} \pm 5 \%$, $V_{SS} = 0 \text{ V}$, $0 \text{ V} \leq V_{TH} \leq V_{DD} + 0.1 \text{ V}$)

発振子	推奨回路	項目	μPD70325-8		μPD70325-10		単位
			MIN.	MAX.	MIN.	MAX.	
セラミック発振子 または 水晶振動子		発振周波数 (f_{XX})	4	16	4	20	MHz
外部 クロック	<p>① </p> <p>または</p> <p>② </p>	X1入力周波数 (f_X)	4	16	4	20	MHz
		X1入力立ち上がり, 立ち下がり時間 (t_{XR} , t_{XF})	0	20	0	15	ns
		X1入力ハイ, ロウ・レベル幅 (t_{WXH} , t_{WXL})	20		16		ns

注意 1. 発振回路はX1, X2端子にできるかぎり近づけてください。

2. 破線の範囲にほかの信号線を通さないでください。

推奨発振回路定数

(1) セラミック発振子および外付け容量として次のものを推奨します。

メーカー	品名	推奨定数	
		C1[pF]	C2[pF]
村田製作所	CSA16.00MX040	30	30
	CSA20.00MX040	10	10
TDK	FCR16.0M2G	30	30

(2) 水晶振動子および外付け容量として次のものを推奨します。

メーカー	品名	推奨定数	
		C1[pF]	C2[pF]
キンセキ	HC-49/U(KR-100)	22	22
	HC-49/U(KR-160)	22	22
	HC-49/U(KR-200)	22	22

備考 各発振子の特性等につきましては, 各発振子メーカーへご確認ください。

容量 (T_A = 25 °C, V_{DD} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _I	f _C = 1 MHz 被測定端子以外は0 V			10	pF
出力容量	C _O				20	pF
入出力容量	C _{IO}				20	pF

DC特性

μPD70325-8 (T_A = -10 ~ +70 °C, V_{DD} = +5.0 V ± 10 %)

μPD70325-10 (T_A = -10 ~ +70 °C, V_{DD} = +5.0 V ± 5 %)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル入力電圧	V _{IL}		0		0.8	V	
ハイ・レベル入力電圧	V _{IH1}	RESET, P10/NMI, X1, X2以外	2.2		V _{DD}	V	
	V _{IH2}	RESET, P10/NMI, X1, X2	0.8V _{DD}		V _{DD}	V	
ロウ・レベル出力電圧	V _{OL}	I _{OL} = 1.6 mA			0.45	V	
ハイ・レベル出力電圧	V _{OH}	I _{OH} = -0.4 mA	V _{DD} - 1.0			V	
入力電流	I _I	EA, P10/NMI; 0 ≤ V _I ≤ V _{DD}			±20	μA	
入力リーク電流	I _{LI}	EA, P10/NMI以外; 0 ≤ V _I ≤ V _{DD}			±10	μA	
出力リーク電流	I _{LO}	0 ≤ V _O ≤ V _{DD}			±10	μA	
V _{TH} 電流	I _{TH}	0 V ≤ V _{TH} ≤ V _{DD}		0.5	1.0	mA	
V _{DD} 電源電流	I _{DD1}	動作モード	μPD70325-8		65	120	mA
			μPD70325-10		95	130	mA
	I _{DD2}	HALTモード	μPD70325-8		25	50	mA
			μPD70325-10		30	55	mA
I _{DD3}	STOPモード			10	30	μA	

AC特性

(1) μPD70325-8 (T_A = -10 ~ +70 °C, V_{DD} = +5.0 V ± 10 %)

項目	略号	条件	MIN.	MAX.	単位
X1入力サイクル・タイム	t _{CYX}		62	250	ns
X1入力ハイ, ロウ・レベル幅	t _{WXH} , t _{WXL}		20		ns
X1入力立ち上がり, 立ち下がり時間	t _{XR} , t _{XF}			20	ns
CLKOUT出力サイクル・タイム	t _{CYK}	f _X /2, T = t _{CYK}	125	2000	ns
CLKOUT出力ハイ, ロウ・レベル幅	t _{WKH} , t _{WKL}		0.5T - 15		ns
CLKOUT出力立ち上がり, 立ち下がり時間	t _{KR} , t _{KF}			15	ns
入力立ち上がり, 立ち下がり時間	t _{IR} , t _{IF}	RESET, NMI, X1, X2以外		20	ns
	t _{IRS} , t _{IFS}	RESET, NMI		30	ns
出力立ち上がり, 立ち下がり時間	t _{OR} , t _{OF}	CLKOUT以外		20	ns

項 目	略 号	条 件	MIN.	MAX.	単位
CLKOUT→アドレス遅延時間	t_{DKA}		15	90	ns
アドレス→データ入力遅延時間	t_{DADR}			$(n+1.5)T-70$	ns
\overline{MREQ} ↓→データ遅延時間	t_{DMRD}			$(n+1)T-60$	ns
\overline{MSTB} ↓→データ遅延時間	t_{DMSD}			$(n+0.5)T-60$	ns
\overline{MREQ} ↓→ \overline{MSTB} ↓遅延時間	t_{DMRMS}		$0.5T-35$	$0.5T+35$	ns
\overline{MREQ} ロウ・レベル幅	t_{WMRL}		$(n+1)T-30$	$(n+1)T+30$	ns
アドレス保持時間 (対 \overline{MREQ} ↑)	t_{HMA}		$0.5T-30$		ns
データ入力保持時間 (対 \overline{MREQ} ↑)	t_{HMDR}		0		ns
コントロール信号回復時間	t_{RVC}		$T-25$		ns
アドレス→データ出力遅延時間	t_{DADW}		$0.5T-35$	$0.5T+50$	ns
アドレス設定時間 (対 \overline{MREQ} ↓)	t_{DAMR}		$0.5T-30$		ns
アドレス設定時間 (対 \overline{MSTB} ↓)	t_{DAMS}		$T-30$		ns
\overline{MSTB} ロウ・レベル幅	t_{WMSL}		$(n+0.5)T-30$	$(n+0.5)T+30$	ns
データ出力設定時間 (対 \overline{MSTB} ↑)	t_{SDM}		$(n+1)T-50$		ns
データ出力保持時間 (対 \overline{MSTB} ↑)	t_{HMDW}		$0.5T-30$		ns
アドレス設定時間 (対 \overline{IOSTB} ↓)	t_{DAIS}		$0.5T-30$		ns
\overline{IOSTB} ↓→データ遅延時間	t_{DISD}			$(n+1)T-60$	ns
\overline{IOSTB} ロウ・レベル幅	t_{WISL}		$(n+1)T-30$		ns
アドレス保持時間 (対 \overline{IOSTB} ↑)	t_{HISA}		$0.5T-30$		ns
データ入力保持時間 (対 \overline{IOREQ} ↑)	t_{HISDR}		0		ns
データ出力設定時間 (対 \overline{IOSTB} ↑)	t_{SDIS}		$(n+1)T-50$		ns
データ出力保持時間 (対 \overline{IOSTB} ↑)	t_{HISDW}		$0.5T-30$		ns
\overline{DMARQ} 設定時間 (対 \overline{MREQ} ↓)	t_{SDADQ}	ダイヤモンド・リリース・モード, $n \geq 2$		$(n-1)T-50$	ns
\overline{DMARQ} 保持時間 (対 \overline{DMAAK} ↓)	t_{HDADQ}	ダイヤモンド・リリース・モード	0		ns
\overline{DMAAK} 出力ロウ・レベル幅	t_{WDMRL}	リード・オペレーション	$(n+1.5)T-30$		ns
\overline{DMAAK} ↓→ \overline{TC} ↓遅延時間	t_{DDATC}			$0.5T+50$	ns
\overline{TC} ロウ・レベル幅	t_{WTCL}		$(n+2)T-30$		ns
\overline{DMAAK} 出力ロウ・レベル幅	t_{WDMWL}	ライト・オペレーション	$(n+1)T-30$		ns
アドレス設定時間 (対 \overline{REFRQ} ↓)	t_{DARF}		$0.5T-30$		ns
\overline{REFRQ} ロウ・レベル幅	t_{WRFL}		$(n+1)T-30$		ns
アドレス保持時間 (対 \overline{REFRQ} ↑)	t_{HRFA}		$0.5T-30$		ns
\overline{RESET} ロウ・レベル幅	t_{WRSL1}	STOPモードの解除/パワーオン・リセット	30		ms
	t_{WRSL2}	システム・リセット	5		μs

備考 nはウェイト・ステート数を表します。ウェイトなしは“n=0”です。

項 目	略 号	条 件	MIN.	MAX.	単 位
READY設定時間 (対MREQ↓, IOSTB↓)	t _{SCRY0}	n ≥ 2		T - 100	ns
	t _{SCRY}	n ≥ 3		(n - 1)T - 100	ns
READY保持時間 (対MREQ↓, IOSTB↓)	t _{HCRY0}	n = 2	T		ns
	t _{HCRY}	n ≥ 3	(n - 1)T		ns
	t _{HCRY1}	n ≥ 3	(n - 2)T		ns
HLDQR設定時間 (対CLKOUT↑)	t _{SHQK}		30		ns
CLKOUT↑→HLDAR↓遅延時間	t _{DKHA}		15	80	ns
バス・フロート→HLDAR↓遅延時間	t _{CFHA}		T - 50		ns
HLDAR↑→バス出力遅延時間	t _{DHAC}		T - 50		ns
HLDQR↓→HLDAR↑遅延時間	t _{DHQHA}			3T + 160	ns
HLDQR↓→バス出力遅延時間	t _{DHQC}		3T + 30		ns
HLDQRロウ・レベル幅	t _{WHQL}		1.5T		ns
HLDARロウ・レベル幅	t _{WHAL}		T		ns
INT, DMARQ設定時間 (対CLKOUT↑)	t _{SIQK}		30		ns
INT, DMARQハイ, ロウ・レベル幅	t _{WIQH,} t _{WIQL}		8T		ns
POLL設定時間 (対CLKOUT↑)	t _{SPLK}		30		ns
NMIハイ, ロウ・レベル幅	t _{WNIH,} t _{WNIL}		5		μs
CTSロウ・レベル幅	t _{WCTL}		2T		ns
INT設定時間 (対CLKOUT↑)	t _{SIRK}		30		ns
CLKOUT↓→INTAK↓遅延時間	t _{DKIA}		15	80	ns
INT保持時間 (対INTAK↓)	t _{HIAIQ}		0		ns
INTAKロウ・レベル幅	t _{WIAL}		2T - 30		ns
INTAKハイ・レベル幅	t _{WIAH}		T - 30		ns
INTAK↓→データ遅延時間	t _{DIAD}			2T - 130	ns
データ保持時間 (対INTAK↑)	t _{HIAID}		0	0.5T	ns
SCK0サイクル・タイム	t _{CYTK}		1000		ns
SCK0ハイ, ロウ・レベル幅	t _{WSTH,} t _{WSTL}		450		ns
SCK0↓→TxD遅延時間	t _{DTKD}			210	ns
TxD保持時間 (対SCK0↓)	t _{HTKD}		20		ns
CTS0サイクル・タイム	t _{CYRK}		1000		ns
CTS0ハイ, ロウ・レベル幅	t _{WSRH,} t _{WSRL}		420		ns
RxD設定, 保持時間 (対CTS0↑)	t _{SRDK,} t _{HKRD}		80		ns

備考 nはウェイト・ステート数を表します。ウェイトなしは“n = 0”です。

(2) μPD70325-10 (T_A = -10 ~ +70 °C, V_{DD} = +5.0 V ± 5%)

項 目	略 号	条 件	MIN.	MAX.	単位
X1入力サイクル・タイム	t _{CYX}		49	250	ns
X1入力ハイ, ロウ・レベル幅	t _{WXH} , t _{WXL}		16		ns
X1入力立ち上がり, 立ち下がり時間	t _{XR} , t _{XF}			15	ns
CLKOUT出力サイクル・タイム	t _{CYX}	f _X /2, T=t _{CYK}	100	2000	ns
CLKOUT出力ハイ, ロウ・レベル幅	t _{WKH} , t _{WKL}		0.5T-12		ns
CLKOUT出力立ち上がり, 立ち下がり時間	t _{KR} , t _{KF}			12	ns
入力立ち上がり, 立ち下がり時間	t _{IR} , t _{IF}	RESET, NMI, X1, X2以外		20	ns
	t _{IRS} , t _{IFS}	RESET, NMI		30	ns
出力立ち上がり, 立ち下がり時間	t _{OR} , t _{OF}	CLKOUT以外		15	ns
CLKOUT→アドレス遅延時間	t _{DKA}		15	75	ns
アドレス→データ入力遅延時間	t _{DADR}			(n+1.5)T-60	ns
MREQ↓→データ遅延時間	t _{DMRD}			(n+1)T-50	ns
MSTB↓→データ遅延時間	t _{DMSD}			(n+0.5)T-50	ns
MREQ↓→MSTB↓遅延時間	t _{DMRMS}		0.5T-20	0.5T+30	ns
MREQロウ・レベル幅	t _{WMRL}		(n+1)T-25	(n+1)T+25	ns
アドレス保持時間 (対MREQ↑)	t _{HMA}		0.5T-30		ns
データ入力保持時間 (対MREQ↑)	t _{HMDR}		0		ns
コントロール信号回復時間	t _{RVC}		T-25		ns
アドレス→データ出力遅延時間	t _{DADW}		0.5T-30	0.5T+50	ns
アドレス設定時間 (対MREQ↓)	t _{DAMR}		0.5T-30		ns
アドレス設定時間 (対MSTB↓)	t _{DAMS}		T-30		ns
MSTBロウ・レベル幅	t _{WMSL}		(n+0.5)T-25	(n+0.5)T+25	ns
データ出力設定時間 (対MSTB↑)	t _{SDM}		(n+1)T-50		ns
データ出力保持時間 (対MSTB↑)	t _{HMDW}		0.5T-30		ns
アドレス設定時間 (対IOSTB↓)	t _{DAIS}		0.5T-30		ns
IOSTB↓→データ遅延時間	t _{DISD}			(n+1)T-50	ns
IOSTBロウ・レベル幅	t _{WISL}		(n+1)T-25		ns
アドレス保持時間 (対IOSTB↑)	t _{HISA}		0.5T-30		ns
データ入力保持時間 (対IOREQ↑)	t _{HISDR}		0		ns
データ出力設定時間 (対IOSTB↑)	t _{SDIS}		(n+1)T-50		ns
データ出力保持時間 (対IOSTB↑)	t _{HISDW}		0.5T-30		ns
DMARQ設定時間 (対MREQ↓)	t _{SDADQ}	ダイヤモンド・リリース・モード, n ≥ 2		(n-1)T-50	ns
DMARQ保持時間 (対DMAAK↓)	t _{HDADQ}	ダイヤモンド・リリース・モード	0		ns
DMAAK出力ロウ・レベル幅	t _{WDMRL}	リード・オペレーション	(n+1.5)T-25		ns

備考 n はウエイト・ステート数を表します。ウエイトなしは“n = 0”です。

項 目	略 号	条 件	MIN.	MAX.	単位
$\overline{\text{DMAAK}} \downarrow \rightarrow \overline{\text{TC}} \downarrow$ 遅延時間	t_{DDATC}			$0.5T + 35$	ns
$\overline{\text{TC}}$ ロウ・レベル幅	t_{WTCL}		$(n+2)T - 25$		ns
$\overline{\text{DMAAK}}$ 出力ロウ・レベル幅	t_{WDMWL}	ライト・オペレーション	$(n+1)T - 25$		ns
アドレス設定時間 (対 $\overline{\text{REFRQ}} \downarrow$)	t_{DARF}		$0.5T - 30$		ns
$\overline{\text{REFRQ}}$ ロウ・レベル幅	t_{WRFL}		$(n+1)T - 25$		ns
アドレス保持時間 (対 $\overline{\text{REFRQ}} \uparrow$)	t_{HRFA}		$0.5T - 30$		ns
$\overline{\text{RESET}}$ ロウ・レベル幅	t_{WRSL1}	STOPモードの解除/ パワーオン・リセット	30		ms
	t_{WRSL2}	システム・リセット	5		μs
READY 設定時間 (対 $\overline{\text{MREQ}} \downarrow$, $\overline{\text{IOSTB}} \downarrow$)	t_{SCRY0}	$n \geq 2$		$T - 80$	ns
	t_{SCRY}	$n \geq 3$		$(n-1)T - 80$	ns
READY 保持時間 (対 $\overline{\text{MREQ}} \downarrow$, $\overline{\text{IOSTB}} \downarrow$)	t_{HCRY0}	$n = 2$	T		ns
	t_{HCRY}	$n \geq 3$	$(n-1)T$		ns
	t_{HCRY1}	$n \geq 3$	$(n-2)T$		ns
HLDRQ 設定時間 (対 $\text{CLKOUT} \uparrow$)	t_{SHQK}		25		ns
$\text{CLKOUT} \uparrow \rightarrow \overline{\text{HLDAK}} \downarrow$ 遅延時間	t_{DKHA}		15	70	ns
バス・フロート $\rightarrow \overline{\text{HLDAK}} \downarrow$ 遅延時間	t_{CFHA}		$T - 35$		ns
$\overline{\text{HLDAK}} \uparrow \rightarrow$ バス出力遅延時間	t_{DHAC}		$T - 35$		ns
HLDRQ $\downarrow \rightarrow \overline{\text{HLDAK}} \uparrow$ 遅延時間	t_{DHQHA}			$3T + 160$	ns
HLDRQ $\downarrow \rightarrow$ バス出力遅延時間	t_{DHQC}		$3T + 30$		ns
HLDRQ ロウ・レベル幅	t_{WHQL}		$1.5T$		ns
$\overline{\text{HLDAK}}$ ロウ・レベル幅	t_{WHAL}		T		ns
INT, DMARQ 設定時間 (対 $\text{CLKOUT} \uparrow$)	t_{SIQK}		25		ns
INT, DMARQ ハイ, ロウ・レベル幅	$t_{\text{WIQH}},$ t_{WIQL}		$8T$		ns
POLL 設定時間 (対 $\text{CLKOUT} \uparrow$)	t_{SPLK}		25		ns
NMI ハイ, ロウ・レベル幅	$t_{\text{WNIH}},$ t_{WNIL}		5		μs
$\overline{\text{CTS}}$ ロウ・レベル幅	t_{WCTL}		$2T$		ns
INT 設定時間 (対 $\text{CLKOUT} \uparrow$)	t_{SIRK}		25		ns
$\text{CLKOUT} \downarrow \rightarrow \overline{\text{INTAK}} \downarrow$ 遅延時間	t_{DKIA}		15	70	ns
INT 保持時間 (対 $\overline{\text{INTAK}} \downarrow$)	t_{HAIQ}		0		ns
$\overline{\text{INTAK}}$ ロウ・レベル幅	t_{WIAL}		$2T - 25$		ns
$\overline{\text{INTAK}}$ ハイ・レベル幅	t_{WIAH}		$T - 25$		ns
$\overline{\text{INTAK}} \downarrow \rightarrow$ データ遅延時間	t_{DIAD}			$2T - 100$	ns
データ保持時間 (対 $\overline{\text{INTAK}} \uparrow$)	t_{HIAD}		0	$0.5T$	ns
$\overline{\text{SCK0}}$ サイクル・タイム	t_{CYTK}		1000		ns
$\overline{\text{SCK0}}$ ハイ, ロウ・レベル幅	$t_{\text{WSTH}},$ t_{WSTL}		450		ns
$\overline{\text{SCK0}} \downarrow \rightarrow \text{TxD}$ 遅延時間	t_{DTKD}			210	ns
TxD 保持時間 (対 $\overline{\text{SCK0}} \downarrow$)	t_{HTKD}		20		ns
$\overline{\text{CTS0}}$ サイクル・タイム	t_{CYRK}		1000		ns
$\overline{\text{CTS0}}$ ハイ, ロウ・レベル幅	$t_{\text{WSRH}},$ t_{WSRL}		420		ns
RxD 設定, 保持時間 (対 $\overline{\text{CTS0}} \uparrow$)	$t_{\text{SRDK}},$ t_{HKRD}		80		ns

備考 n はウエイト・ステート数を表します。ウエイトなしは“n = 0”です。

コンパレータ特性

μPD70325-8 ($T_A = -10 \sim +70 \text{ }^\circ\text{C}$, $V_{DD} = +5.0 \text{ V} \pm 10 \%$)

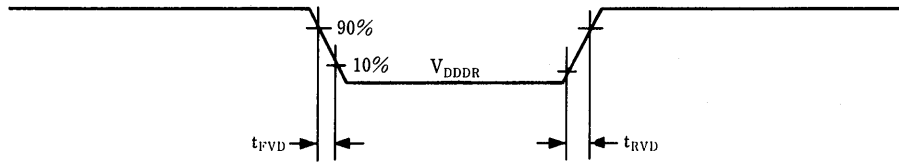
μPD70325-10 ($T_A = -10 \sim +70 \text{ }^\circ\text{C}$, $V_{DD} = +5.0 \text{ V} \pm 5 \%$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
比 較 正 確 度	V_{ACOMP}				± 100	mV
スレッシュホールド電圧	V_{TH}		0		$V_{DD} + 0.1$	V
比 較 時 間	t_{COMP}		64		65	t_{CYK}
P T 入 力 電 圧	V_{IPT}		0		V_{DD}	V

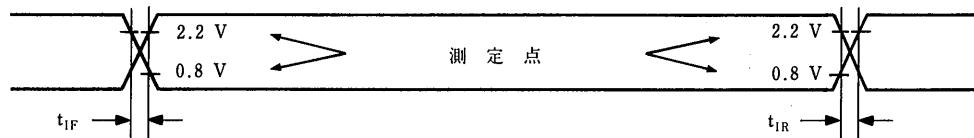
データ・メモリ STOPモード低電源電圧データ保持特性 ($T_A = -10 \sim +70 \text{ }^\circ\text{C}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		2.5	5.5	V
V_{DD} 立ち上がり, 立ち下がり時間	t_{RVD}, t_{FVD}		200		μs

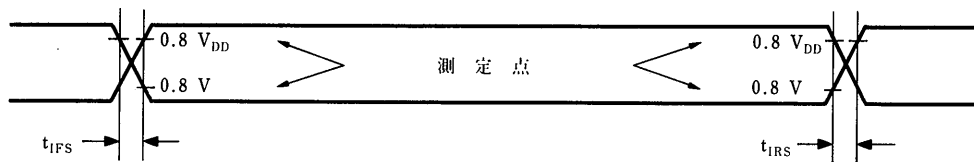
データ保持タイミング



ACテスト入力波形 ($\overline{\text{RESET}}$, NMI, X1, X2を除く)

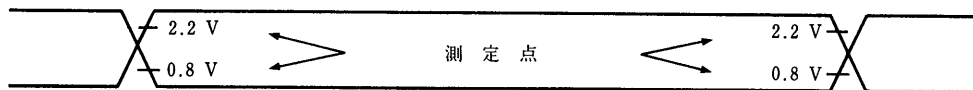


ACテスト入力波形 ($\overline{\text{RESET}}$, NMI, X1, X2)

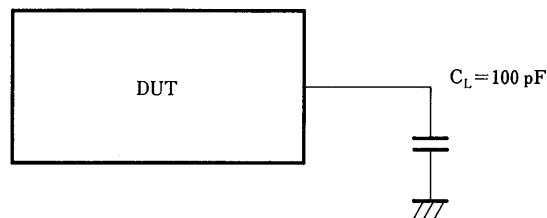


ACテスト出力測定点

出力負荷条件：100 pF

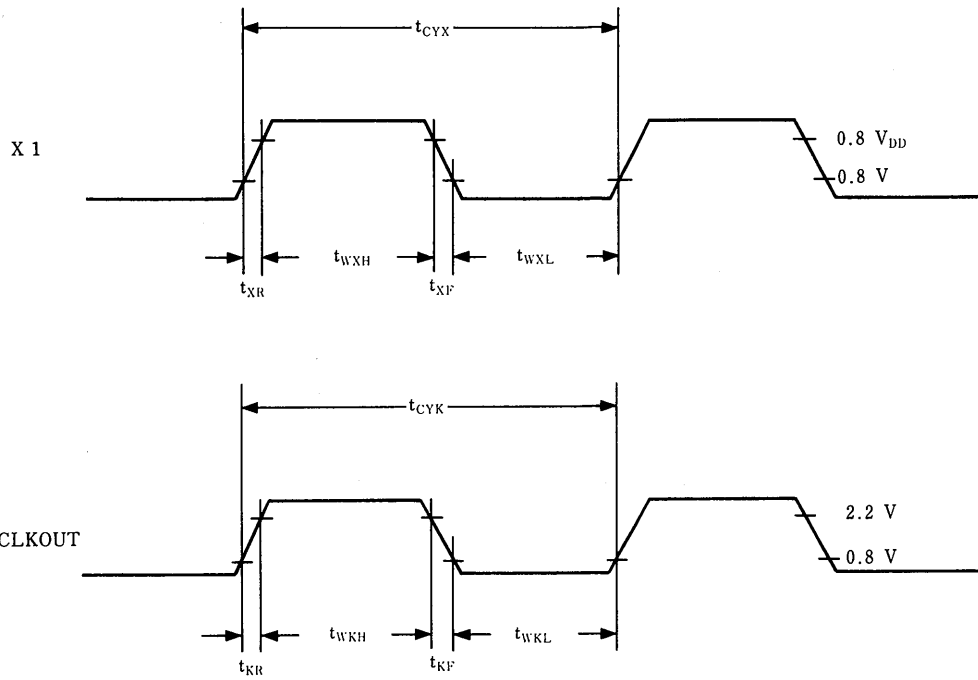


負荷条件

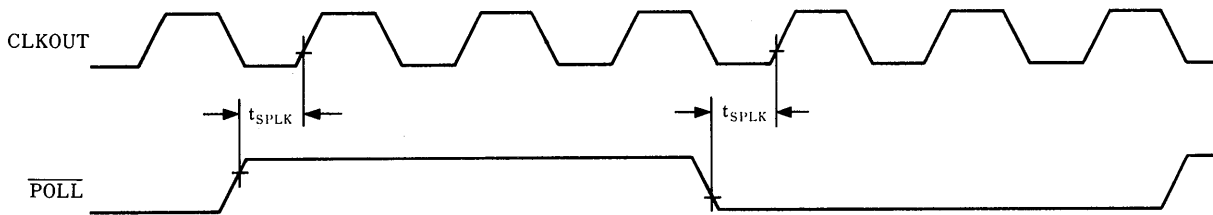


注意 回路の構成により負荷容量が100 pFを越える場合は、バッファを入れるなどして、このデバイスの負荷容量を100 pF以下にしてください。

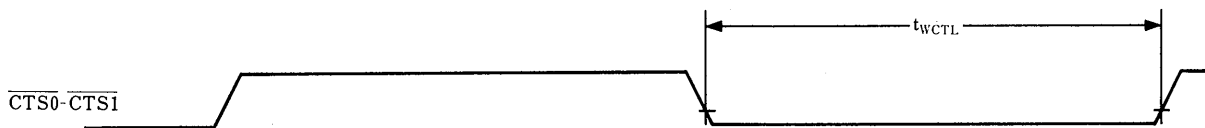
クロック・タイミング



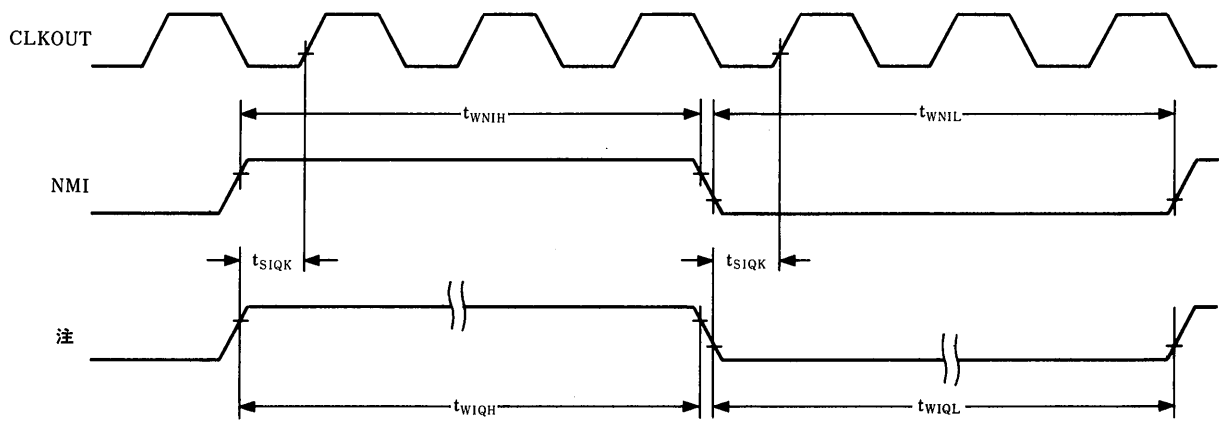
POLL入カタイミング



CTS0-CTS1入カタイミング



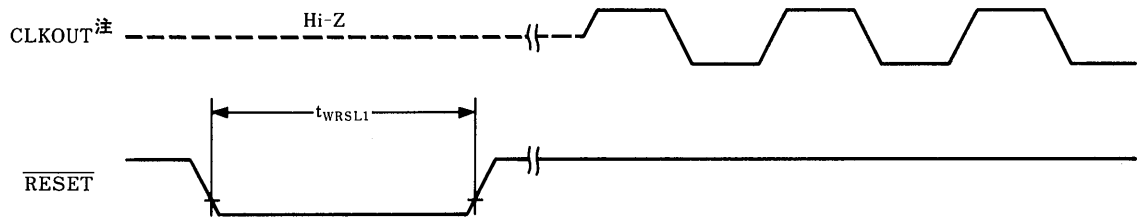
割り込み入力/DMA入カタイミング



注 INTPO-INTP2, DMARQ0-DMARQ1

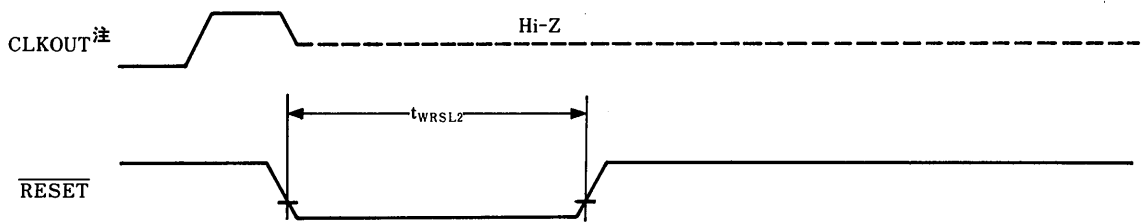
RESET入カタイミング

STOPモードの解除/パワーオン・リセット時:



注 CLKOUT信号は、CLKOUT出力に設定後出力します。

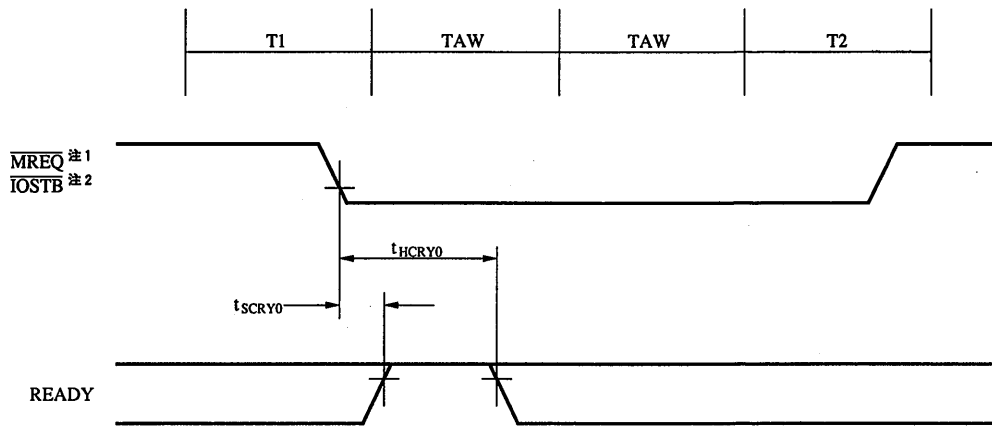
システム・リセット時:



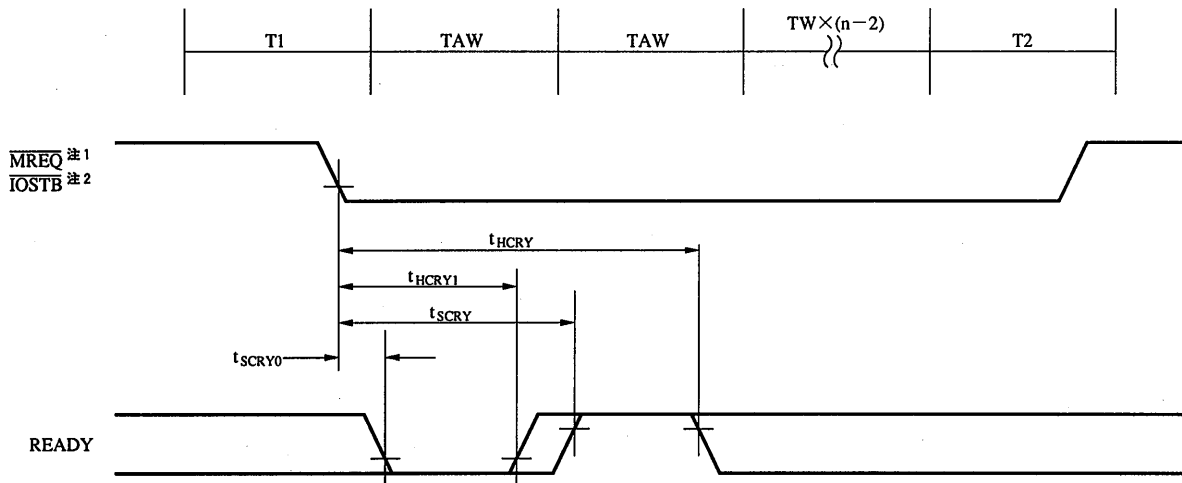
注 CLKOUT出力はRESET入力により入力ポートに設定されます。

レディ・タイミング

2ウェイト・ステート挿入時：



余分に (n - 2) ウェイト・ステート挿入時 [n ≥ 3] :



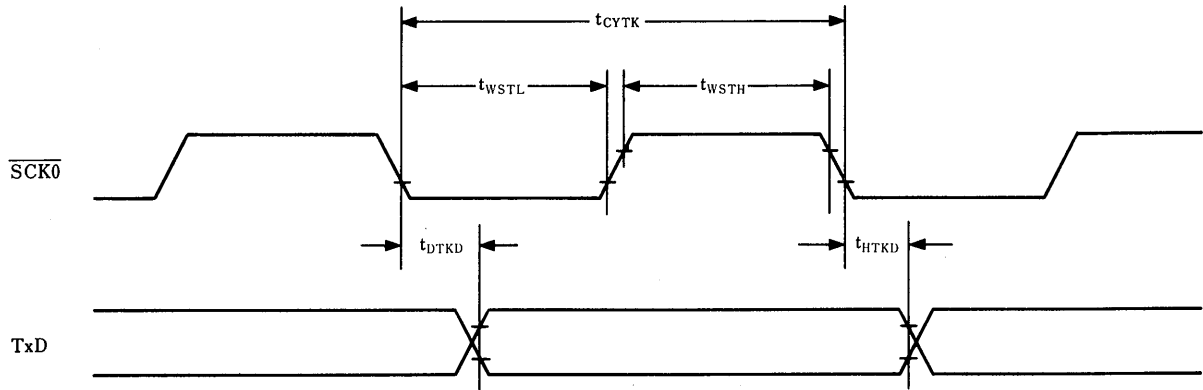
注1. メモリ・サイクルの場合

2. I/Oサイクルの場合

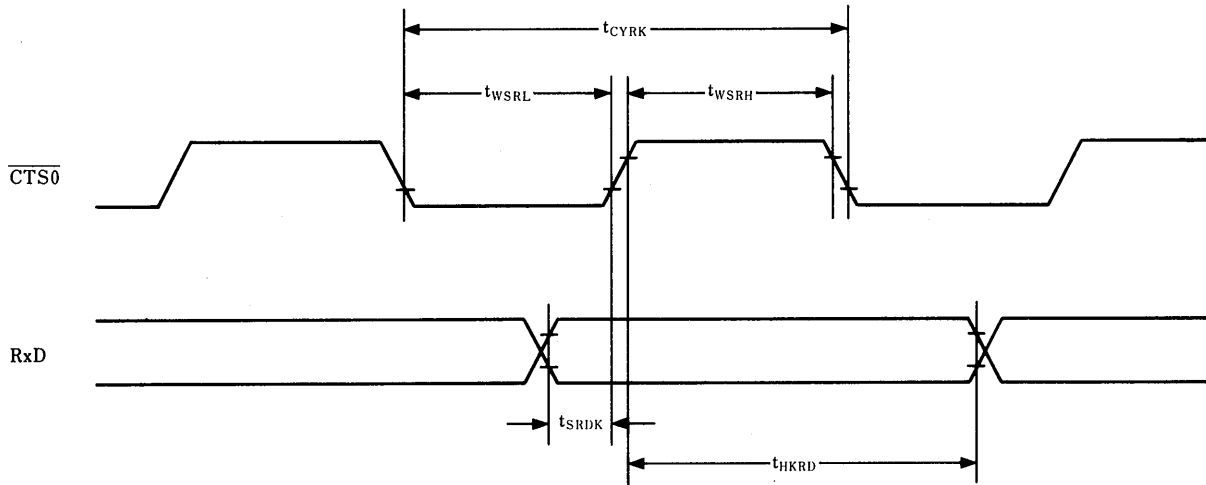
注意 外部READY信号によるウェイト・ステート挿入は、ウェイト・コントロール・レジスタ (WTC) の値を“11” (2ウェイト+READY端子による挿入ステート) にする必要があります。

シリアル・オペレーション

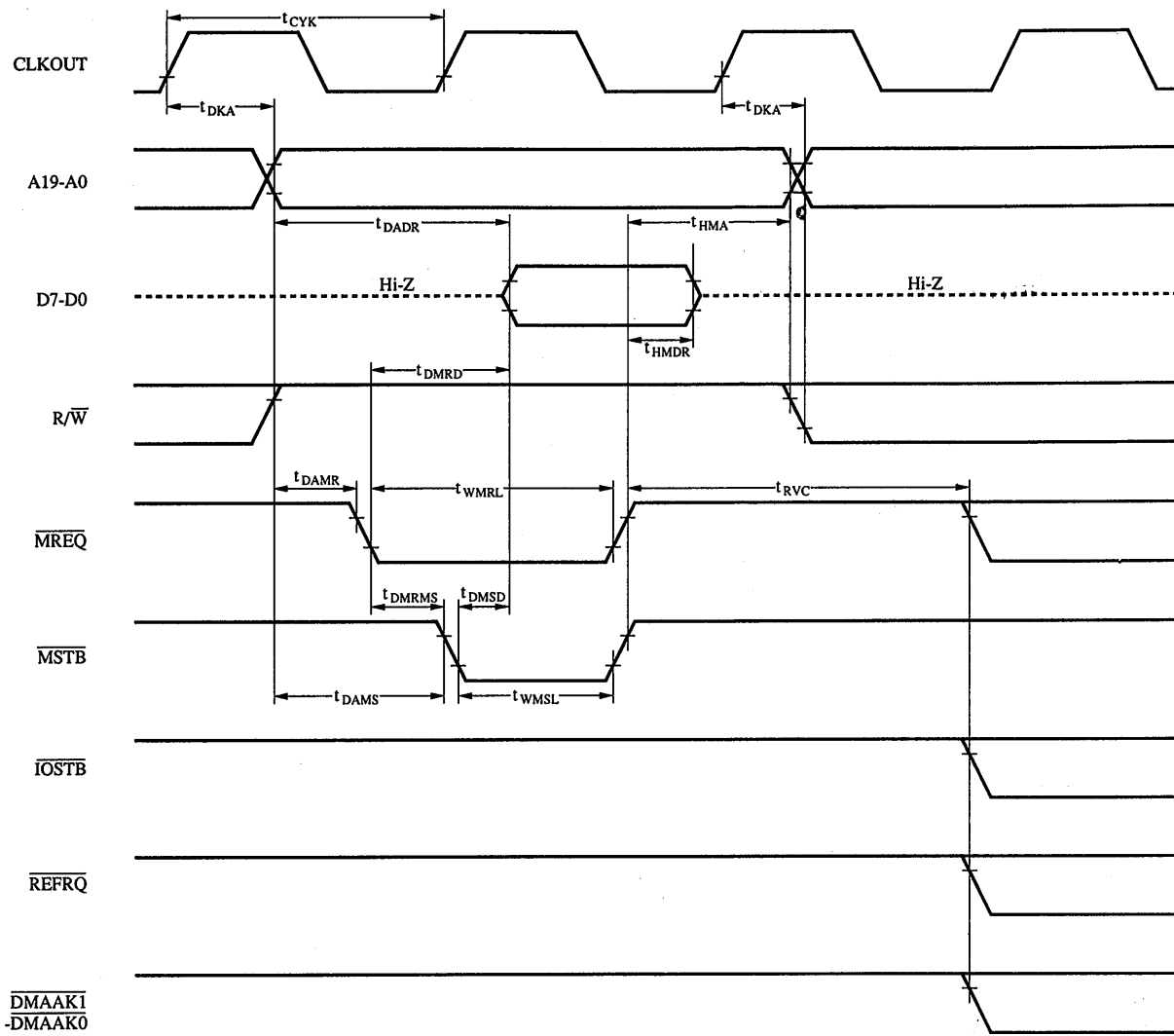
I/Oインタフェース・モード送信時



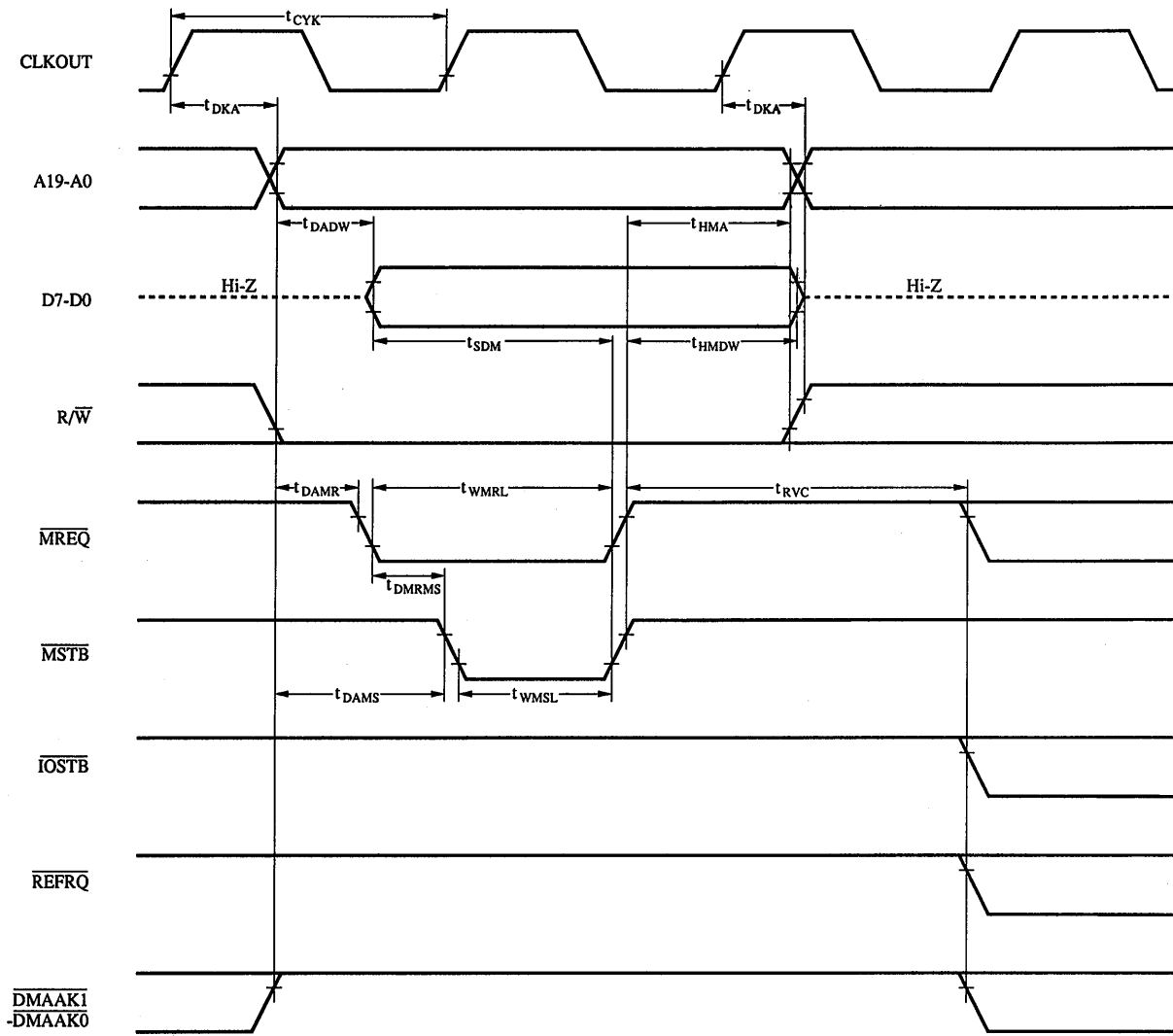
I/Oインタフェース・モード受信時



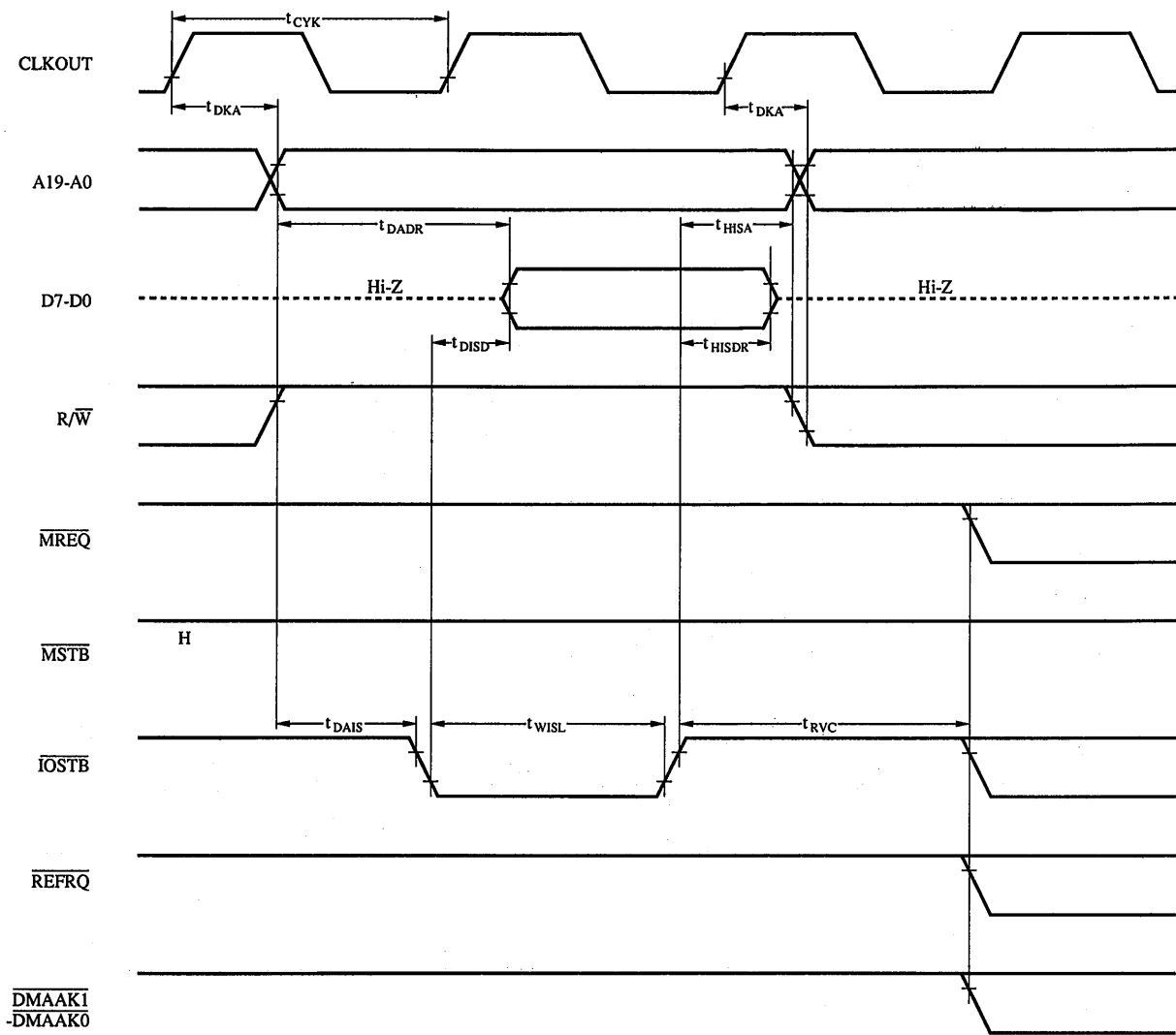
リード・オペレーション



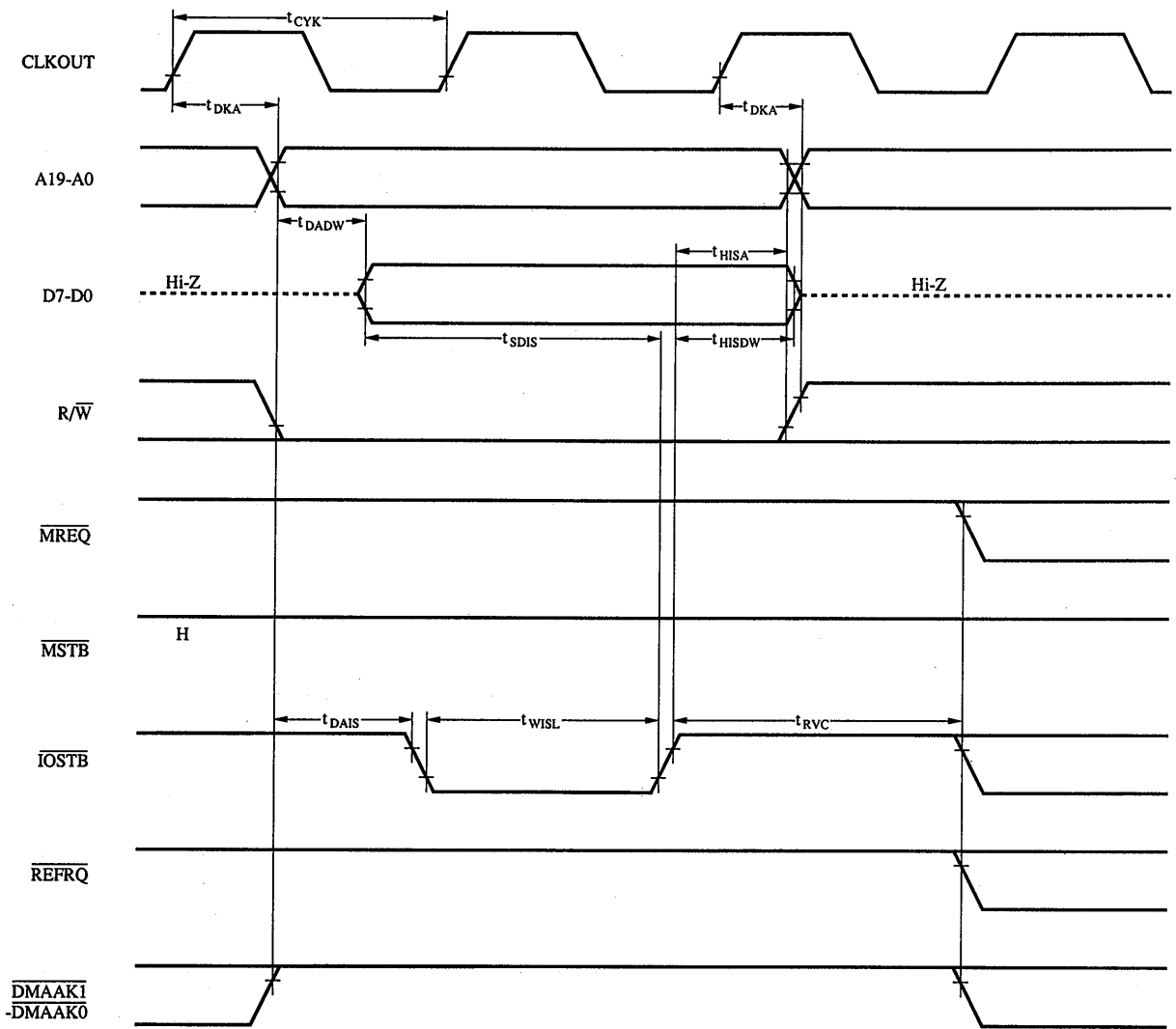
ライト・オペレーション



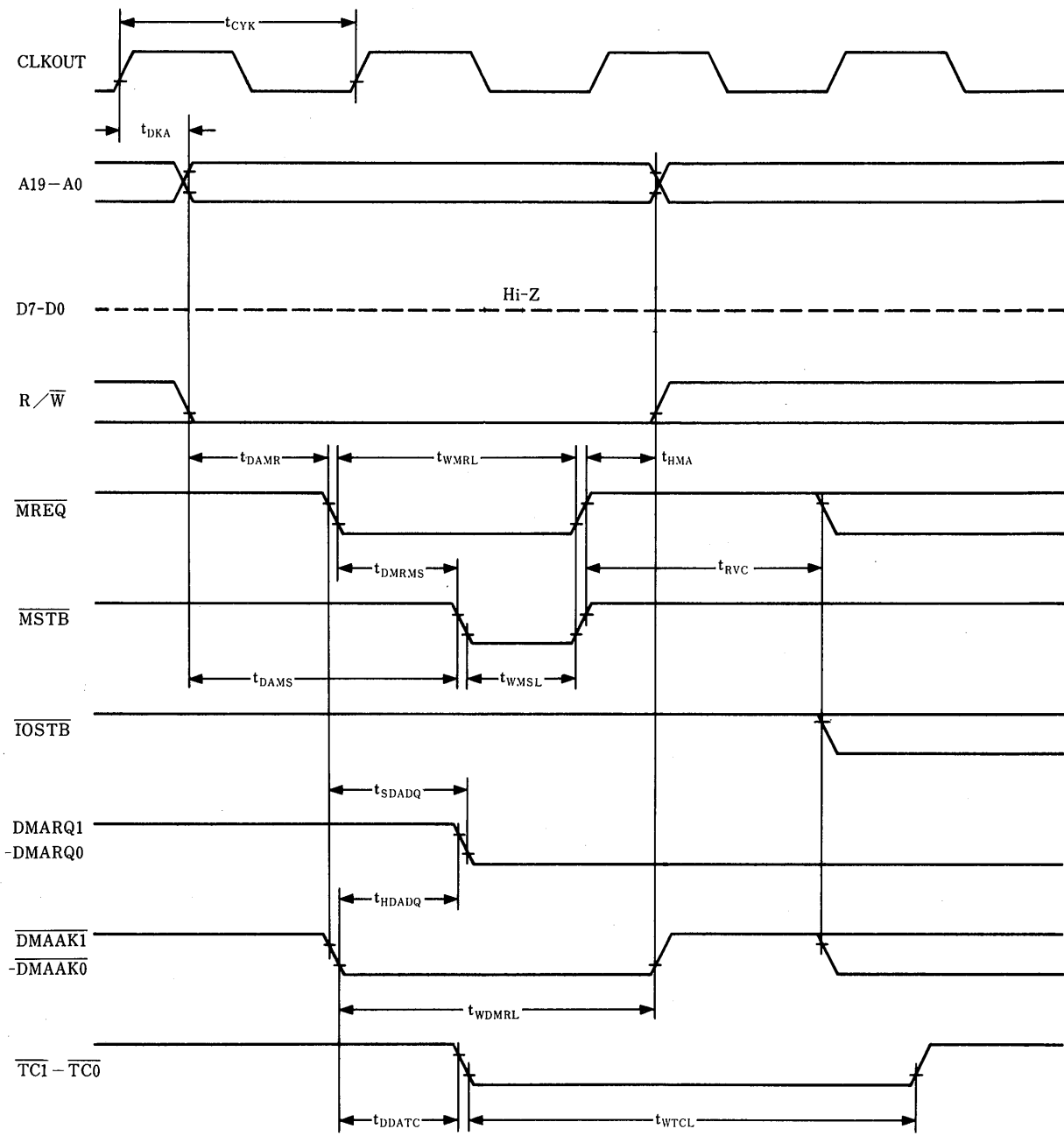
I/Oリード・タイミング



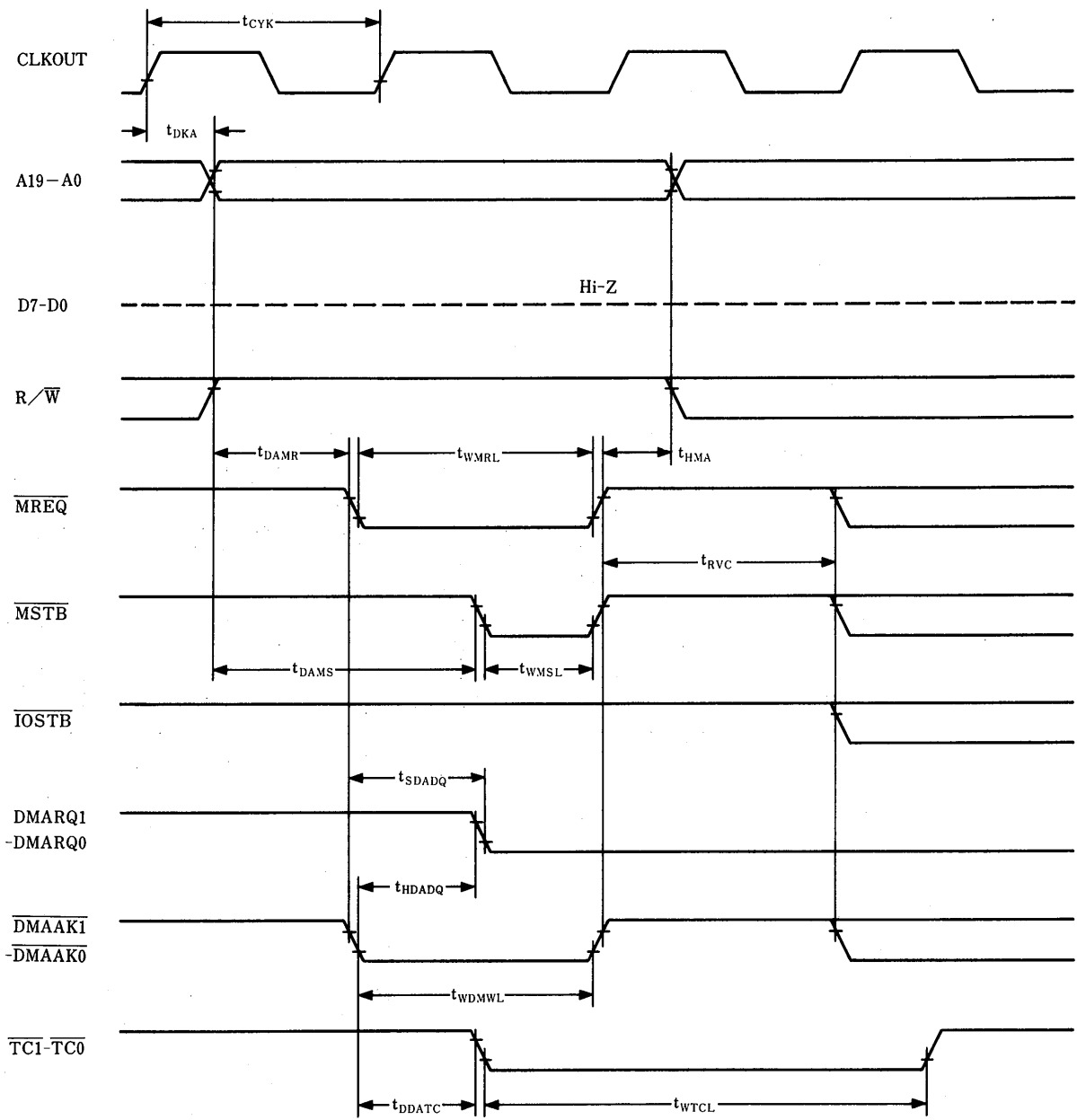
I/Oライト・タイミング



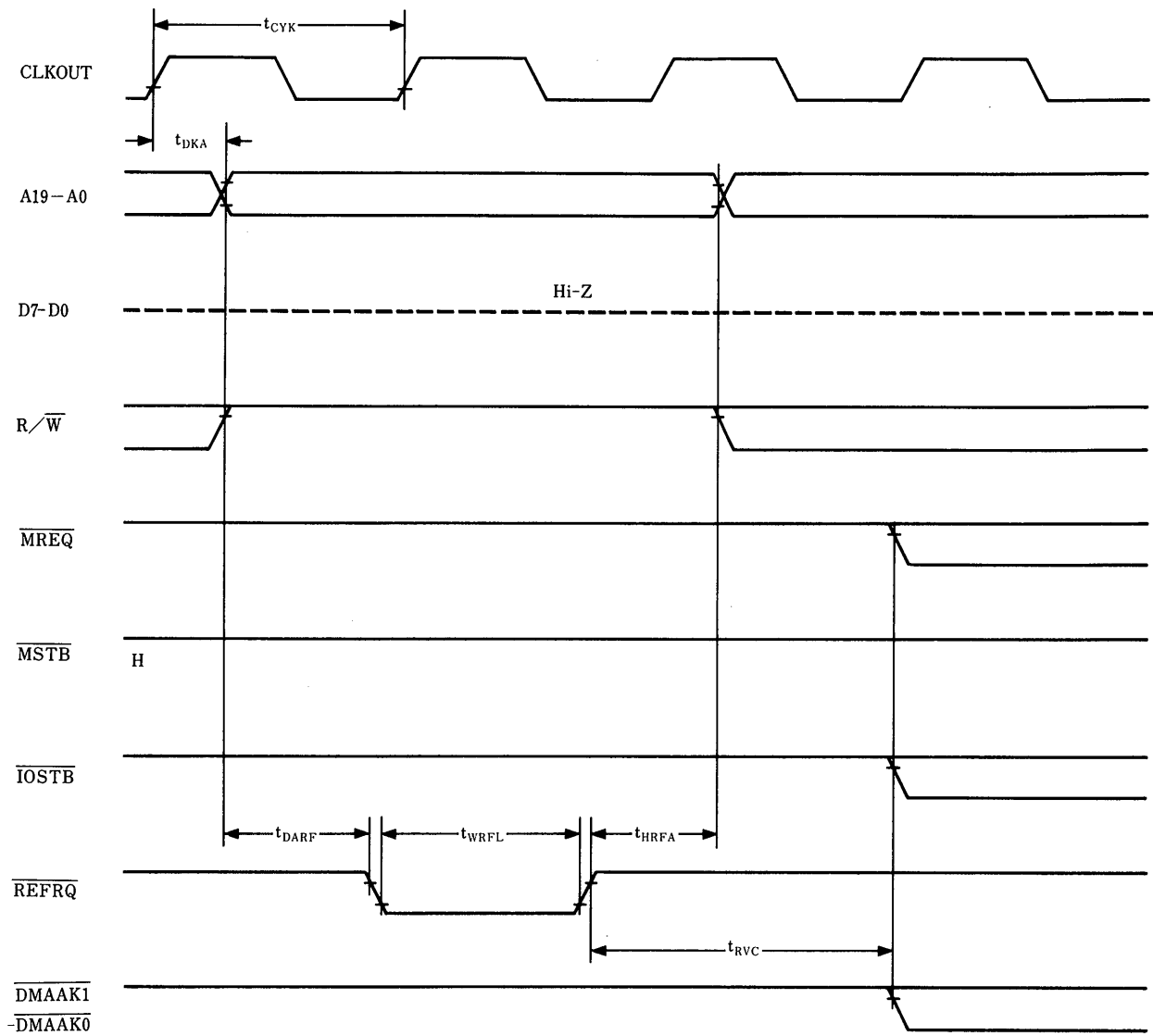
DMA(I/O→メモリ)タイミング



DMA(メモリ→I/O)タイミング

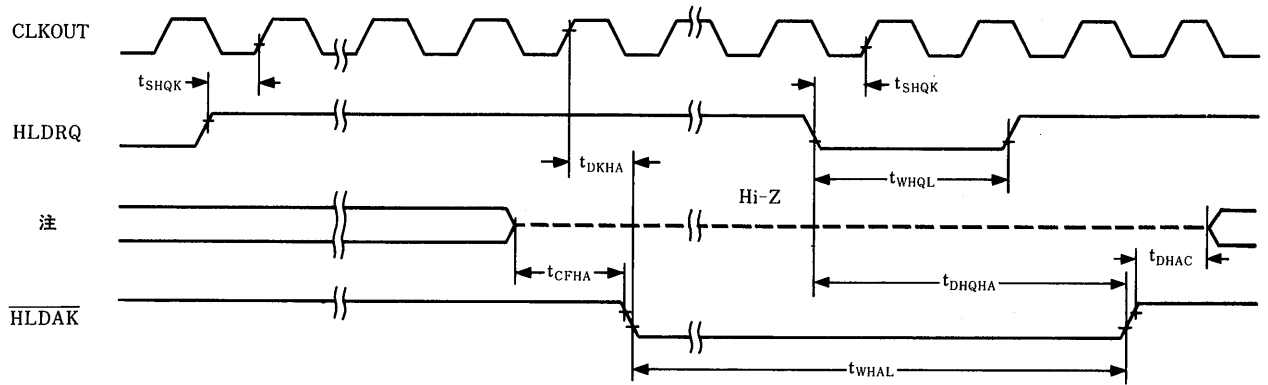


リフレッシュ・タイミング

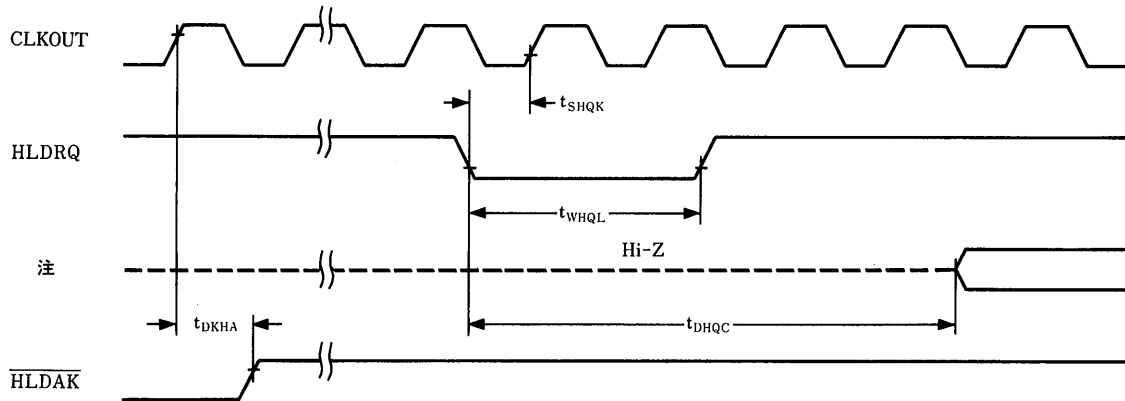


ホールド・リクエスト／アクノリッジ・タイミング

通常モード

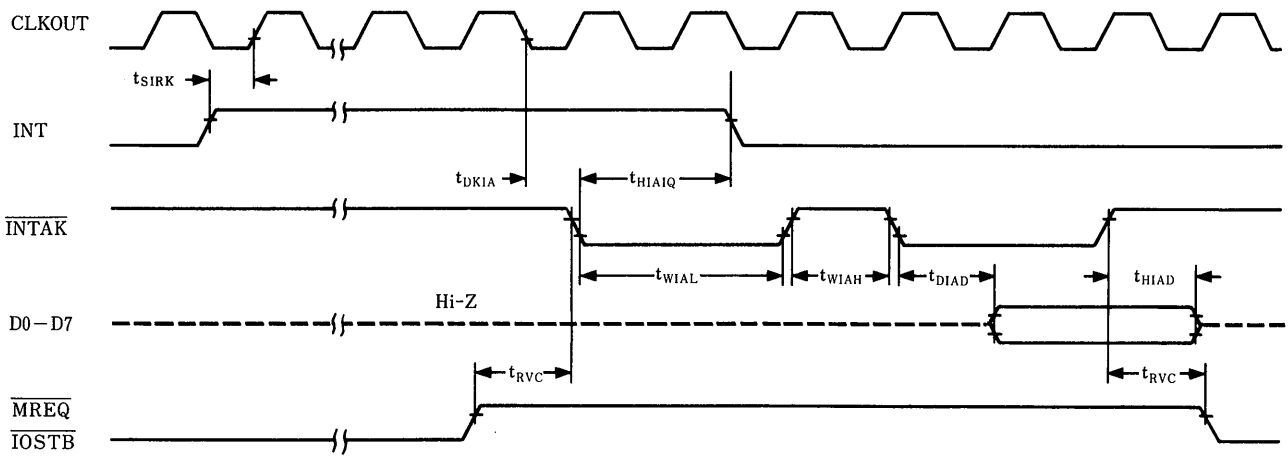


リフレッシュ時のHOLDモードの解除



注 A19-A0, D7-D0, \overline{MREQ} , \overline{MSTB} , \overline{IOSTB} , R/W

外部割り込み要求／アクノリッジ・タイミング



クロック同期タイミング

V25ファミリは、 $\overline{\text{MREQ}}$ 信号、 $\overline{\text{IOSTB}}$ 信号を基に、メモリ、I/Oへのアクセス信号を作るように設計されています。メモリ、I/Oと接続する際は、クロック基準のAC特性がなくても設計できます。以降に示すクロック同期タイミングは、システム・クロックによる正確なREADY入力制御を行うためのものです。

(1) μ PD70325-8 ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = +5.0\text{V} \pm 10\%$)

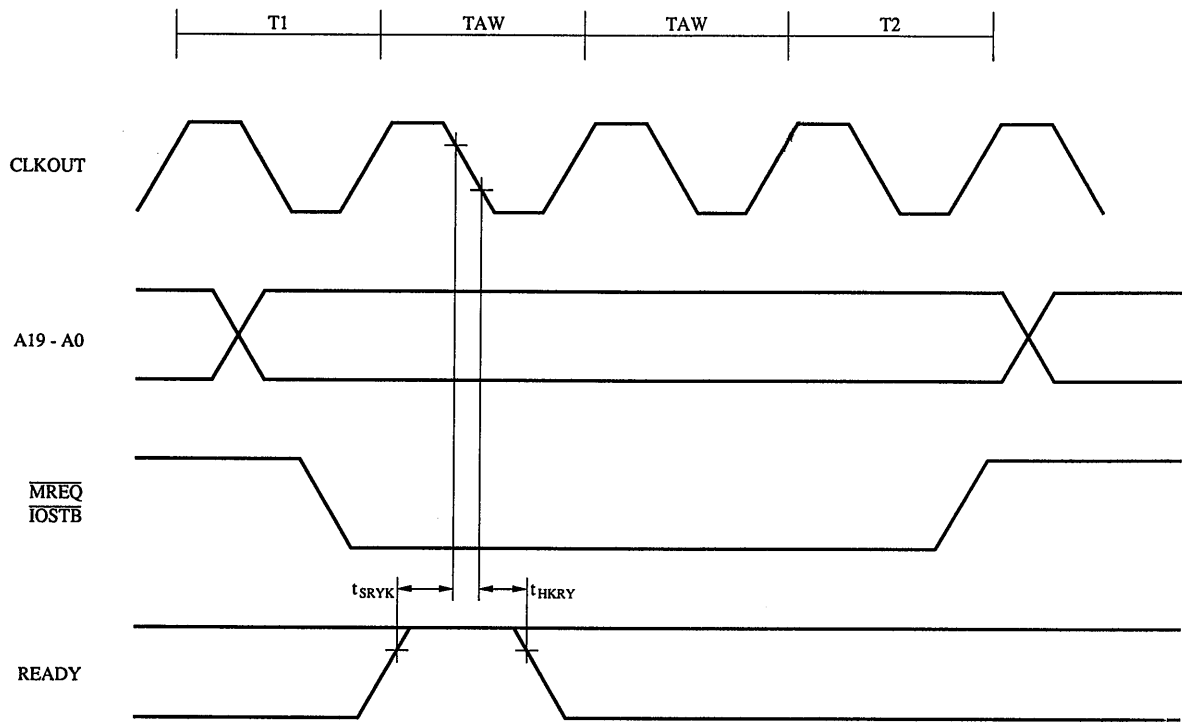
項 目	略 号	条 件	MIN.	MAX.	単 位
CLKOUT→データ遅延時間	t_{DKD}		65	115	ns
データ入力設定時間	t_{SDK}		15		ns
データ入力保持時間	t_{HKD}		40		ns
$\overline{\text{MREQ}}$ 遅延時間	t_{DKMR}		10	55	ns
$\overline{\text{IOSTB}}$ 遅延時間	t_{DKIS}		10	55	ns
READY設定時間	t_{SRYK}		20		ns
READY保持時間	t_{HKRY}		40		ns

★ (2) μ PD70325-10 ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = +5.0\text{V} \pm 5\%$)

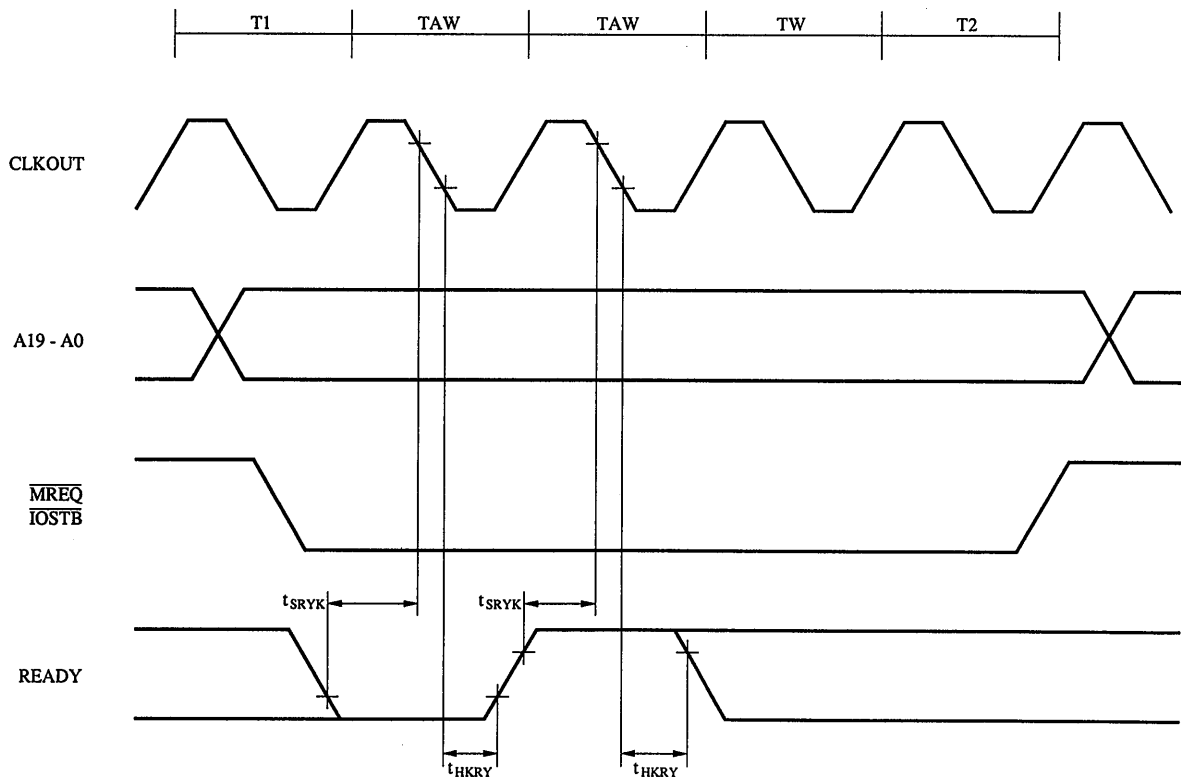
項 目	略 号	条 件	MIN.	MAX.	単 位
CLKOUT→データ遅延時間	t_{DKD}		60	110	ns
データ入力設定時間	t_{SDK}		10		ns
データ入力保持時間	t_{HKD}		35		ns
$\overline{\text{MREQ}}$ 遅延時間	t_{DKMR}		10	55	ns
$\overline{\text{IOSTB}}$ 遅延時間	t_{DKIS}		10	55	ns
READY設定時間	t_{SRYK}		15		ns
READY保持時間	t_{HKRY}		40		ns

レディ・タイミング

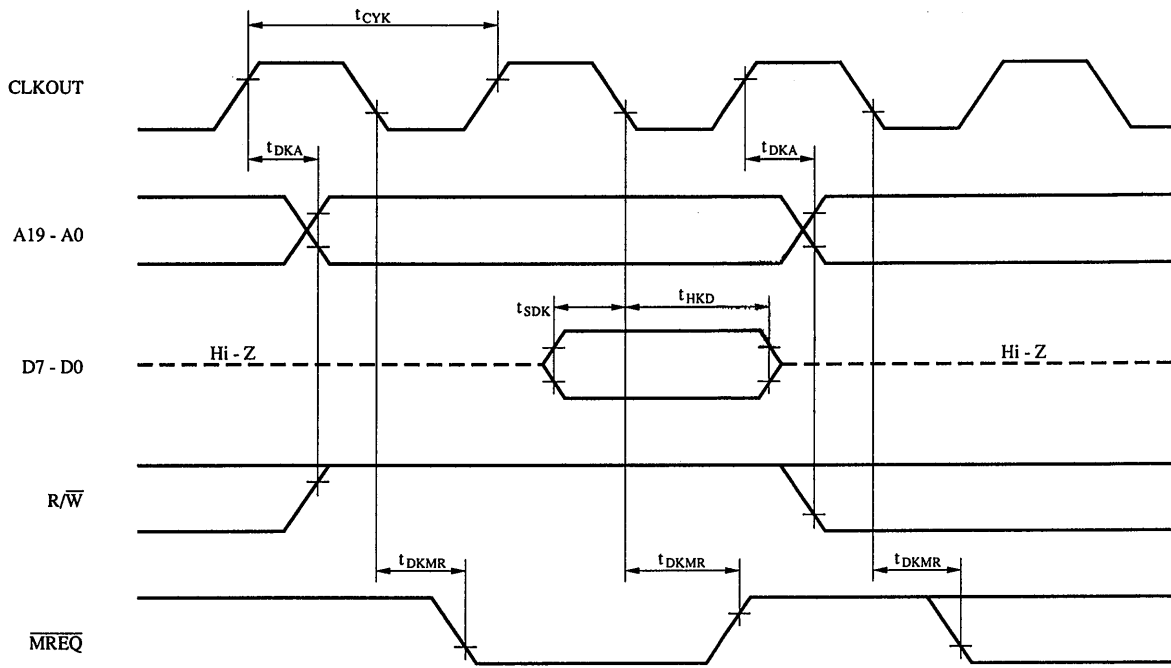
2 ウェイト・ステート挿入時:



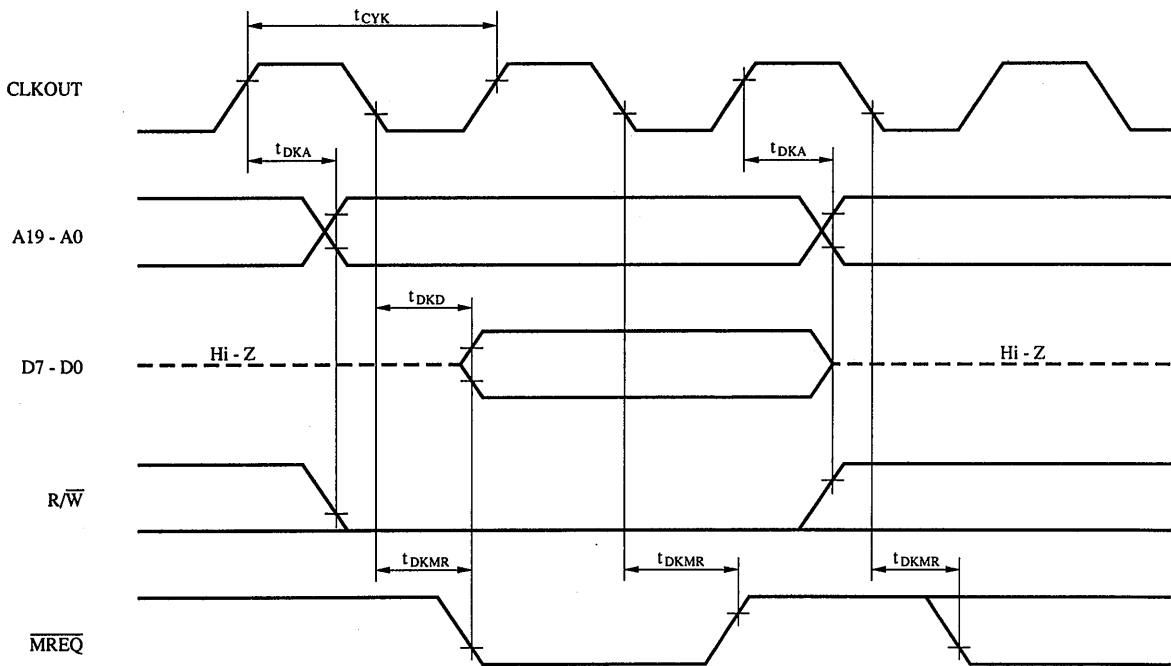
余分に1ウェイト・ステート挿入時:



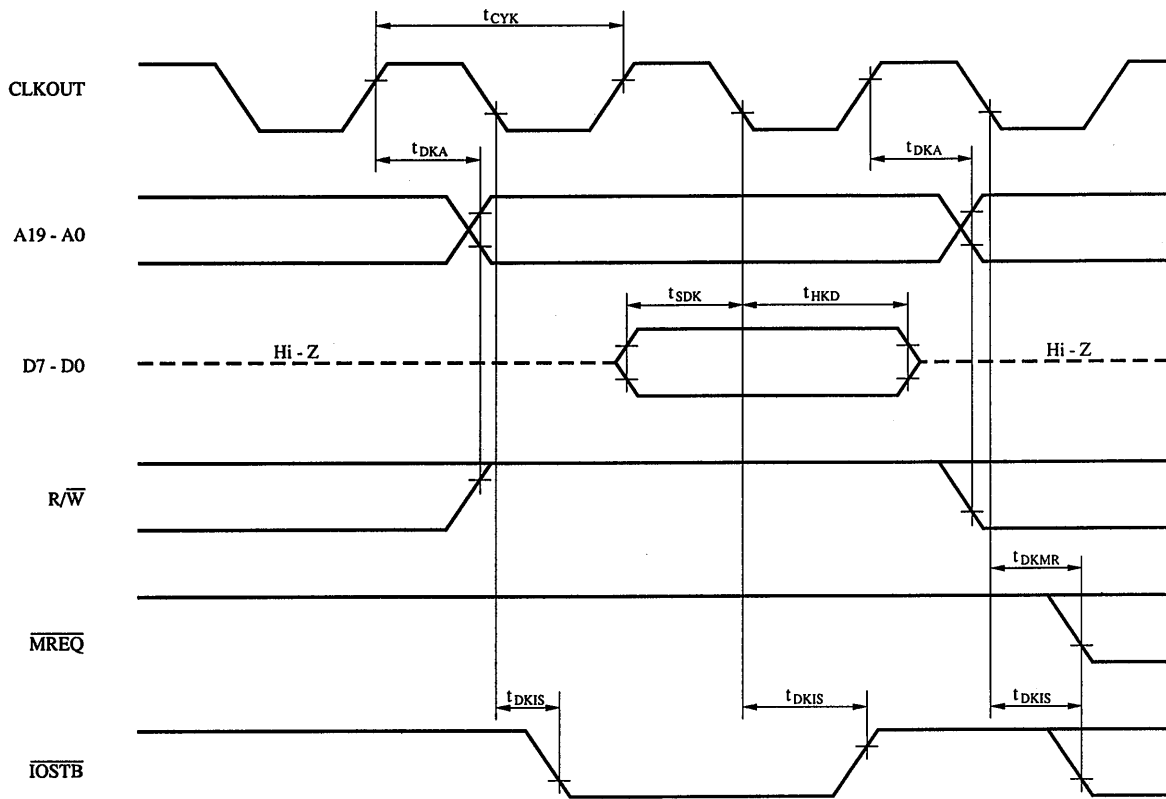
メモリ・リード・オペレーション



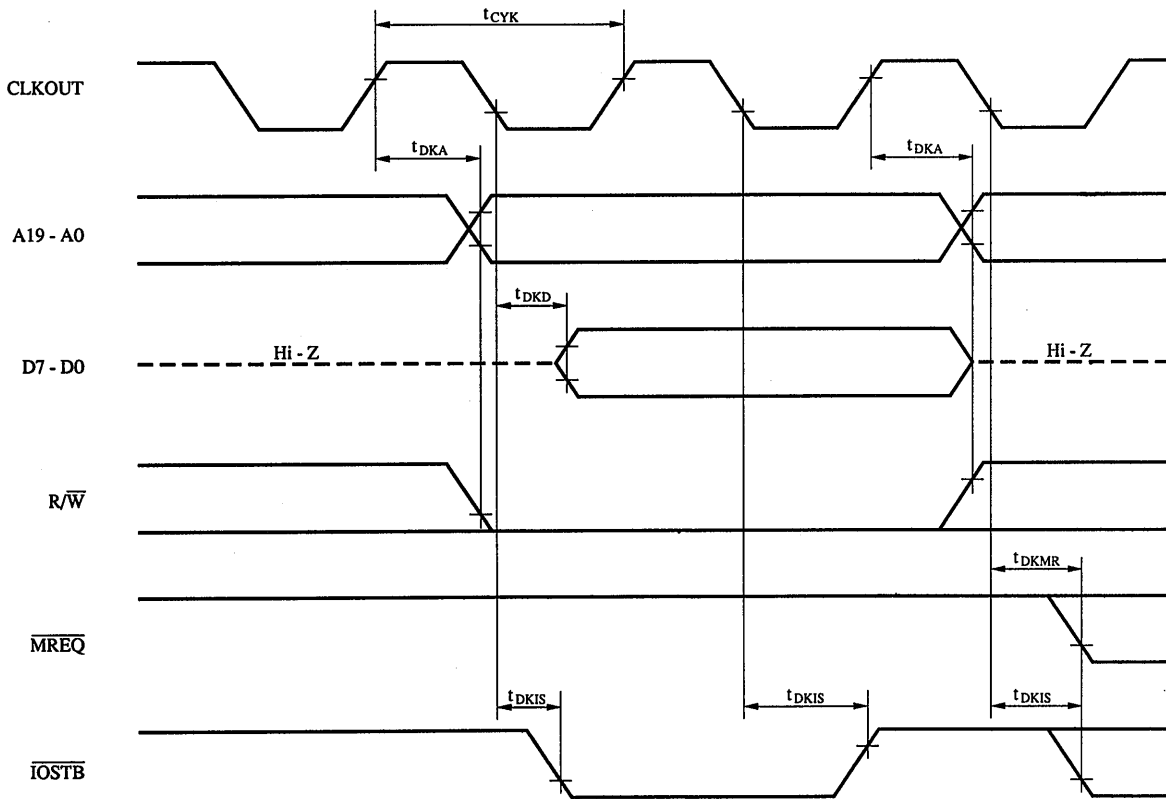
メモリ・ライト・オペレーション



I/Oリード・タイミング

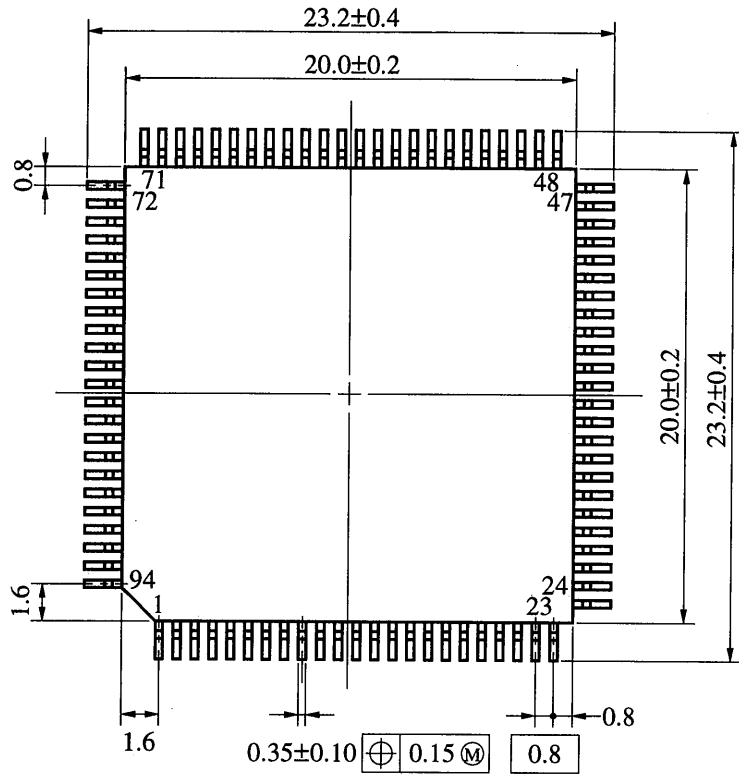


I/Oライト・タイミング

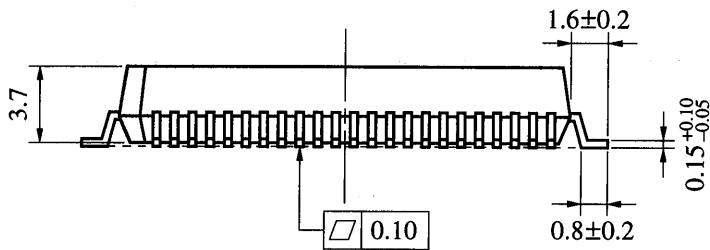
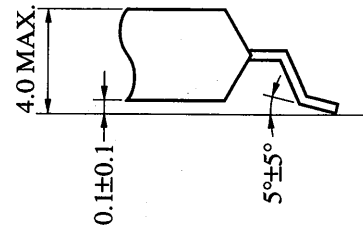


★ 4. 外形図

94ピン・プラスチック QFP (□20) 外形図 (単位: mm)

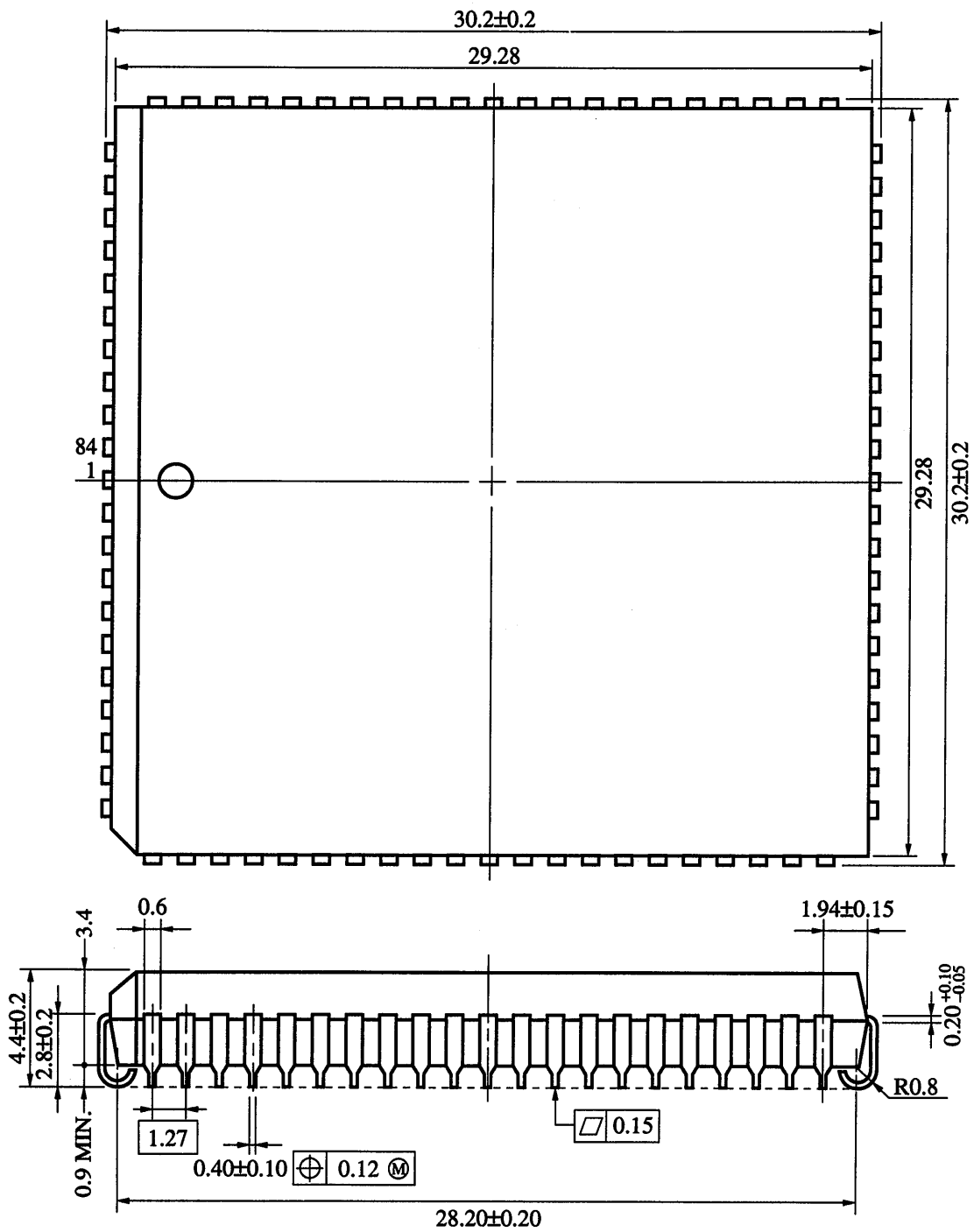


端子先端形状詳細図



S94GJ-80-5BG-3

84ピン・プラスチック QFJ (□1150 mil) 外形図 (単位: mm)



P84L-50A3-2

★ 5. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)をご参照ください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表 5-1 表面実装タイプの半田付け条件

- (1) μPD70325GJ-8-5BG : 94ピン・プラスチック QFP (□20 mm)
 μPD70325GJ-10-5BG : //

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃、時間：30秒以内(210℃以上)、回数：3回以内 制限日数注：7日間（以降は125℃プリベーク 36時間必要） <留意事項> 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベークキングができません。	IR35-367-3
VPS	パッケージ・ピーク温度：215℃、時間：40秒以内(200℃以上)、回数：3回以内 制限日数注：7日間（以降は125℃プリベーク 36時間必要） <留意事項> 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベークキングができません。	VP15-367-3
ウェーブ・ソルダーリング	半田槽温度：260℃以下、時間：10秒以内、回数：1回 制限日数注：7日間（以降は125℃プリベーク 36時間必要） 予備加熱温度：120℃ MAX.（パッケージ表面温度） <留意事項> 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベークキングができません。	WS60-367-1
端子部分加熱	端子温度：300℃以下、時間：3秒以内（デバイスの一辺当たり）	—

- (2) μPD70325L-8 : 84ピン・プラスチック QFJ (□1150 mil)
 μPD70325L-10 : //

半田付け方式	半田付け条件	推奨条件記号
VPS	パッケージ・ピーク温度：215℃、時間：40秒以内（200℃以上）、回数：1回 制限日数注：2日間（以降は125℃プリベーク 16時間必要） <留意事項> 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベークキングができません。	VP15-162-1
端子部分加熱	端子温度：300℃以下、時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で、保管条件は25℃、65%RH以下。

注意 半田付け方式の併用は避けください（ただし端子部分加熱方式は除く）。

(× ㉔)

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

関連資料 V25+, V35+ ユーザーズ・マニュアル ハードウェア編 IEU-706

V25, V35ファミリー ユーザーズ・マニュアル 命令編 U12120J

参考資料 電气的特性の考え方 マイコン編 IEI-601

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。

あらかじめご了承ください。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意ください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

V25, V25+, V35, V35+は日本電気株式会社の商標です。

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170 名古屋 (052)222-2190
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 東北支社 岩手支店 山形支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支社 群馬支店	札幌 (011)231-0161 仙台 (022)267-8740 盛岡 (019)651-4344 山形 (0236)23-5511 郡山 (0249)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (029)226-1717 横浜 (045)324-5524 高崎 (0273)26-1255	太田支店 太田 (0276)46-4011 宇都宮支店 宇都宮 (028)621-2281 小山支店 小山 (0285)24-5011 長野支社 松本 (0263)35-1662 甲府支店 甲府 (0552)24-4141 埼玉支社 大宮 (048)641-1411 立川支社 立川 (0425)26-5981 千葉支社 千葉 (043)238-8116 静岡支社 静岡 (054)255-2211 北陸支社 金沢 (0762)23-1621 福井支店 福井 (0776)22-1866
富山支店 三重支店 京都支社 神戸支社 中国支社 鳥取支店 岡山支店 四国支社 新居浜支店 松山支店 九州支社	富山 (0764)31-8461 津 (0592)25-7341 京都 (075)344-7824 神戸 (078)333-3854 鳥取 (082)242-5504 鳥取 (0857)27-5311 岡山 (086)225-4455 高松 (0878)36-1200 新居浜 (0897)32-5001 松山 (089)945-4149 福岡 (092)271-7700	

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7924	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	